

工學碩士 學位論文

시스토픽 구조를 갖는 스마트 안테나
알고리즘의 FPGA 구현

FPGA Implementation of Smart Antenna Algorithm
based on Systolic Structure

指導教授 金基萬

2002年 2月

韓國海洋大學校 大學院

電波工學科

梁承鎔

차 례

그림 차례	ii
표 차례	iii
기호표	iv
Abstract	vi
제 1 장 서 론	1
제 2 장 스마트 안테나를 위한 빔 형성 기법	4
제 2-1 절 방향 탐지에 기초한 빔 형성 기법	5
제 2-2 절 Training 신호를 이용한 빔 형성 기법	6
제 2-3 절 신호 구조에 기초한 빔 형성 기법.....	7
제 3 장 시스토틱 구조를 갖는 스마트 안테나 알고리즘	9
제 3-1 절 시스토틱 구조를 갖는 스마트 안테나 알고리즘.....	9
제 3-2 절 컴퓨터 시뮬레이션 및 성능 고찰	16
제 4 장 실시간 처리를 위한 FPGA 구현	19
제 4-1 절 구현을 위한 최적 비트 수 결정	19
제 4-2 절 VHDL 구현 및 타이밍 분석	21
제 5 장 결 론	34
참고문헌	36

그림 차례

그림 2-1 적응 어레이 시스템의 구성도	5
그림 3-1 시스토릭 구조를 갖는 스마트 안테나 알고리즘 구성도.....	12
그림 3-2 경계 셀과 내부 셀의 연산과정	13
그림 3-3 음영 내부 셀과 음영 다이아몬드 경계 셀의	14
그림 3-4 시스토릭 구조를 갖는 스마트 안테나 알고리즘의 내부 처리과정	15
그림 3-5 시스토릭 구조를 갖는 스마트 안테나의 빔 패턴.....	17
그림 3-6 시스토릭 구조를 갖는 스마트 안테나의 SINR.....	18
그림 4-1 비트 수에 따른 내부 셀의 성능.....	20
그림 4-2 경계 셀의 Schematic diagram.....	22
그림 4-3 경계 셀 내 주요 부분의 Schematic diagram, (a) 연산 부분, (b) 실수부 연산, (c) 허수부 연산	23
그림 4-4 내부 셀의 Schematic diagram.....	24
그림 4-5 내부 셀 내 주요 부분의 Schematic diagram, (a) 실수 부분 연산, (b) 허수 부분 연산	25
그림 4-6 음영 내부 셀의 Schematic diagram.....	26
그림 4-7 음영 내부 셀 내 주요 부분의 Schematic diagram, (a) 실수 부분 연산, (b) 허수 부분 연산.....	27
그림 4-8 음영 다이아몬드 경계 셀의 Schematic diagram.....	28
그림 4-9 4-채널 송신 빔 형성기의 회로도.....	28
그림 4-10 각 셀의 타이밍 시뮬레이션 결과, (a) 경계 셀, (b) 내부 셀, (c) 음영 내부 셀, (d) 음영 다이아몬드 경계 셀.....	30
그림 4-11 전체 타이밍 시뮬레이션 결과	31
그림 4-12 디바이스의 레포트 파일, (a) 경계 셀, (b) 내부 셀, (c) 음영 내부 셀, (d) 음영 다이아몬드 경계 셀.....	32
그림 4-13 알테라사의 FLEX10K chip을 장착한 보드 사진.....	33

표 차례

표 3-1 시뮬레이션 파라미터	16
------------------------	----

기 호 표

0	0 행렬
$*$	Conjugate transpose
C	회전 파라미터
$d(n)$	Desired response
$\mathbf{d}(\theta_{l,k})$	$\theta_{l,k}$ 방향의 어레이 응답 벡터
$e(t)$	오차 신호
H	Conjugate transpose
$\mathbf{i}(t)$	간섭 신호 벡터
$\mathbf{k}(n)$	이득 벡터
K	간섭 신호의 수
L	다중 경로의 수
M	안테나의 수
$\mathbf{n}(t)$	첨가 잡음
$\mathbf{P}(n)$	상관 행렬의 역행렬
$\mathbf{Q}(n)$	Unitary 행렬
$r(t)$	Reference 신호
$\mathbf{R}(n)$	상위 삼각 행렬
\mathbf{R}_{xx}	수신 신호의 자기 상관 행렬
S	회전 파라미터
$s_{l,k}(t)$	$\theta_{l,k}$ 방향에서 입사되는 협대역 신호
$\mathbf{u}(n)$	입력 데이터 행렬
\mathbf{v}_{xr}	수신신호와 reference 신호 사이의 상호 상관 벡터

$w_{i,k}$	원하는 신호의 계수 벡터
$x(t)$	어레이에 수신된 신호 벡터
γ	Conversion factor
$\theta_{l,k}$	k번째 신호의 l 번째 경로 입사각
ξ	Priori 측정 오차
λ	Exponential weighting 벡터($0 < \lambda < 1$)
μ	수렴 계수
$\Phi(n)$	상관 행렬

Abstract

The performance of digital mobile radio communication systems is affected by channel fading and interference from co-channel users. The problems can be reduced by the use of array antenna at the base station with the appropriate signal processing and combining of the received signal. So it makes the study about smart antenna that tracks the beam according to the position of users, and improves the communication quality. The algorithm for smart antenna are the method based on Directions-of-Arrival(DOA) estimation, algorithm based on training signal, and Constant Modulus(CM) algorithm and so on. But these methods have weak points. First method must be heavy computational loads to detect the DOA and it should be assumed that the number of array antenna is more than that of interference signal. Second method used extra channel for training signal and it is difficult to make training signal when existing co-channel interference. Third method is difficult to choose the desired signal in case of receiving the signals having the constant amplitude more than one. But the drawback of the above mentioned methods has the difficulty demanding for the real time process because of the algorithm's complexity for implementing as hardware.

In this thesis, we design the smart antenna algorithm for real time processing which is based on QR-decomposition-based recursive least squares(QR-RLS) algorithm. The proposed algorithm for real time process consists of the systolic structure using Givens rotations to calculate the inverse matrix which is necessary for many complexities. The number of bits which describes processing data is decided through

the integer simulation. The performances of the proposed algorithm are evaluated via computer simulation in Rayleigh fading channel environment. And it is implemented as VHDL(VHSIC Hardware Description Language) to evaluate the real time processing.

제 1 장 서 론

최근 들어 이동 통신 서비스의 수요증가로 인해 가입자나 운용자, 제조 업체에서는 보다 고품질, 대용량, 고효율의 서비스를 요구하게 되었다. 이로 인해 배열 안테나를 이용하여 동일 및 인접 채널 간섭신호의 제거 및 채널 왜곡, 잡음 등에 의한 시스템의 성능 저하를 막고 통신 성능의 향상 및 시스템 용량 증가를 위해 사용자의 이동 상황에 따라 빔 추적 기능을 갖고 있는 스마트 안테나 기술의 필요성이 대두되었다. 기존에 연구된 스마트 안테나 알고리즘 종류에는 신호의 입사 방향을 추정해서 빔을 형성하는 방법[1], training 신호를 이용해서 빔을 형성하는 방법[2], PN(Pseudo-Noise) code의 특징을 이용한 방법[1], Constant Modulus(CM) 알고리즘[3][4][5], Cyclostationarity를 이용한 방법 등이 있다[6][7][8]. 그러나 이러한 방법에는 각각 단점이 있는데 먼저 첫 번째 방법에서는 방향을 찾기 위한 알고리즘의 계산량이 너무 많고 angle spread가 거의 없어야 하며, 간섭 신호의 수가 어레이 안테나의 수보다 적어야 한다는 가정이 필요하다. 두 번째 방법에서는 training 신호를 사용하기 때문에 별도의 채널을 사용해야 하고, co-channel 간섭이 존재하는 경우에는 training 신호를 만들기가 어렵다는 단점이 있다. 세 번째 방법에서는 PN code의 특징을 이용하여 확산 및 역확산된 신호를 만들고, 이를 이용하여 빔 형성기 출력단에서 신호 대 잡음비를 최대화하는 방법으로 계산량이 많고 CDMA 신호에만 사용 할 수 있다. 네 번째 방법에서는 하나 이상의 일정한 진폭을 가진 신호가 동시에 수신될 경우에 원하는 신호의 정확한 선택이 어렵다는 단점이 있다. 마지막으로 다섯 번째 방법에서는 수렴 속도가 느리고 SINR(Signal-to-Interference plus Noise Ratio)이 낮으면 계산량이 많으며 강한 간섭 신호가 존재할 경우에 성능이 떨어지는 단점이 있다. 하지만, 무엇보다도 이들 방법의 가장 큰 단점은 알고리즘의 복잡성 때문에 하드웨어로 구현하였을 때 실시간 처리가 어렵다는 점이다.

해외에서 스마트 안테나에 대한 연구는 미국, 유럽, 일본 등지에서 활발하게 진행되고 있다. 미국에서는 스마트 안테나 제작회사인 Array comm, Metawave comm, Lucent 등이 있고, AT&T 연구소와 스탠포드 대학등이 활발하게 연구하고 있으며, 산·학·연 공동연구도 진행중에 있다. 스마트 안테나 제작 선발업체인 Metawave사는 CDMA 셀내의 3-sector를 빔 조절하여 통화용량 증대효과를 제공하는 스위칭 빔 안테나 기술을 상용화 시켰으며, 이동통신 대상에 대한 빔 추적기술도 연구개발하고 있다. 또한 Virginia 공대의 MPRG(Mobile and Portable Research Group)에서는 TI(Texas Instruments)사의 C54x DSP(Digital Signal Processor) 여덟개를 사용하여 2.05 GHz에서 100 kHz의 대역폭을 갖는 방향탐지에 기초한 빔 형성기의 테스트 베드를 개발한 상태이다. 일본에서도 NTT DOCOMO, NEC, Panasonic, Mitsubishi등의 업계에서 스마트 안테나 기술을 연구하고 있는데, NTT DOCOMO사는 광대역 CDMA 이동통신망에서의 스마트 안테나 기술적용을 연구하고 있고, 간섭제거등의 신호처리 기술을 위한 알고리즘을 개발하고 있다. 이 밖에 유럽에서도 Siemens사, Ericsson사 등이 스마트 안테나 연구를 활발히 하고 있다.

본 논문에서는 보다 효율적으로 실시간 처리가 가능하도록 하기 위해 QR-RLS(QR-decomposition-based recursive least squares) 알고리즘 [9-16]을 기반으로 하는 스마트 안테나 알고리즘에 대하여 연구하였다. 연구된 방법은 실시간 처리를 위해 알고리즘상에서 가장 많은 계산량을 필요로 하는 역행렬 연산을 효율적으로 하기 위해 Givens Rotation을 이용하여 연산하는 시스토릭(Systolic) 어레이 형태로 구성하였다. 아울러 Rayleigh 페이딩 채널 환경에서 컴퓨터 시뮬레이션을 수행하여 연구된 방법의 성능을 고찰하였다. 연구된 방법의 실시간 처리 가능성을 검증하기 위해 하드웨어 표현 언어인 VHDL을 이용하여 구현하고, 알테라사의 FPGA chip인 FLEX10K에 포팅하였다. 또한 이에 앞서 구현시 내부 연산 과정에서 데이터를 표현하는데 소요되는 최적의 비트 수를 integer 시뮬레이션을 통하여

결정하였다.

본 논문의 제 2 장에서는 기존 스마트안테나 빔 형성 기법들을 살펴보고, 제 3 장에서는 제안한 스마트안테나 빔 형성 기법에 관하여 설명하고 그 성능을 컴퓨터 시뮬레이션을 통해 분석하였다. 제 4 장에서는 실시간 처리를 위한 FPGA 구현 과정과 그 결과를 언급하였고, 마지막으로 제 5 장에서 결론 및 향후 연구방향을 제시하였다.

제 2 장 스마트 안테나를 위한 빔 형성 기법

본 장에서는 기존에 연구되었던 어레이 안테나를 위한 빔 형성 기법들에 대하여 간단히 소개하였다. 기지국에서 M 개의 어레이 안테나를 갖는 일반적인 무선 통신 시스템에서 각 안테나에 수신되는 신호는 전파환경에 의해 산란되거나 반사된 신호가 모두 포함되어 있다. 이 경우 기지국 어레이 안테나를 통해 수신된 신호는 다음과 같이 나타낼 수 있다.

$$\mathbf{x}(t) = \sum_{l=1}^L \mathbf{d}(\theta_{l,0}) s_{l,0}(t) + \mathbf{i}(t) + \mathbf{n}(t) \quad (2-1)$$

이때 L 은 다중경로의 수이며, $s_{l,0}(t)$ ($l=1,2,\dots,L$)는 입사각 $\theta_{l,0}$ 로부터 입사되는 협대역 신호이고, $\mathbf{d}(\theta_{l,0})$ 는 $\theta_{l,0}$ 에서의 어레이 응답 벡터, $\mathbf{i}(t)$ 는 협대역 간섭 신호의 결합으로 이루어진 $M \times 1$ 벡터, 그리고 $\mathbf{n}(t)$ 잡음의 $M \times 1$ 벡터이다. 여기서, 원하는 신호의 입사방향과 간섭 신호의 입사방향은 서로 다르다고 가정한다. 그러면 간섭 신호는 다음과 같이 나타낼 수 있다.

$$\mathbf{i}(t) = \sum_{k=1}^K \sum_{l=1}^L \mathbf{d}(\theta_{l,k}) s_{l,k}(t) \quad (2-2)$$

여기서 K 는 간섭 신호의 수이다. 빔 형성의 목적은 원하는 사용자의 신호를 얻기 위한 계수 벡터 $\mathbf{w}_{l,0}$ 를 구하는 것으로써 어레이 출력의 선형적인 결합으로 이루어진다. 그림 2-1로부터 빔 형성기 출력은 다음과 같이 정의할 수 있다.

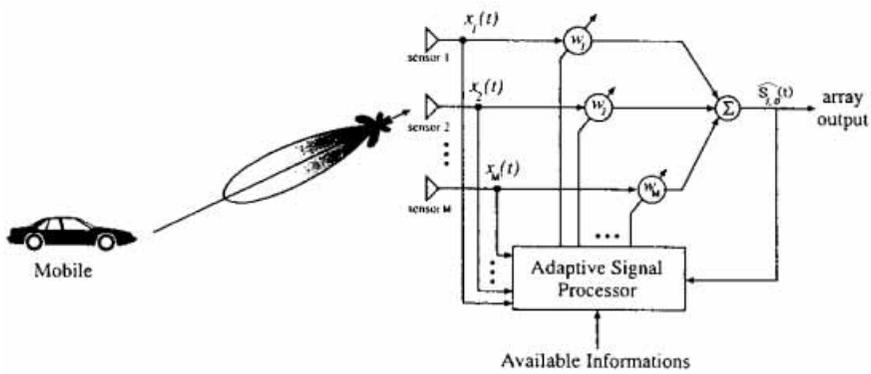


그림 2-1. 적응 어레이 시스템의 구성도
 Fig. 2-1. Block diagram of adaptive array system.

$$\widehat{s}_{l,0}(t) = \mathbf{w}_{l,0}^* \mathbf{x}(t) \quad (2-3)$$

이때 $\widehat{s}_{l,0}(t)$ 는 $s_{l,0}(t)$ 의 추정치이고, * 는 conjugate transpose이다. 계수 벡터 $\mathbf{w}_{l,0}$ 를 구하는 방법에는 방향 탐지에 기초한 빔 형성 기법, Training 신호를 이용한 빔 형성 기법, 신호 구조에 기초한 빔 형성 기법등이 있다.

제 2-1 절 방향 탐지에 기초한 빔 형성 기법

방향 탐지에 기초한 빔 형성 기법에서는 angle spread 가 아주 작거나 없다라는 가정, 즉 단일경로만이 존재한다는 가정이 필요하다. 이러한 경우에 수신된 신호 벡터 $\mathbf{x}(t)$ 는 다음과 같이 다시 쓸 수 있다.

$$\mathbf{x}(t) = \mathbf{d}(\theta_0)s_0(t) + \sum_{k=1}^K \mathbf{d}(\theta_k)s_k(t) + \mathbf{n}(t) \quad (2-4)$$

방향 탐지에 기초한 빔 형성 기법은 어레이 응답 벡터 $\mathbf{d}(\theta_0)$, $\mathbf{d}(\theta_1)$, ..., $\mathbf{d}(\theta_K)$ 를 얻기 위해서 신호의 입사방향인 $\theta_0, \theta_1, \dots, \theta_K$ 를 먼저 찾아야 한다. 이러한 입사방향을 찾기 위한 높은 해상도를 갖는 기법에는 MUSIC[5] 이나 ESPRIT[5]와 같은 것이 있다.

특정한 전제조건 하에서 어레이 출력의 최적결합에 의한 계수 벡터를 구하는 방법으로는 최소자승오차를 최소화하는 방법과 신호 대 잡음비를 최대화하는 방법, 그리고 maximum likelihood 방법이 널리 사용되었다. 이들 방법들은 원하지 않는 신호인 간섭 신호와 잡음의 세기, 입사방향 등에 의해 영향을 받는다.

제 2-2 절 Training 신호를 이용한 빔 형성 기법

Training 신호를 이용한 빔 형성 기법은 reference 혹은 training 신호라고 부르는 신호를 사용하여 계수 벡터를 구하는 방법이다. 이 기법에서는 방향 탐지에 기초한 빔 형성 기법에서 갖고 있던 단점인 다중경로에 대한 가정이나 신호의 입사방향을 찾는 계산과정이 필요가 없고, 어레이 안테나의 구조에 영향을 받지 않는다.

Reference 신호를 $\mathbf{r}(t)$ 라고 한다면, 계수 벡터는 빔 형성기 출력과 reference 신호 사이의 자승오차를 최소화하는 방법을 사용할 경우 다음과 같이 나타낼 수 있다.

$$\mathbf{w}_{MSE} = \mathbf{R}_{xx}^{-1} \mathbf{v}_{xr} \quad (2-5)$$

이때 R_{xx} 는 수신신호의 자기 상관 행렬이고, v_{xr} 는 reference 신호와 수신 신호 사이의 상호상관 벡터이다. 계수 벡터는 최소자승오차를 이용한 방법뿐만 아니라 LMS(Least Mean Square)[9]나 DMI(Direct Matrix Inversion)[17], 이 외에 여러 가지 방법으로도 구할 수 있다.

이러한 training 신호에 기초한 빔 형성 기법은 북미지역 TDMA 방식 디지털 이동 무선 시스템에 사용할 목적으로 연구되었던 기법으로서 training 신호는 co-channel 간섭이 존재할 경우에 만들기가 어렵고 채널의 낭비로 인해 시스템의 효율을 떨어뜨린다는 단점을 가지고 있다.

제 2-3 절 신호 구조에 기초한 빔 형성 기법

신호의 구조를 이용한 빔 형성 기법은 빔 형성기에 수신된 신호의 시공간 구조와 특성을 이용하여 계수 벡터를 구하는 방법이다. 이때 신호의 특성은 간섭 신호에 의해 영향을 받게 되므로 적응 빔 형성기를 사용하여 간섭 신호가 감소되도록 한다. 이러한 신호의 특성을 이용한 빔 형성 기법은 신호의 입사방향에 대한 사전 지식을 요구하지 않으면서 신호의 전파 경로 상태에 대해 아주 강하다는 장점을 갖고 있다. 이를 이용한 빔 형성 기법 중에 하나가 CMA(Constant Modulus Algorithm)이다. CMA는 FM이나 PSK, FSK 등과 같은 방식으로 변조되어 전송되는 신호는 포락선이 항상 일정한 상수 값을 갖는다. 하지만 다중경로 전파나 간섭 신호에 의해 그 크기가 변화하게 된다. 따라서 어레이 안테나 출력을 되돌리는 방식으로 신호의 포락선을 일정한 평균값이 되도록 만들어서 신호를 복원하는 방법이다. 계수 벡터는 신호의 크기 변화를 측정할 수 있는 비용함수를 최소화하는 값으로 얻을 수 있고, 그 선택에 의해 잡음의 허용오차 및 수렴 정도가 결정이 된다. 이러한 비용함수의 예로는 다음과 같은 신호의 크기 변화량의 제곱평균과 같은 것이 있다.

$$J(t) = E\left\{\left|y(t) - \frac{y(t)}{|y(t)|}\right|^2\right\} \quad (2-6)$$

그리고 계수 벡터를 갱신하는 식은 다음과 같다[5].

$$\begin{aligned} \mathbf{w}(t+1) &= \mathbf{w}(t) - \mu e(t)^* \mathbf{x}(t) \\ e(t) &= y(t) - \frac{y(t)}{|y(t)|} \end{aligned} \quad (2-7)$$

이 방법의 문제점은 수렴 상수 μ 의 크기에 따라서 수렴속도와 오차 사이에 trade-off 관계를 가진다는 것이다.

제 3 장 시스토틱 구조를 갖는 스마트 안테나 알고리즘

앞장에서 소개한 기존의 스마트 안테나 알고리즘들은 알고리즘의 복잡성, 특히 공통적으로 역행렬을 구하는데 많은 시간이 걸려 실시간으로 처리하는 것이 힘들었다. 따라서 본 논문에서는 시스토틱 구조를 이용하여 직접 역행렬을 구해 신호의 실시간 처리가 가능하도록 스마트 안테나 알고리즘을 연구하였다. 연구한 스마트 안테나 알고리즘은 QR-RLS 기반의 시스토틱 구조로 이루어져 있는데, 먼저 QR-RLS 알고리즘의 기본인 QR-decomposition에 관하여 설명한 후 QR-RLS를 기반으로 한 시스토틱 구조를 갖는 스마트 안테나에 관하여 설명하겠다.

제 3-1 절 시스토틱 구조를 갖는 스마트 안테나 알고리즘

QR-decomposition은 직교 삼각화(orthogonal triangularization) 처리에 사용되는 방법 중의 하나로 안정적인 수치적 특성을 가진다. 데이터 행렬 $A(n)$ 를 QR-decomposition으로 나타내면 다음과 같이 쓸 수 있다.

$$Q(n)A(n) = \begin{bmatrix} R(n) \\ 0 \end{bmatrix} \quad (3-1)$$

$Q(n)$: Unitary 행렬

$R(n)$: 상위 삼각 행렬

0 : 0 행렬

QR-decomposition을 사용하게 되면 RLS (Recursive Least Square)에서의

계수 벡터를 구하기 위한 QR-RLS 적응 필터링 알고리즘을 단일화하여 처리할 수 있고, 결정론적인 RLS 측정 이론과 확률론적인 칼만 필터 이론을 결합하는 역할을 한다[9]. QR-RLS 알고리즘은 QR-decomposition을 기초로 한 알고리즘이다. least-squares 계수 벡터가 표준 RLS 알고리즘에서는 입력 데이터의 상관함수 행렬을 이용하여 계산되어지는데 반해 QR-RLS 알고리즘에서는 입력 데이터 행렬을 QR-decomposition를 통해 직접 구해진다. 따라서, 표준 RLS 알고리즘 보다 수치적으로 매우 안정적이다. 표준 QR-RLS 알고리즘에서 계수 벡터를 구하기 위한 prearray-to-postarray 변환은 다음과 같다.

$$\begin{bmatrix} \lambda^{1/2} \Phi^{1/2}(n-1) & \mathbf{u}(n) \\ \lambda^{1/2} \mathbf{P}^H(n-1) & d(n) \\ \mathbf{0}^T & 1 \end{bmatrix} \Theta(n) = \begin{bmatrix} \Phi^{1/2}(n) & \mathbf{0} \\ \mathbf{P}^H(n) & \xi(n) \gamma^{1/2}(n) \\ \mathbf{u}^H(n) \Phi^{-1/2}(n) & \gamma^{1/2}(n) \end{bmatrix} \quad (3-2)$$

$\Theta(n)$: 입력 데이터에 의한 Unitary 회전

$\mathbf{u}(n)$: 입력 데이터 행렬

$\Phi(n)$: 상관 행렬

$\mathbf{P}(n)$: 상관 행렬의 역행렬

λ : Exponential weighting 벡터($0 < \lambda < 1$)

ξ : Priori 측정 오차

$d(n)$: Desired response

γ : Conversion factor

여기서 입력 데이터는 postarray의 상위 행인 $\mathbf{0}$ 블록과 대응되어 상쇄되

어지고 상관 행렬의 제곱근 $\Phi^{1/2}(n)$ 는 변환 전과 후에도 보존된다. least-squares 계수 벡터는 back substitution 방법에 의해

$$\widehat{\mathbf{w}}^H(n) = \mathbf{P}^H \Phi^{-1/2}(n) \quad (3-3)$$

로 구해진다[9-16]. 다음은 확장 QR-RLS 알고리즘에서의 계수 벡터를 구하기 위한 prearray-to-postarray 변환이다.

$$\begin{aligned} & \begin{bmatrix} \lambda^{1/2} \Phi^{1/2}(n-1) & \mathbf{u}(n) \\ \lambda^{1/2} \mathbf{P}^H(n-1) & d(n) \\ \mathbf{0}^T & 1 \\ \lambda^{-1/2} \Phi^{-H/2}(n-1) & 0 \end{bmatrix} \Theta(n) \\ &= \begin{bmatrix} \Phi^{1/2}(n) & \mathbf{0} \\ \mathbf{P}^H(n) & \xi(n) \gamma^{1/2}(n) \\ \mathbf{u}^H(n) \Phi^{-1/2}(n) & \gamma^{1/2}(n) \\ \Phi^{-H/2}(n) & -\mathbf{k}(n) \gamma^{-1/2}(n) \end{bmatrix} \end{aligned} \quad (3-4)$$

$\mathbf{k}(n)$: 이득 벡터

계수 벡터는 다음과 같다.

$$\widehat{\mathbf{w}}^H(n) = \widehat{\mathbf{w}}(n-1) + (\mathbf{k}(n) \gamma^{-1/2}(n) (\xi(n) \gamma^{1/2}(n))^* \quad (3-5)$$

그림 3-1은 확장 QR-RLS 알고리즘과 시스토릭 구조를 이용해 구현된 스마트 안테나 알고리즘이다. 이는 그림 3-2, 그림 3-3 과 같은 boundary cell, internal cell, shaded internal cell, 그리고 shaded diamond boundary cell로 구성되어 있으며, 관련 계산식을 그림에 나타내었다. boundary cell

은 입력 값을 받아들이며 제공근 계산과 역수 계산을 하여 회전계산에 필요한 부속 파라미터인 C와 S를 구하여 이를 internal cell과 shaded internal cell에 전해주고, internal cell과 shaded internal cell은 내부 연산과정인 곱셈과 덧셈을 통해 $\Phi(n)$ 의 부분 요소를 계산하고 저장한다. shaded diamond boundary cell은 앞의 cell들에 의해 구해진 값을 가지고 계수 벡터를 구한다

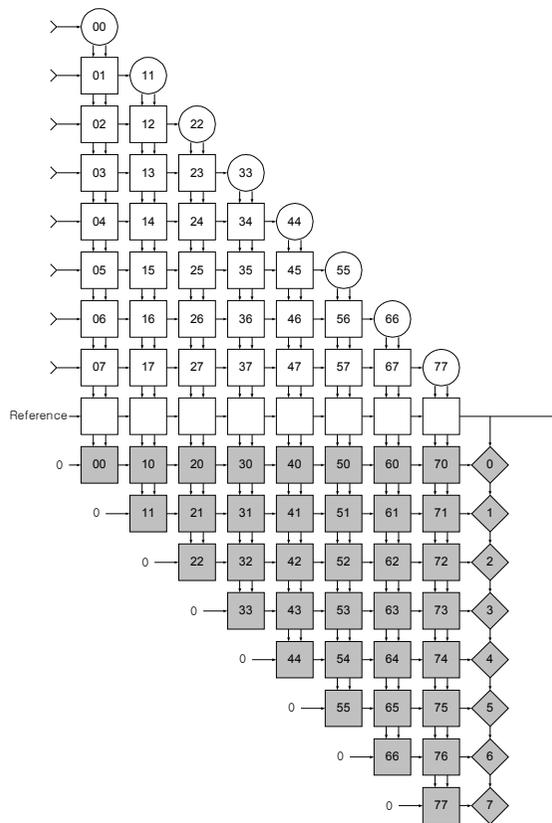


그림 3-1. 시스토크 구조를 갖는 스마트 안테나 알고리즘 구성도

Fig. 3-1. Block diagram of smarta antenna algorithms based on systolic structure.

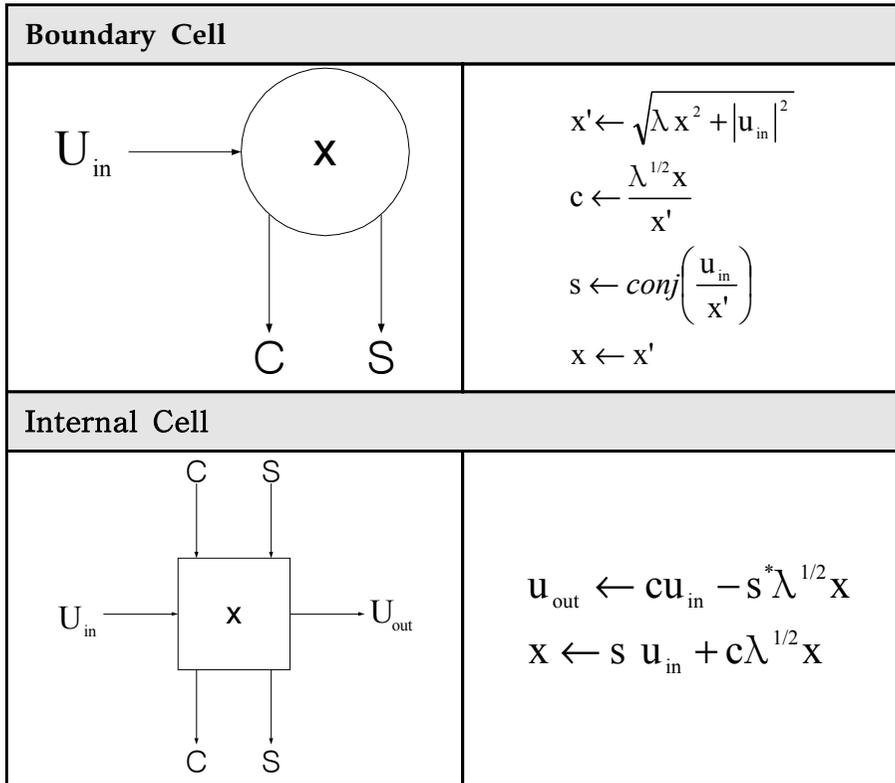


그림 3-2. 경계 셀과 내부 셀의 연산 과정

Fig. 3-2. Arithmetic procedure of boundary cell and internal cell.

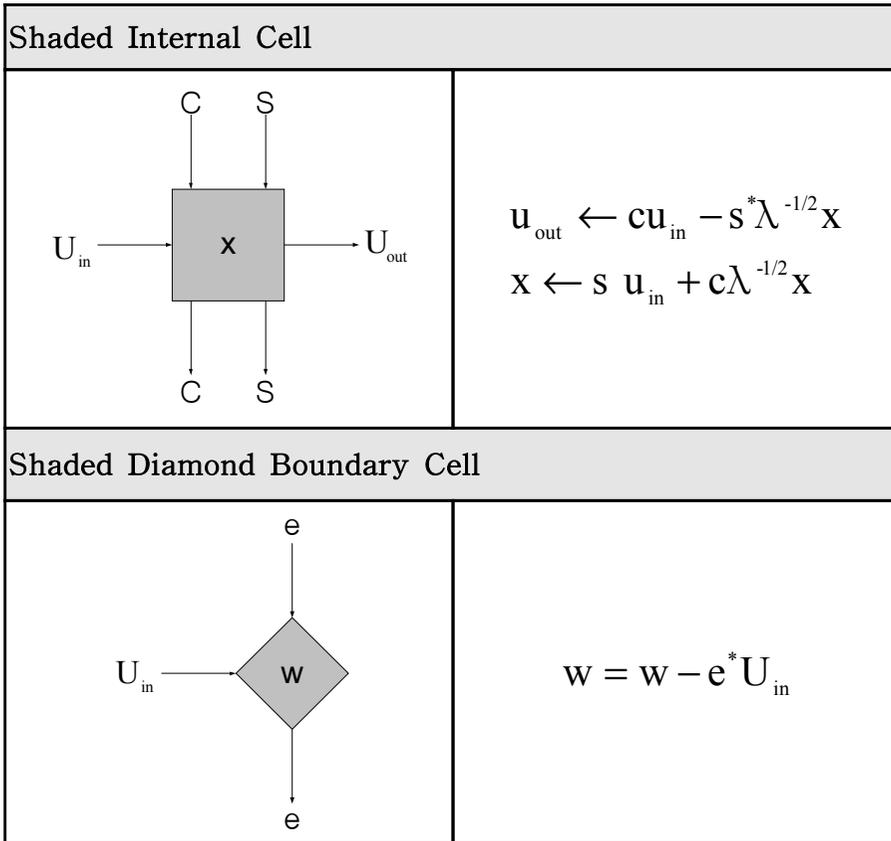


그림 3-3. 음영 내부 셀과 음영 다이아몬드 경계 셀의 연산 과정
 Fig. 3-3. Arithmetic procedure of shaded internal cell and shaded diamond boundary cell.

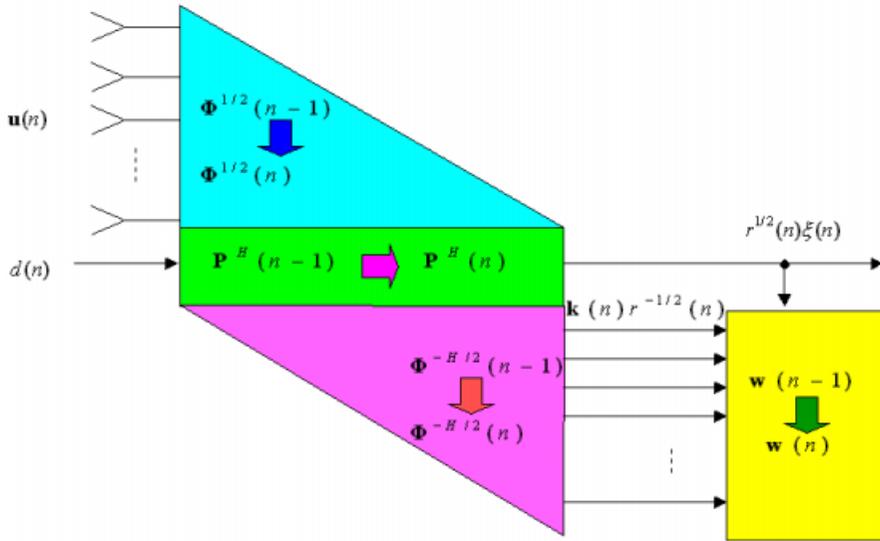


그림 3-4. 시스토크 구조를 갖는 스마트 안테나 알고리즘의 내부 처리과정

Fig. 3-4. Processing of smart antenna algorithms based on systolic structure.

그림 3-4는 그림 3-1의 내부 처리 과정을 나타내었다. 매 클럭 주기마다 위쪽의 삼각형 구역은 업데이트된 $\Phi^{1/2}(n)$ 값을 구하며, 가운데 사각형 구역은 업데이트된 $\mathbf{P}^H(n)$ 값과 posteriori 추정 오차 $\xi(n)\gamma^{1/2}(n)$ 을, 아래 삼각형 구역은 $\Phi^{-H/2}(n)$ 값과 $\mathbf{k}(n)\gamma^{-1/2}(n)$ 을 구한다. 오른쪽 아래 사각형에서는 가운데 사각형 구역에서 구해진 $\xi(n)\gamma^{1/2}(n)$ 와 아래 삼각형에서 구역에서 이렇게 구해진 $\mathbf{k}(n)\gamma^{-1/2}(n)$ 값을 곱하여 기존의 계수 값과 더해 업데이트된 계수 값을 구한다.

제 3-2 절 컴퓨터 시뮬레이션 및 성능 고찰

제안된 시스토크 구조를 갖는 스마트 안테나의 성능을 검증하기 위해 컴퓨터 시뮬레이션을 수행하였다. 시뮬레이션에서 사용된 파라미터를 표 3-1에 나타내었으며, 그림 3-5에 빔 패턴을 나타내었다. 그림에서 원하는 사용자 방향인 4도로 빔이 형성되는 반면, 다른 사용자 방향으로는 이득이 감소하는 것을 볼 수 있다. 즉 원하는 사용자 방향인 4° 에서 $0dB$ 의 이득을 기준으로 하여 다른 사용자 방향인 -45° 에서는 $-29dB$, 46° 에서는 $-31dB$ 의 이득이 감소했다.

표 3-1. 시뮬레이션 파라미터

Table 3-1. Simulation parameters.

# of sensor	8
# of user	3
# of message	10
spreading factor	8
forgetting factor(λ)	0.9
AOA(degree)	-45, 4, 46
Eb/No(dB)	10
Rayleigh fading 1-path Channel	
perfect power control	

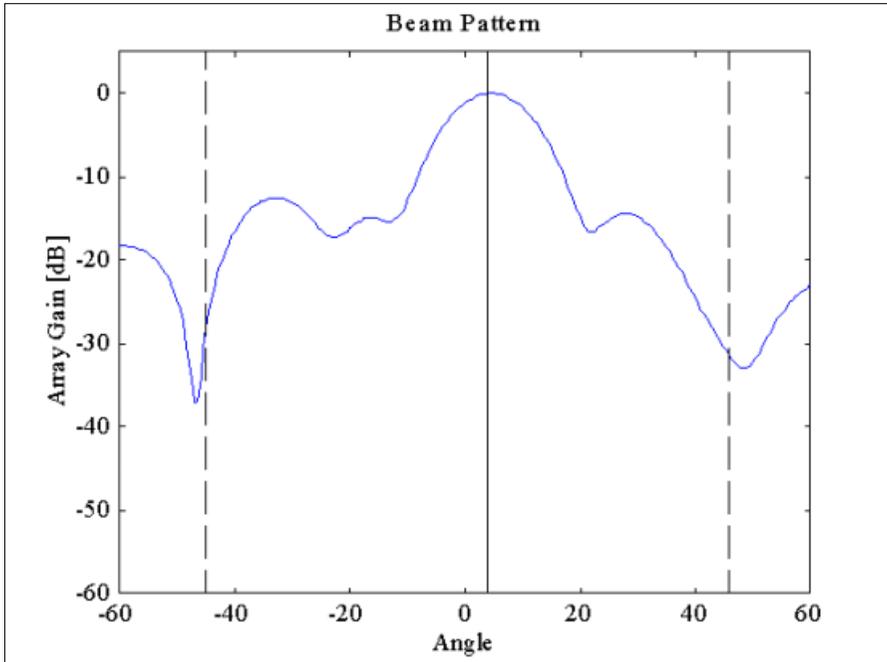


그림 3-5. 시스토틱 구조를 갖는 스마트 안테나의 빔 패턴

Fig. 3-5. Beam pattern of smart antenna algorithm based on systolic structure.

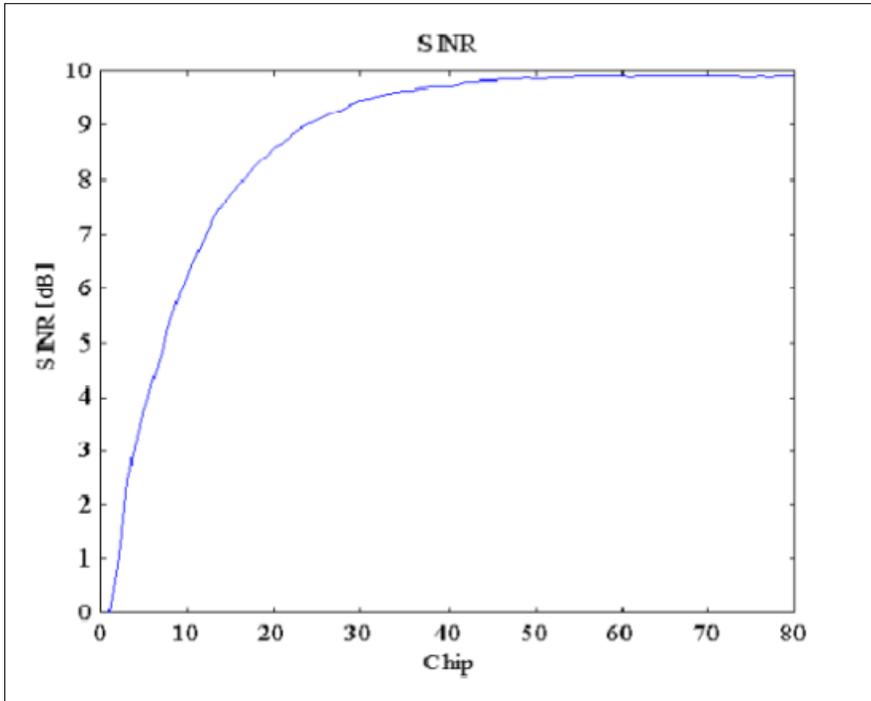


그림 3-6. 시스토크 구조를 갖는 스마트 안테나의 SINR

Fig. 3-6. SINR of smart antenna algorithm based on systolic structure.

그림 3-6는 시스토크 어레이 빔 형성기의 출력 SINR를 보여주고 있다. 그림에서 시간이 진행됨에 따라 SINR이 점점 향상되고 있음을 볼 수 있는데 40 chip에서 약 $9.7dB$ 의 SINR을 보이고 있다.

제 4 장 실시간 처리를 위한 FPGA 구현

본 논문에서는 컴퓨터 시뮬레이션을 통한 성능 분석과 함께 실시간 처리 가능성을 검토하기 위해 VHDL 언어를 이용하여 코딩하고 타이밍 시뮬레이션을 수행하였다. 먼저 FPGA로 구현시 적절한 비트 수를 결정하는 과정을 소개하고 다음으로 구현된 방법을 타이밍 시뮬레이션을 통해 실시간 처리가 가능함을 보였다.

제 4-1 절 구현을 위한 최적 비트(bit) 수 결정

앞장에서 제안한 방법을 VHDL을 이용하여 구현하고자 할 때 FPGA의 특성상 최적의 비트 수를 결정하여야 한다. 일반적인 DSP 프로세서와 비교해 보면 FPGA는 완전한 병렬 처리가 가능하기 때문에 고속 연산이 가능한 장점이 있으나 아직 클럭 속도가 DSP 프로세서에 비해 느리고 무엇보다 고정 소수점 연산만 가능하여 내부 연산을 위한 비트 수가 증가하면 FPGA chip 사용 면적이 기하급수적으로 늘어나게 되어 구현할 수 없게 된다. 또한 산술 연산을 위한 덧셈, 뺄셈, 곱셈, 나눗셈과 같은 과정을 모두 직접 제작하여야 하는 번거로움이 있으며, 아울러 고속 연산을 위해서는 고속 연산 알고리즘에 따라 구성하여야 최적의 성능을 얻을 수 있다. 이에 비해 DSP 프로세서는 상대적으로 높은 해상도를 얻을 수 있고 C 언어를 이용한 프로그래밍만으로 구현할 수 있는 용이성이 있으나 미리 구성되어 있는 ALU나 곱셈기를 사용하므로 알고리즘적으로 병렬 처리가 가능하더라도 실제 구현할 때에는 순차 연산을 하여야 한다. 최근에는 TI사에서 C6x 시리즈와 같이 일부 병렬 처리가 가능한 DSP 프로세서가 생산되고 있기도 하다. 본 논문에서는 알고리즘적으로 병렬 처리가 가능하므로 FPGA를 이용하여 실시간 처리 가능성을 알아보았다. 이를 위해 내부 연산

을 위한 최적 비트 수를 미리 결정하여야 한다. 최적 비트 수를 결정하기 위해 비트 수에 따른 integer 시뮬레이션을 수행하였다. integer 시뮬레이션이란 내부 모든 변수를 integer로 정의하여 모든 연산을 수행하는 것이다. 그림 4-1에는 비트 수에 따른 내부 셀 가운데 하나의 변화를 나타낸 것으로 부동 소수점 연산 결과와 함께 나타내었다. 그림 4-1으로부터 부동 소수점 연산 처리를 한 결과와 고정 소수점 연산 처리를 한 결과 사이에 오차를 볼 수 있으나 고정 소수점 처리를 할 때 비트 수를 4비트로 하더라도 성능에는 큰 변화가 없음을 알 수 있다. 따라서 본 논문에서는 FPGA로 구현할 때 4비트로 하여 구성하였다.

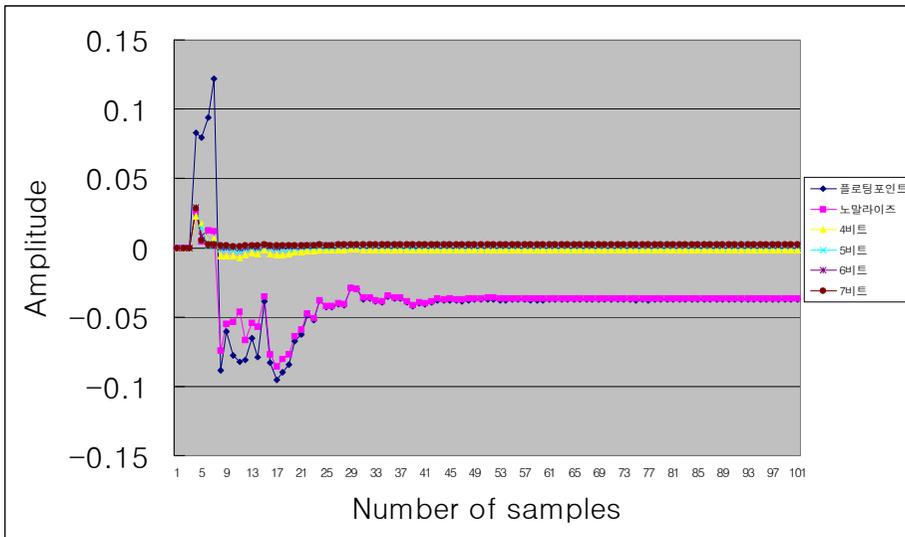


그림 4-1. 비트 수에 따른 내부 셀의 성능

Fig. 4-1. Performance of internal cell according to the number of bit.

제 4-2 절 VHDL 구현 및 타이밍 분석

본 절에서는 연구된 방법을 하드웨어 표현 언어인 VHDL을 이용하여 구현하고 타이밍 분석을 통해 실시간 처리 여부를 검증하였다. 구현을 위하여 고속 덧셈기, 곱셈기 및 나눗셈기를 설계[18]하였으며, 제공근은 ROM 즉, LUT (Look-Up Table)를 구성하여 사용하였다. 각 데이터들은 현재 이동 통신 시스템에서 사용하는 데이터 해상도를 고려하여 4 비트로 표현하였고, 최종 구현된 코드는 알테라사의 FLEX10K 디바이스상에서 컴파일되었다. 그리고 디바이스가 갖는 논리 게이트 수의 제약으로 인해 4 채널만을 구성하였다. 그림 4-2에서는 경계 셀의 Schematic diagram을 나타내었으며, 그림 4-3에서는 그 세부 구성 요소를 나타내었다. 그리고 그림 4-4에서는 경계 셀의 Schematic diagram을 나타내었으며, 그림 4-5에서는 그 세부 구성 요소를 나타내었다. 그림 4-6에서는 음영 경계 셀의 Schematic diagram을 나타내었으며, 그림 4-7에서는 그 세부 구성 요소를 나타내었다. 마지막으로 그림 4-8에서는 음영 다이아몬드 경계 셀의 구성 요소를 나타내었다.

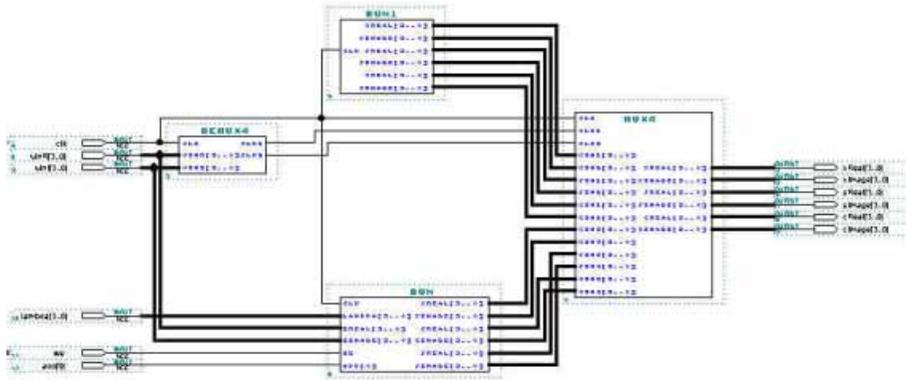
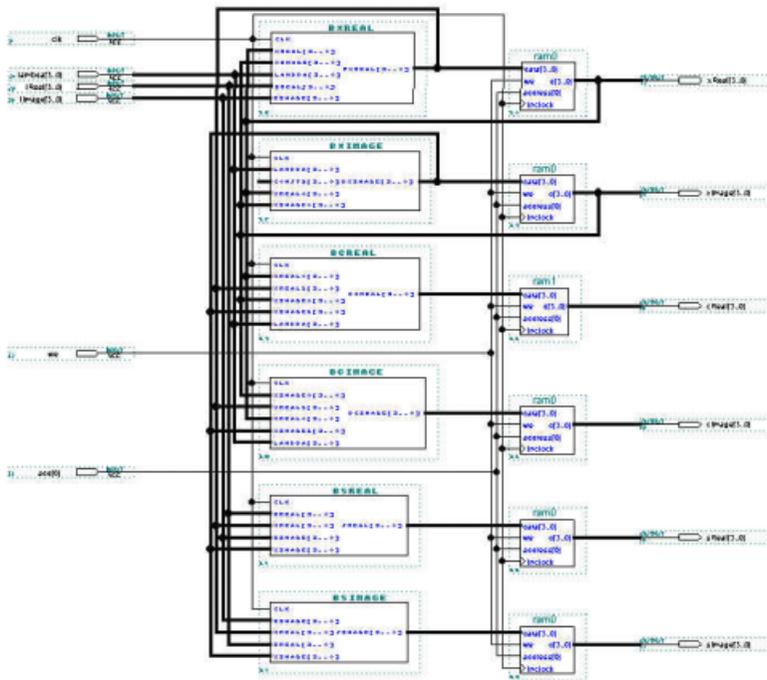
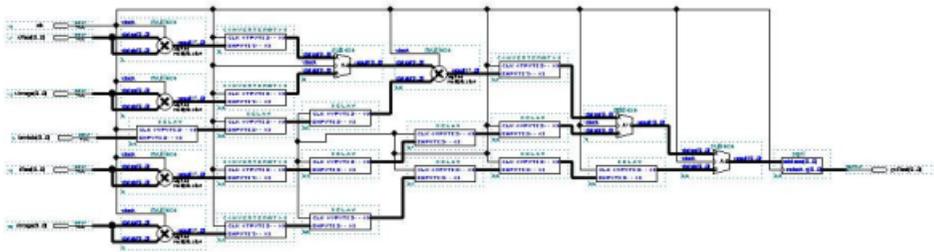


그림 4-2. 경계 셀의 Schematic diagram

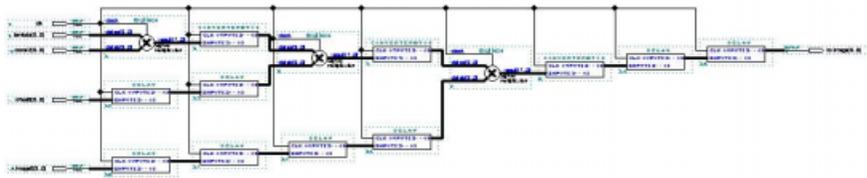
Fig. 4-2. Schematic diagram of boundary cell.



(a)



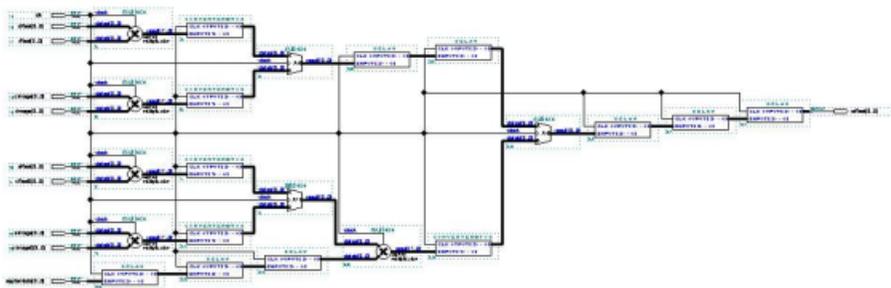
(b)



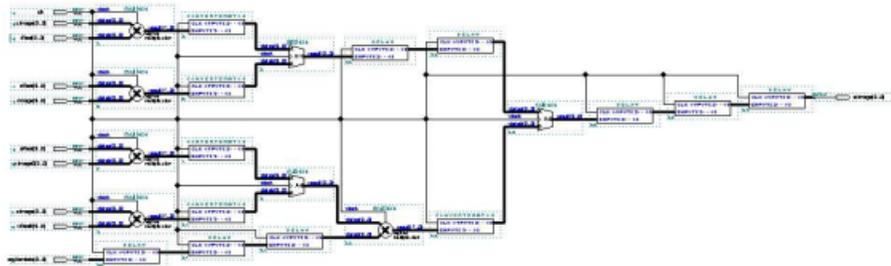
(c)

그림 4-3. 경계 셀 내 주요 부분의 Schematic diagram, (a) 연산 부분, (b) 실수부 연산, (c) 허수부 연산

Fig. 4-3. Schematic diagram of important parts in boundary cell, (a) arithmetic part, (b) real part, (c) imaginary part.



(a)



(b)

그림 4-5. 내부 셀 내 주요 부분의 Schematic diagram, (a) 실수 부분 연산, (b) 허수 부분 연산

Fig. 4-5. Schematic diagram of important parts in internal cell, (a) real part, (b) imaginary part.

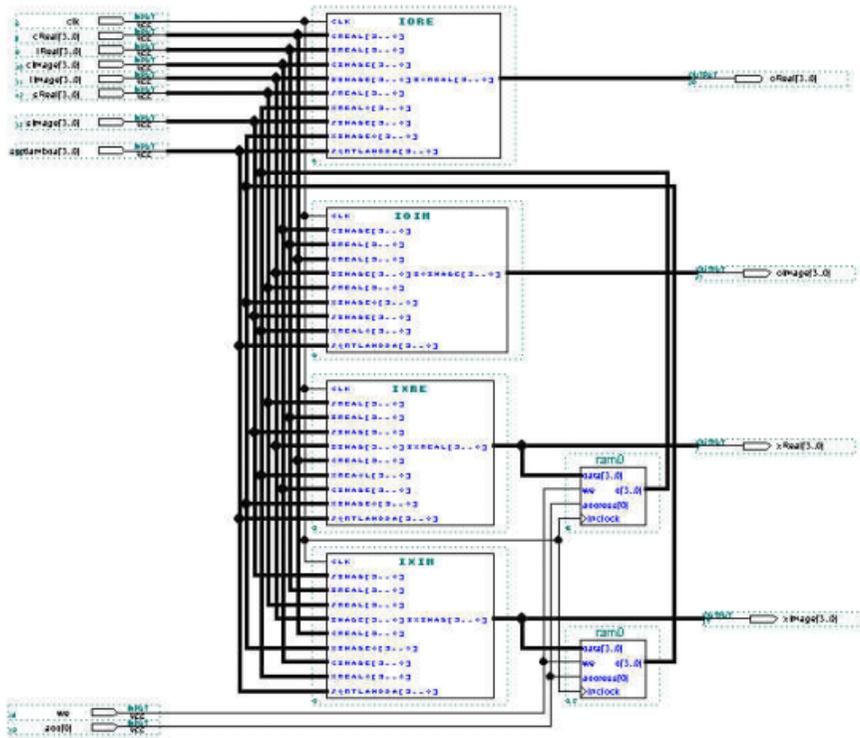
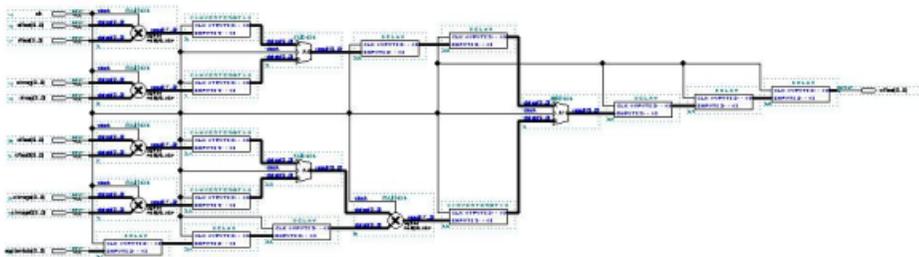
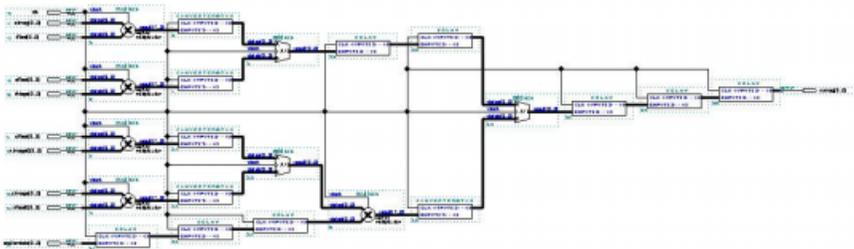


그림 4-6. 음영 내부 셀의 Schematic diagram
 Fig. 4-6. Schematic diagram of shaded internal cell.



(a)



(b)

그림 4-7. 음영 내부 셀 내 주요 부분의 Schematic diagram, (a) 실수
부분 연산, (b) 허수 부분 연산

Fig. 4-7. Schematic diagram of important parts in shaded internal cell,
(a) real part, (b) imaginary part.

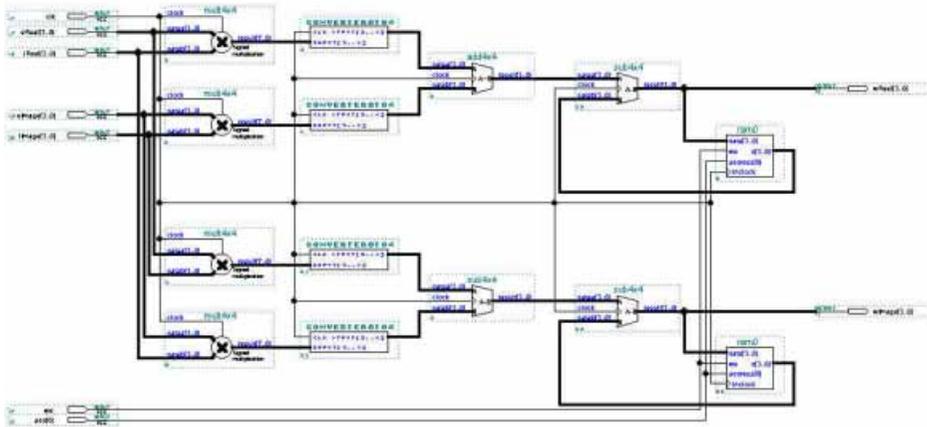


그림 4-8. 음영 다이아몬드 경계 셀의 Schematic diagram

Fig. 4-8. Schematic diagram of shaded diamond boundary cell.

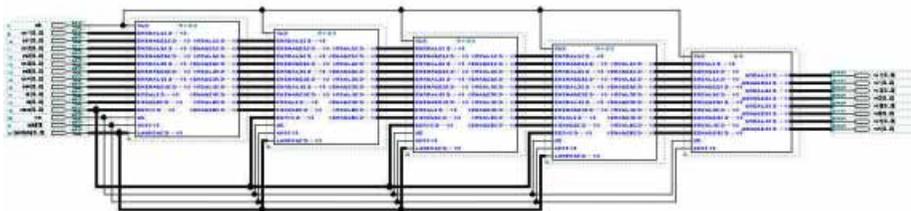
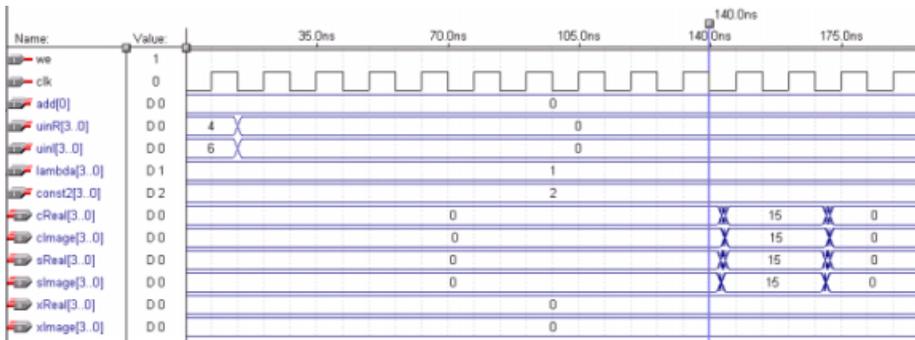


그림 4-9 4-채널 송신 빔 형성기의 회로도

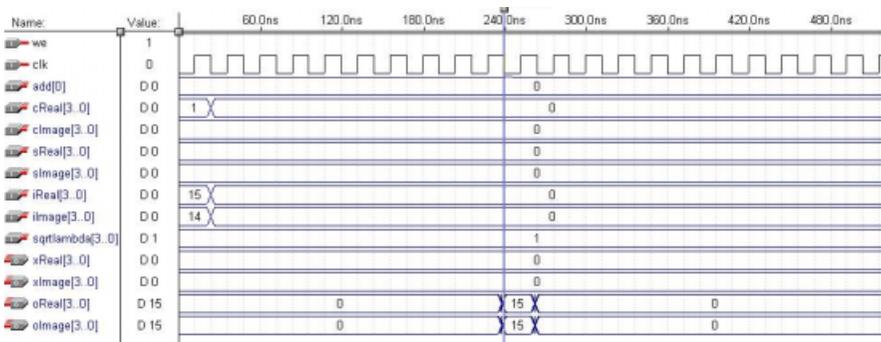
Fig. 4-9 Schematic diagram of 4-channel transmit beamformer.

그림 4-9에서는 4-채널인 경우 송신 빔 형성기의 회로도를 나타내었다. 그리고, 그림 4-10에는 설계된 경계 셀과 내부 셀을 이용하여 얻은 타이밍 시뮬레이션 결과를 나타내었으며, 그림 4-11에는 전체 타이밍 시뮬레이션

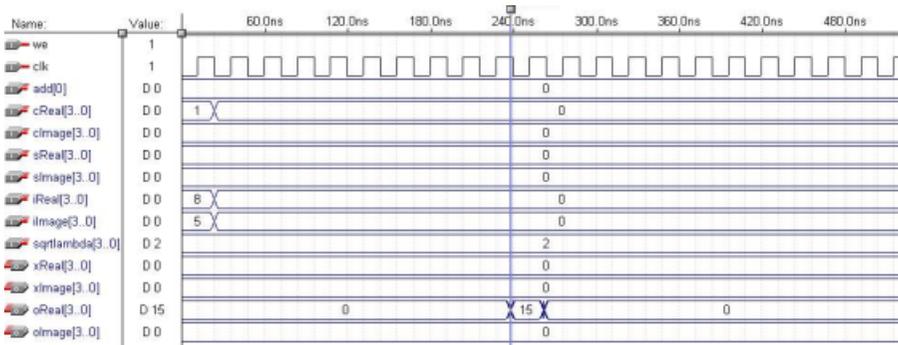
결과를 나타내었다. 시뮬레이션 결과 연산 시간은 약 1.08 μsec 정도가 소요되는 것으로 나타났다. 이는 cdma2000 시스템에서 8배 oversampling할 경우 chip level에서 영상은 약 270 nsec, 패킷은 2.17 μsec , 음성은 4.34 μsec 정도의 계산 시간이 허용됨을 감안하면 패킷과 음성은 충분히 실시간 처리가 가능함을 알려주며, 추후 ASIC으로 구현했을 때 일반적으로 연산 시간이 5-6배 이상 감소한다는 사실을 고려하면 영상 데이터도 실제 실시간 처리가 가능한 것으로 볼 수 있다. 그림 4-12에서는 합성 후 나타난 디바이스의 레포트 파일을 나타내었다. 경계 셀의 경우 EPF10K20RC240-4 chip에 포팅했을 경우에 입력 핀으로 15개, 출력 핀으로 24개로 전체 사용 가능한 chip 용량중 55%를 사용하고 있음을 볼 수 있다.



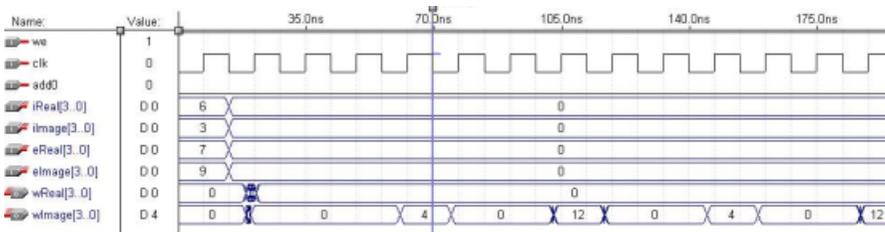
(a)



(b)



(c)



(d)

그림 4-10. 각 셀의 타이밍 시뮬레이션 결과, (a) 경계 셀, (b) 내부 셀, (c) 음영 내부 셀, (d) 음영 다이아몬드 경계 셀

Fig. 4-10. Results of timing simulation of each cell, (a) boundary cell, (b) internal cell, (c) shaded internal cell, (d) shaded diamond boundary cell.

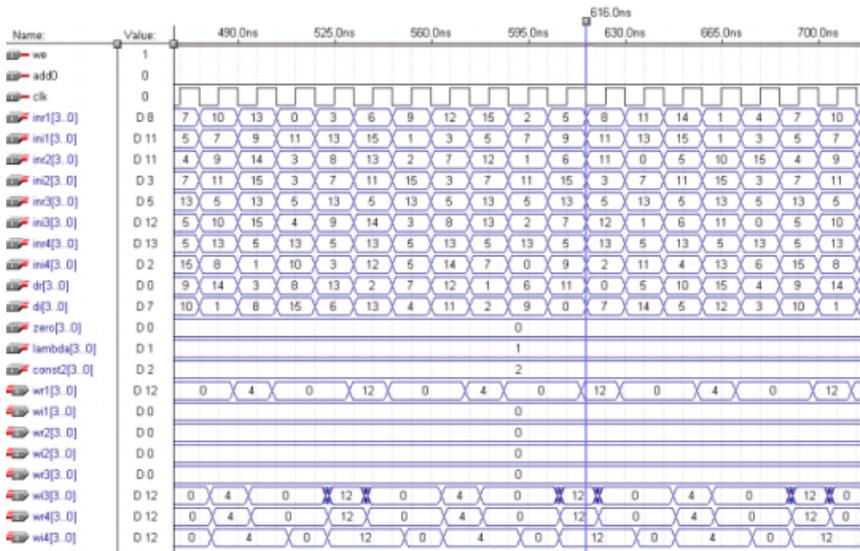


그림 4-11. 전체 타이밍 시뮬레이션 결과

Fig. 4-11 Results of timing simulation.

**** DEVICE SUMMARY ****

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	LCs % Utilized
boundary	EPF10K20RC240-4	15	24	0	240	1 %	637	55 %
User Pins:		15	24	0				

(a)

**** DEVICE SUMMARY ****

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	% Utilized
inter	EPF10K20TC144-3	31	16	0	16	0 %	606	52 %
User Pins:		31	16	0				

(b)

**** DEVICE SUMMARY ****

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	% Utilized
inter	EPF10K70RC240-2	31	16	0	16	0 %	606	16 %
User Pins:		31	16	0				

(c)

**** DEVICE SUMMARY ****

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	% Utilized
w	EPF10K20RC240-4	19	8	0	16	0 %	130	11 %
User Pins:		19	8	0				

(d)

그림 4-12. 디바이스의 레포트 파일, (a) 경계 셀, (b) 내부 셀, (c) 음영 내부 셀, (d) 음영 다이아몬드 경계 셀

Fig. 4-12. Report file of device, (a) boundary cell, (b) internal cell, (c) shaded internal cell, (d) shaded diamond boundary cell.

마지막으로 본 논문에서는 알테라사의 FLEX10K chip을 장착한 보드에 포팅하여 구현된 방법의 성능을 검증하였으며, 그 결과는 타이밍 시뮬레이션 결과와 동일하게 나타났다. 그림 4-13에 사용된 보드의 사진을 나타내었다.

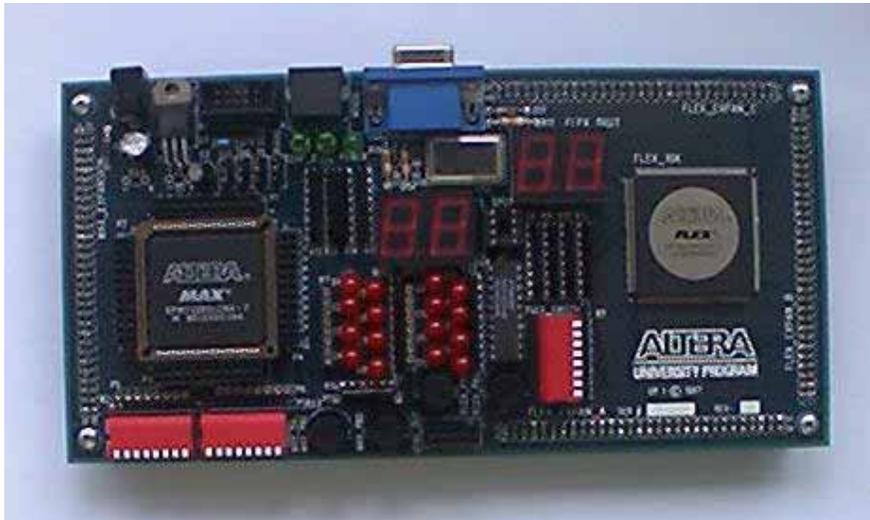


그림 4-13. 알테라사의 FLEX10K chip을 장착한 보드 사진

Fig. 4-13. Board with Altera's FLEX10K chip.

제 5 장 결 론

기존의 스마트 안테나 알고리즘들은 사용하는데 있어 반듯이 역행렬을 구해야 하는데 이 부분이 알고리즘에서 가장 많은 연산량을 필요로 한다. 역행렬을 구하는 방법으로 역행렬 공식(matrix inversion lemma)을 이용할 수 있으나 그 구조의 복잡성으로 인해 실시간 처리가 어려워 비효율적이다. 따라서 본 논문에서는 실시간 처리가 가능하도록 QR-RLS 기반의 스마트 안테나 알고리즘을 연구하였다. 알고리즘은 역행렬 연산을 효율적으로 하기 위해 Givens rotations을 이용하여 직접 역행렬을 구하는 방법을 사용하였으며 Givens rotations방법을 이용하여 연산하는 구조를 갖는 시스토크 어레이 형태로 구성하였다. 아울러 Rayleigh 페이딩 채널 환경에서 컴퓨터 시뮬레이션을 수행하여 연구된 방법의 성능을 고찰하였다.

또한 본 논문에서는 연구된 방법의 실시간 처리 가능성을 검증하기 위해 하드웨어 표현 언어인 VHDL을 이용하여 구현하고, 알테라사의 FPGA인 FLEX10K chip에 포팅하였다. 또한 이에 앞서 구현시 내부 연산 과정에서 데이터를 표현하는데 소요되는 최적의 비트 수를 integer 시뮬레이션을 통하여 결정하였는데 시뮬레이션은 부동 소수점과 고정 소수점을 가지고 수행하였다. 부동 소수점 연산 처리를 한 결과와 고정 소수점 처리를 한 결과 사이에 오차는 있으나 고정 소수점 처리를 할 때 비트 수를 4비트로 하더라도 성능에는 큰 변화가 없어 4비트로 구현하였다. 타이밍 시뮬레이션 결과 연산 시간은 약 1.08 μ sec 정도가 소요되는 것으로 나타났다. 이는 cdma2000 시스템에서 8배 oversampling할 경우 chip level에서 영상은 약 270 nsec, 패킷은 2.17 μ sec, 음성은 4.34 μ sec 정도의 계산 시간이 허용됨을 감안하면 패킷과 음성은 충분히 실시간 처리가 가능함을 알려주며 영상 정보 처리는 시간이 부족하였다. 그러나 이는 추후 ASIC으로 전환할 경우 처리 속도가 5-6배 이상 향상되므로 실시간 처리 가능함을 확인하였다.

앞으로 과제는 FPGA로 구성함에 있어 제공근을 LUT로 사용하였기 때

문에 오차가 생겼는데 제곱근을 수치 해석적인 알고리즘으로 구현하여 오차를 줄여야한다. 또, 지금 보다 더 빠른 사칙연산 알고리즘을 구현하여 영상 처리속도를 만족시킬 수 있도록 칩 속도를 향상시켜야 할 것이다. 또한 연구된 방법의 실제 적용성 검토와 아울러 실시간 처리를 위하여 모델 부분과 연계하여 하드웨어 구현 방법에 대해 연구가 이루어져야 할 것이다. 또한 실측 자료에 기반한 성능 분석이 이루어져야 할 것이다.

참고 문헌

- [1] A.F. Naguib, *Adaptive antennas for CDMA wireless network*, Ph.D thesis Stanford University, Aug. 1996.
- [2] J.H. Winters, J. Salz, and R.D. Gitlin, "The Impact of Antenna Diversity on the Capacity of Wireless Communication Systems," *IEEE Trans. Commun.*, vol. COM-41(4), pp.1740-1751, Apr. 1994.
- [3] J.R. Treichler and B.G. Agee, "A new approach to multipath correction of constant modulus signals," *IEEE Trans. Acoust., Speech, Signal Processing*, vol.ASSP-31, pp.459-472, Apr. 1983.
- [4] J. Lundell and B. Widrow, "Application of the constant modulus adaptive beamformer to constant and non-constant modulus algorithms," in *Proc. 22nd Asilomar Conf. Sig. syst. Comput.*, Pacific Grove, CA, pp.432-436, Nov. 1987.
- [5] T.S. Rappaport, and J.C. Liberti, *Smart antennas for wireless communications*, Prentice-Hall, 1999.
- [6] J.Litva and T.K-Y. Lo, *Digital beamforming in wireless communications*, Artech House, 1996.
- [7] R. Ho, *Implimentation of cyclic beamforming techniques on mobile communication systems*, Master's thesis, McMaster University, 1994.
- [8] 박상용, "신호의 자기 상관성을 이용한 스마트 안테나 알고리즘 구현", 한국해양대학교 석사 학위 논문, 2000.
- [9] S. Haykin, *Adaptive filter theory*, Prentice-Hall, 1996.
- [10] C.F. T. Tang, "Adaptive Array System Using QR-Based RLS and CRLS Techniques with Systolic Array Architectures," *Ph.D*

Thesis Report, Ph.D.91.5, Systems Research Center, University of Maryland, College Park, May 1991.

- [11] J.C. McWhirter, and T.j. Shepherd, "Systolic array processor for MVDR beamforming," *IEE Proc.*, vol. 136, Pt. F, no. 2, pp. 75-80, Apr. 1989.
- [12] C.F. T. Tang, and K.J. R. Liu, "A Novel systolic array processor for MVDR beamforming," *ICASSP*, vol. 4, pp. 477-480, California, USA, Mar. 1992.
- [13] T. Asai, and T. Matsumoto, "A Systolic array RLS processor," *VTC'2000*, vol. 3, pp. 2247-2251, Tokyo, Japan, May 2000.
- [14] W.M. Gentleman and H.T. Kung, "Matrix triangularization by systolic array," *Proc. SPIE, Real-Time Signal Processing IV*, vol. 298, pp. 19-26, 1981.
- [15] R. Schreiber, "Implementation of adaptive array algorithms," *IEEE Trans. Acoust. Speech, Signal Processing*, vol. ASSP-34, no. 5, pp. 1038-1045, Oct. 1986.
- [16] R. Schreiber, "Systolic linear algebra machines in digital signal processing," in *VLSI and Modern Signal Processing*, pp. 389-405, 1985.
- [17] R.A. Monozingo and T.W. Miller, *Introduction to Adaptive Arrays*, Now York: John Wiley and Sons, 1980.
- [18] B. Parhami, *Computer Arithmetic*, Oxford University Press, 2000.
- [19] 양승용, 이용주, 김기만, "주파수 분할 통신 환경에서 Downlink Beamforming 기법 연구", 한국해양정보통신학회 추계학술종합발표논문집, 제3권, 제2호, pp 220-223, Oct. 2000.
- [20] 양승용, 이용주, 김기만, "CPLD를 이용한 스마트 안테나 알고리즘 구현", 한국해양정보통신학회 춘계종합학술대회논문집, 제5권, 제1

호, pp. 749-752, May 2001.

[21] MAX+PLUS II User's Guide, Altera, 1997.

[22] 김종욱, 권세용, 안성수, 최승원, "TMS320C30을 이용한 스마트 안테나 시스템의 Test-bed 구현", 한국전자과학회논문지, 제11권, 제4호, pp. 523-533, Jun 2000.

감사의 글

지난 학부 및 대학원 생활동안 저에게 모든 면에서 많은 가르침과 지도를 해주신 김기만 교수님께 진심으로 감사드립니다. 그리고 학부시절부터 지도해 주시고 지켜봐 주신 김동일 교수님, 조형래 교수님, 강인호 교수님, 정지원 교수님, 민경식 교수님께도 감사드리며 항상 건강하시길 바랍니다. 가르침을 바탕으로 열심히 사회생활을 해나가겠습니다.

논문이 정리됨과 더불어 곁에서 많은 도움을 주신 분들이 생각납니다. 실험실에서 고락을 함께 하며 많은 도움을 준 준환, 동현, 동원, 승수, 인식, 상용, 용주, 외형, 윤준 형님에게 감사드립니다. 또한 상명, 상우, 원철, 상훈, 진산 형님 및 친구 성원, 재민, 지성, 지만에게도 고마운 마음을 전합니다.

또, 대학 및 대학원 생활동안 함께 생활해온 태욱, 형천, 명승, 재원, 종기, 준오 및 그 외 모든 친구들과 선배님들, 후배 여러분께도 고마운 마음을 전합니다.

끝으로, 언제나 믿음으로 묵묵히 지켜봐 주시고 뒷바라지 해주신 아버지, 어머니, 힘이 되어준 동생에게 깊이 감사드리며 이 작은 결실을 드립니다.