工學碩士 學位論文

DBS 수신용 이동체 탑재형 도파관 어레이 안테나 급전부의 특성에 관한 연구

A Study on Characteristics of a Feeder Waveguide Array Antenna for Mobile DBS Reception

指導教授 閔 庚 植

2001年 2月

韓國海洋大學校 大學院

電 波 工 學 科

金 洸 昱

Abstract

Recently, the technical development of advanced radio communication equipment for PCS(Personal Communication System) and mobile Car/Ship/Aircraft communication is rapidly increased. In contrast with this situation, it is also desired more smaller radio communication equipment in size with high performance and lightweight for convenience.

In the fields of antenna system development, the antenna has to have high efficiency and high gain in high frequency band as well as the stable structure and the compact size. This research will be developed a single-layer feed waveguide π-junction with inductive wall for a planar waveguide slot antenna system. This feed antenna system which will be used for mobile DBS reception should be considered stabilization of antenna structure including the simple fabrication and so on. In case of conventional single-layer feed waveguide antenna, the phase and the amplitude of signal division were controlled by the position and the height of the inductive post.

However, since the inductive post was directly controlled by person in fabrication, the antenna efficiency remarkably decreased and the manufacturing cost was expensive. To solve these problems, a single-layer feed waveguide π-junction with the inductive wall instead of the inductive post is proposed in this thesis. A feed waveguide is placed on the same layer in radiating waveguide. It is a two-dimensional structure and is easily analyzed and designed. In order to divide the incident power to densely arrayed waveguides in phase, one coupling window on the narrow wall of the feed waveguide needs to feed into two radiating waveguides. A cascade of π-junctions composes the multiple-way power divider. By increasing the number of junctions, the reflection from each coupling

window is also increased. To reduce the reflection of a junction and to widen the overall bandwidth, an inductive wall is located in front of the coupling window of each π-junction. High efficiency of power division and low cost by the simple fabrication can be realized by the fixed inductive wall on feed waveguide.

This thesis is divided by six chapters except introduction.

Chapter 2 presents the electromagnetic wave analysis and the optimum design for short circuit and 4-port π-junction unit with the inductive wall are conducted by using the Galerkin's method of moment to suppress the reflection loss.

Chapter 3 presents the power dividing characteristics of a π-junction obtained by FDTD method are compared with one of Galerkin's method of moments.

Chapter 4 describes the measured values of fabricated junction. From the above obtained optimum parameters, the π-junction structure is fabricated and measured.

Chapter 5 and 6 are proposed a 8-port feeder waveguide for planar slot waveguide array antennas. From the optimum simulation results based on the feeder waveguide using π-junction in standard waveguide at 3.95 GHz and 11.85 GHz, we are obtained the scattering matrices of the non-standard feeder waveguide at 11.85 GHz. Their characteristics are compared with the standard waveguide ones with 8-port feeder array. The bandwidth of -20 dB below is about 700 MHz. The fabrication of planar slot waveguide antenna using the 16-port feeder waveguide is carried out by BG Tech Co., Ltd. Frequency characteristics and phase variation of the fabricated feeder array structure is evaluated by measurement.

Chapter 7 summarizes this study and presents the future work.

목　　차

제 1 장 서 론

최근 휴대전화나 자동차/선박/항공기 무선 등 이동통신의 급격한 발전과 더불어 그 수요도 급격히 증가하고 있다. 이러한 무선 정보통신분야는 앞으로도 많은 발전을 할 것으로 기대되며, 이에 따른 경박 · 단소하면서도 경제적이고 고성능을 가지는 통신장비의 개발이 강하게 요구되고 있다. 특히, 안테나분야에서는 각각의 통신목적에 적합한 구조를 지니고, 고이득 · 고효율의 특성을 가지면서 동시에 크기면에서도 매우 안정적이고 컴팩트한 구조를 가진 안테나를 개발하는 것이 중요하다[1]-[3]. 따라서, 본 논문에서는 RF회로로부터 받은 신호를 손실없이 전파할 수 있도록 동일한 구조의 π 결합 분기기를 다단으로 접합하여 각각의 복사도파관으로 분배하는 전력을 같게 하고, 반사계수를 최소가 되도록 분배해 주는 급전부에 유도성핀 대신에 유도성 벽을 가지는 π 결합 분기형 일층구조 어레이 급전도파관을 제안한다[4].

종래의 일층구조의 급전도파관은 신호의 분배량이나 분배위상을 조정하기 위하여 유도성 핀을 사용하였기 때문에 신호분배 특성의 효율저하와 제작상의 어려움이 있었다[5], [6]. 이러한 문제를 해결하기 위하여 본 논문에서는 유도성 핀 대신에 유도성 벽을 사용하여 급전도파관 안테나의 신호분배를 안정화시키고자 한다. 유도성 벽을 급전도파관에 직접 고정함으로써 고효율의 분배 특성을 실현할 수 있으며, 제작의 수월성과 비용절감 효과를 얻을 수 있다. 또한 이동체에 안테나를 탑재하였을 경우도 종래의 유도성 핀과 같은 유동성이 없

으므로 급전부의 전력분배를 안정적으로 할 수 있어서 안테나의 효율을 높일 수 있다.

국내에서도 1995년 국내최초의 무궁화 위성이 발사되어 다양한 위성통신 및 방송 서비스가 가능하게 되었다. 이에 따라 열차, 선박, 항공기, 자동차 등의 이동체에서 위성방송을 수신할 수 있게 하는 연구가 현재 국내외에서 활발히 진행중이다. 따라서 본 논문에서는 DBS(Direct Broadcasting from Satelite)용 이동체 탑재형 위성추적 안테나 시스템에 이용될 슬롯 어레이 안테나부에서 안테나의 급전부에서 사용될 급전도파관을 제안한다.

본 논문의 전체구성을 살펴보면 서론을 제외한 5개의 장으로 구분 할 수 있다. 먼저, 2장에서는 급전부 설계를 위한 π 결합 분기 한 단과 short plate를 지닌 종단부를 Galerkin's 모멘트법으로 해석하여 여러 가지 설계 파라미터들의 최적 설계를 행하였고, 3장에서는 2장에서 설계한 설계치를 토대로 하여 FDTD법을 이용하여 시뮬레이션한 결과치와 비교 설명하였다.

4장에서는 π 결합 분기 한 단에 대해 모멘트법으로 구한 최적의 설계파라미터들을 토대로 WR-229(3.4 GHz 4.3 GHz)의 표준도파관과 WR-90(8.2 GHz 12.4 GHz)의 표준도파관을 이용하여 실제 제작을 통해 이론치와 측정치를 비교 설명하고 그 타당성을 입증하였다.

끝으로 5장과 6장에서는 DBS 수신용 이동체 탑재형 시스템에 이용될 도파관 안테나의 급전부 설계를 행하였다. 먼저 5장에서는 3.95 GHz를 설계주파수로 하는 8분기 어레이 전

력분기기를 설계하였고, 6장에서는 5장에서 설계한 방법으로 토대로 11.85 GHz를 설계주파수로 하여 WR-90 표준도파관용 8분기 전력분기기를 설계하고 설계시 문제점인 위상과 진폭차를 줄이고 좀 더 작은 사이즈를 구현하기 위해서 WR-90 표준도파관의 실제 크기보다 줄인 비표준도파관용 8분기 전력분기기를 설계하였다. 시뮬레이션 결과 약 -20 dB이하에서 약 700 MHz의 광대역폭을 가지고 DBS 대역폭(11.7 GHz 12 GHz)을 만족시키는 아주 양호한 특성을 보여주고 있다. 지금까지 행한 시뮬레이션을 토대로 DBS용 위성추적 안테나 시스템에 사용되어지는 급전도파관을 실제 제작을 행하여 슬롯 어레이 안테나부를 완성시켰다. 이러한 과정을 통하여 위성방송 수신특성을 파악하고 상용가능성을 확인하였다.

제 2 장 π 결합 분기 한 단에 대한 설계

2.1 평면 안테나

그림 2.1은 종래의 2층 구조 도파관 어레이 평면 안테나를 나타내고 있다. 종래의 도파관 어레이 평면 안테나의 구조는 그림 2.1에서 보는 것처럼, 급전용 도파관을 복사도파관 어레이 안테나의 하부에 부착함으로써 안테나 전체의 구조가 3차원 구조로 되어 파라볼릭 타입인 리플렉터 안테나의 부피보다는 작지만 두께가 두껍고, 구조가 복잡하여 전자계 해석에 의한 정밀 설계가 어려웠으며, 제작비용이 비싼 단점이 있었다 [7].

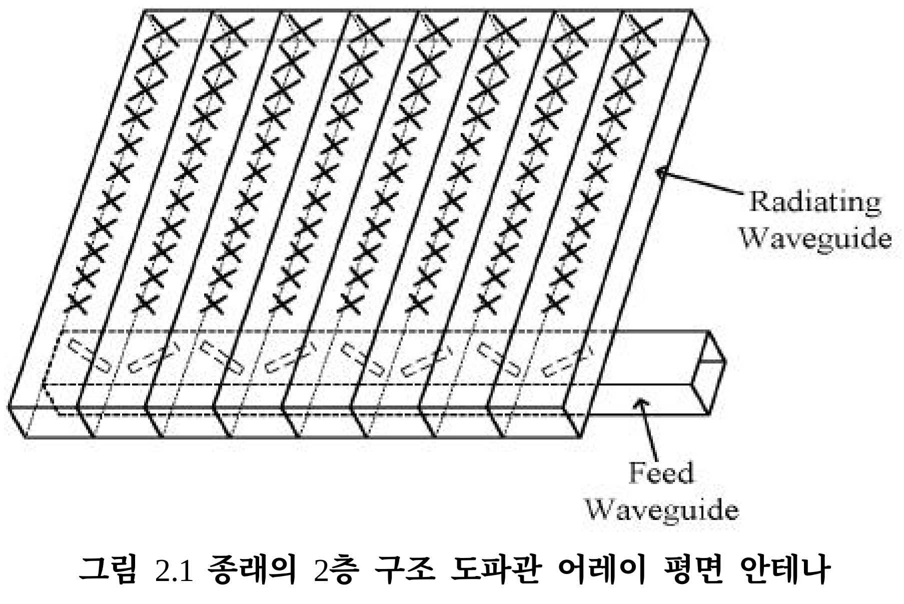

그림 2.1 종래의 2층 구조 도파관 어레이 평면 안테나

Fig. 2.1 Conventional double-layer waveguide array planar antenna.

이러한 단점을 해결하기 위해 그림 2.2에서 보는 바와 같이 급전도파관과 복사도파관을 같은 평면에 배치하는 일층구조 평면 도파관 안테나를 제안해 오고 있다[8]- [11]. 이러한 일층구조 형태의 도파관 안테나 급전회로는, 그림 2.2에서 보는 것처럼, 안테나의 두께방향으로 구조가 일정한 2차원 구조를 하고 있으며 제작이 수월하고 안테나의 두께를 얇게 할 수 있다는 장점을 가진다. 그러나 지금까지 개발된 일층구조의 급전도파관은 복사도파관으로의 신호분배 방식에 있어서 유도성 핀의 높이를 수동적으로 조정하는 방법을 사용하였기 때문에 경우에 따라서는 열악한 신호 분배 특성을 보이기도 한다. 종래의 유도성 핀을 가진 급전도파관의 제작 과정을 구체적으로 설명하면, 그림 2.2의 급전도파관을 제작한 뒤 급전도파관의 후면으로부터 유도성 핀을 삽입하고, 유도성 핀의 높이를 인위적으로 조정하면서 각 포트로의 분배량 및 분배위상 등을 제어

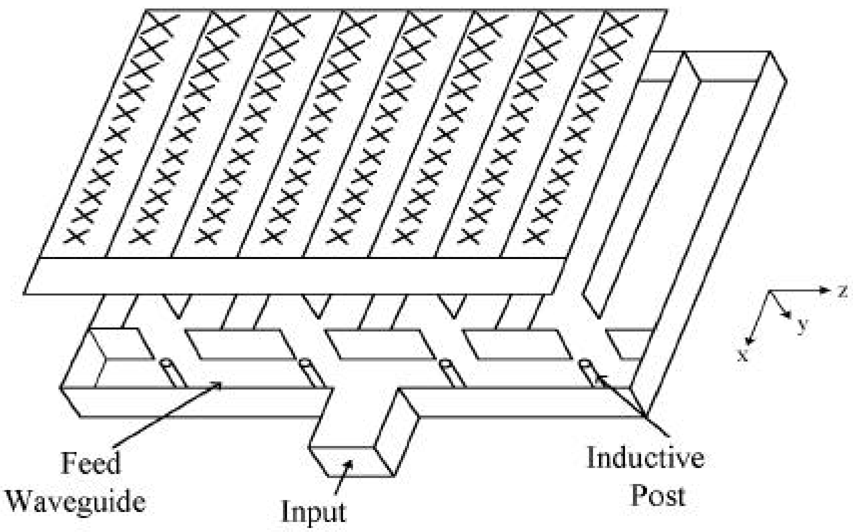

그림 2.2 유도성 핀을 가지는 도파관 평면 안테나

Fig. 2.2 The slot array plane antenna with inductive post.

하여 양호한 특성이 얻어지면 납땜하여 고정하는 방법이었다. 따라서 경험적인 요소가 안테나 특성에 매우 크게 작용하였고, 제작도 까다로우며 대량생산은 매우 어려웠다.

이러한 문제를 해결하기 위하여 본 연구에서는 그림 2.3에서 보는 것처럼, 유도성 핀 대신에 유도성 벽을 사용하여 급전도파관 안테나의 신호 분배를 안정화시키는 방법을 제안한다. 유도성 핀 대신에 유도성 벽을 사용하였을 때의 장점으로써는 수동적 방법으로 신호의 분배 특성을 조정하던 것을, 유도성 벽을 설계·제작시부터 고정함으로써 분배 특성의 열화현상을 제거할 수 있고, 제작시의 수월성을 얻을 수 있다. 또한 안테나 전체의 안정적 특성이 보장되며 특히 이동체에 안테나를 탑재하였을 경우도 급전부의 전력 분배를 원활하게 함으로써 양호한 특성을 얻을 수 있다.

본 연구를 통해 개발될 도파관 안테나용 동상급전회로

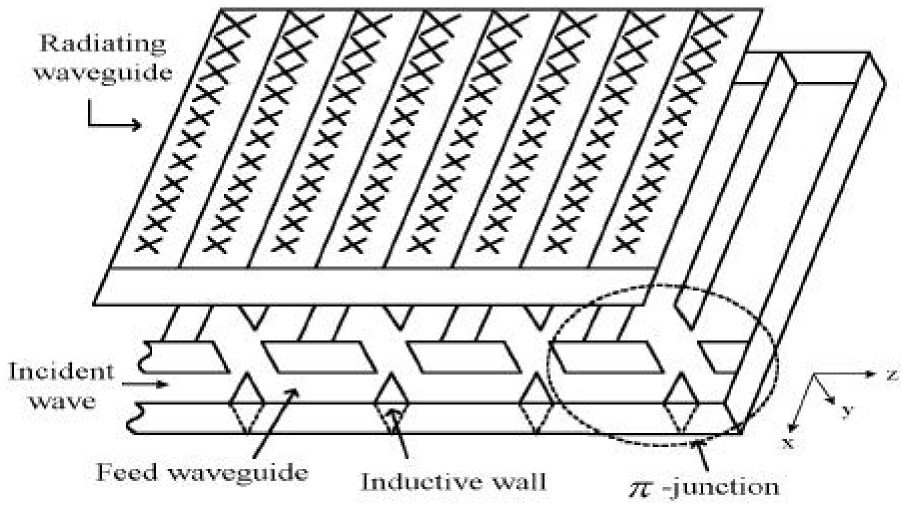

그림 2.3 유도성 벽을 가지는 도파관 평면 안테나

Fig. 2.3 The slot array plane antenna with inductive wall.

의 활용방안으로써는 현재 널리 사용되고 있는 위성방송 수신용 이동체 탑재형 도파관 평면 안테나 시스템, 마이크로파를 이용하여 도서지역 등에 신호를 전송하는 무선 중계국용 평면 안테나 시스템, 선진국들을 중심으로 연구개발이 진행중인 차량충돌 방지용 레이더 안테나 시스템 등에 응용될 수 있다 [12].

2.2 유도성 벽을 가진 급전도파관의 구조

그림 2.4는 슬롯 어레이 도파관 안테나의 급전을 위해 사용하게 될 π 결합 분기 급전도파관의 구조를 나타낸 것으로써 단락판을 포함한 유도성 벽을 가지는 π 결합 분기 부분을 위에서 바라본 단면도로 설계에 사용될 각 파라미터들을 도시하였다. 이들 파라미터들은 동위상 · 동진폭을 가지는

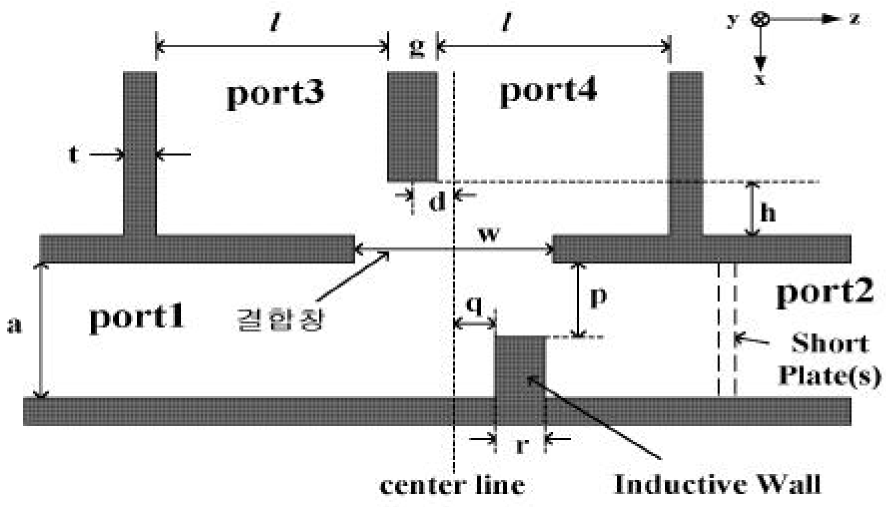

그림 2.4 급전도파관의 단면도

Fig. 2.4 Top view of feed waveguide.

최적의 급전구조를 설계하기 위한 것들로써, 이들의 값을 이용하여 위상과 진폭을 조정할 수 있다. 특히 유도성 벽은 신호의 분배율을 조정하는 파리미터로써 어레이 안테나를 실현하고자 할 때, 그들의 위치와 크기에 의해 각 포트의 신호 분배율이 결정된다.

2.3 MoM 해석

π 결합 분기형 4분기 회로 소자와 종단부에 대한 전자계 해석은 그림 2.5와 같이 경계조건을 이용하여 경계면에서의 미지의 자류와 유도성 벽면에서의 미지의 유도자류를 Galerkin의 모멘트법을 이용하여 구한다[13], [14]. 그림 2.5는 단락판을 이용하여 종단 벽을 고려한 유도성 벽을 가진 π 결합 분기 급전도파관을 위에서 아래로 본 모델이다. 적분방정식을 도출하기 위해 유도성 벽을 가진 π 결합 분기를 그림에서처럼 5개의 영역으로 나눈다[11]. 영역 1은 급전도파관의 내부를, 영역 2는 포트 3과 포트 4로 전력을 분배하기 위한 급전도파관의 벽두께에 의한 급전창의 부분을, 영역 3은 분배위상을 제어하는 그림 2.5의 h 부분을, 영역 4와 영역 5는 각각 포트 3과 포트 4에 해당하는 복사도파관의 내부를 나타낸다. 각 영역의 경계조건을 이용하여 미지의 자류가 포함된 전자계 적분방정식을 만들고[15]-[17], 등가정리에 의해서 그림 2.5에서와 같이 개구면 S_1 S_5에 z성분만을 가진 미지자류 $\mathbf{M}_1$ $\mathbf{M}_5$를 각각 가정한다. 각 영역에서의 전자계는 Cavity나 구형도파관 내에서의 Dyadic Green 함수와 이들 자류를 사용하여 구할 수 있다. 모든 Dyadic Green 함수와 자류들은 y방향으로 일정한 것으로 한다[18], [19]. 개구면 S_1에서 자계의 접선성분과 개구면 S_2 S_5 위에서의 자계의 접선성분의 연속 조건으로부터 미지

의 자류 M_1 M_5에 대한 적분방정식이 만들어진다. 일차 연립 선형방정식으로 유도하기 위해 Galerkin's 모멘트법을 적용한다. 이때 미지의 자류에 대해 기저함수로써 퓨리에 함수를 사용하고, 이를 각각의 적분방정식에 곱하여 각각의 개구면 S_1 S_5에 적분한다[20], [21]. 그때 각각의 개구면에 대한 퓨리에 계수가 선형방정식으로부터 구해진다. 일단 이들 방정식이 풀리면 미지의 자류가 결정된다. 포트 1으로의 반사계수는 각 개구면 S_1 S_5위의 자류 M_1 M_5에 의한 산란파의 합으로써 얻어지고, 포트 3과 포트 4로 분배되는 전력은 자류 M_4와 M_5에 의해 각각 산란되는 파로써 계산된다[22].

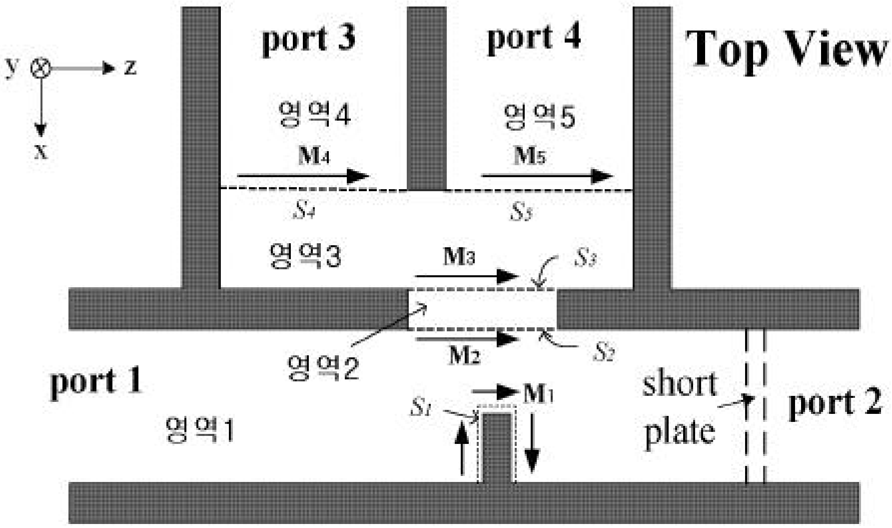

그림 2.5 종단 벽을 고려한 π 결합 분기 급전도파관의 해석 모델

Fig. 2.5 Analysis model of π-junction with short plate.

2.4 최적설계

각 파라미터들을 구하기 위해, 우선 설계 주파수의 관

내파장을 고려하여 전송선로의 길이를 정한다. 이때 회로의 반사계수를 판단 기준으로 하여 1차적으로 대강의 파라미터를 구한다. 다음으로 하나의 파라미터를 반복 계산에 의해 구하게 되는데 이때, 다른 파라미터들은 1차에서 구한 값을 갖는 것으로 한다. 이들을 반복 계산하여 가장 양호한 특성을 가지는 파라미터를 정하고 다음 파라미터를 구하는 방식을 사용하였다. 설계에 사용된 도파관은 WR-229로 표준 도파관의 높이, 길이와 두께는 각각 29.1 mm, 58.1 mm와 1.6 mm이다. 전송 손실을 최소화하고 동일한 주파수 특성을 포트 3과 포트4로 분배하기 위하여 각 단의 도파관 창 앞에 유도성 벽을 두고 Galerkin's 모멘트법으로 해석하여 유도성 벽의 길이, 위치, 도파관 창 폭의 길이, 위치 및 유도성 벽의 offset 등을 설계를 통하여 최적치를 결정하였다. 이 설계값을 토대로 동일한 구조의 π결합 분기기를 다단으로 접합하여 각각의 복사도파관으로 분배하는 전력을 같게 하고, 반사계수가 최소가 되도록 설계하였다.

2.4.1 유도성 벽을 가지는 π 결합 분기기

그림 2.4의 구조에 대한 설계 주파수는 3.95 GHz로 하였다. 먼저 단락판을 제외한 유도성 벽을 지니는 π 결합 분기 한 단에 대해 여러 가지 설계 파라미터들이 어떠한 영향을 미치는 지에 대하여 시뮬레이션을 통해 얻은 최적 설계값으로부터 설계한다.

가). 도파관 창(w)의 변화

먼저 Coupling Window가 급전부에 미치는 영향을 알아보기 위해서 폭의 변화를 29.0 mm에서 31.0 mm까지 0.01 mm씩 증가시키면서 시뮬레이션하였다. 계산결과는 그림 2.6과

같다. 그림 2.6에서 보는 바와 같이 S_{11}의 값은 도파관 창 폭이 29 mm에서 31 mm사이에서 -30 dB 이하로 양호한 특성을 보여주고 있고, Coupling Window가 29.98 mm일 때 S_{31}과 S_{41}은 -8.902 dB로 두 포트의 투과계수값이 잘 일치함을 알 수 있다. 도파관 창의 위치에 관한 설계로부터 S_{31}과 S_{41}의 분배진폭의 변화를 조정할 수 있음을 알 수 있으며, 이는 어레이 설계에 유효하게 사용될 것이다. 본 논문의 설계에서는 그림 2.6으로부터 Coupling Window의 최적치는 이후 29.98 mm로 한다. 이때 그림 2.6에 표시된 다른 파라미터들은 표 2.1의 데이터를 사용하였다.

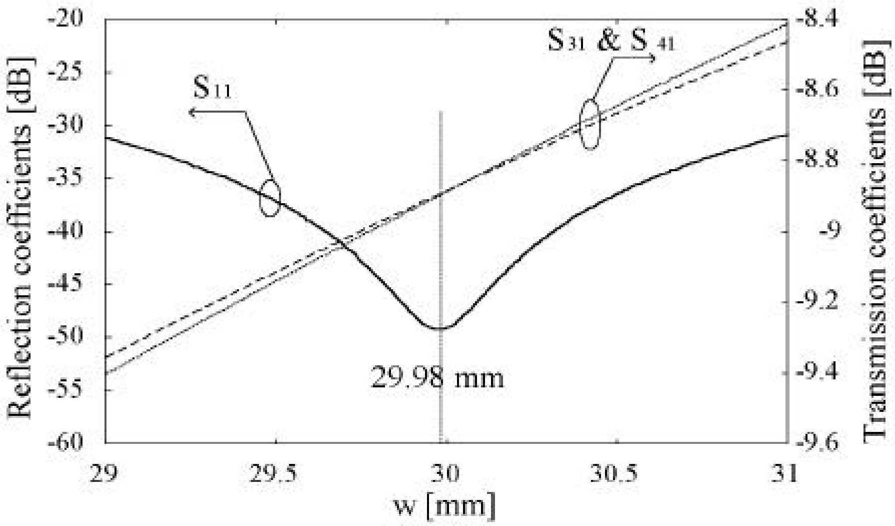

그림 2.6 도파관 창의 변화에 따른 S_{11}, S_{31} & S_{41}

Fig. 2.6 The calculated reflection & transmission coefficients as a function of coupling window.

나). Cut의 길이(h)의 변화

공용벽과 도파관 창과의 거리(h)가 급전부에 미치는 영

향을 알아보기 위해서 h의 길이 변화를 33.0 mm에서 35.0 mm까지 0.01 mm씩 증가시키면서 시뮬레이션하였다. 그림 2.7에서 보는 바와 같이 S_{11}의 값은 도파관 창 폭이 33 mm에서 35 mm사이에서 -40 dB 이하로 양호한 특성을 보여주고 있고, Cut의 길이(h)가 33.7 mm일 때 S_{31}과 S_{41}은 -8.9 dB로 두 포트의 투과계수값이 잘 일치함을 알 수 있다. 그림 2.7로부터 알 수 있는 것처럼 h의 변화는 분배진폭의 변화에 민감하지 않음을 알 수 있고, 이는 어레이로 급전부를 제작할 때 h의 길이가 다소 변화한다 하더라도 분배진폭에 큰 영향을 미치지 않아 제작상의 자유도를 높힐 수 있음을 의미하는 중요한 결과라 하겠다. h를 제외한 그림 2.7의 기타 파라미터들은 표 2.1의 데이터를 사용하였다

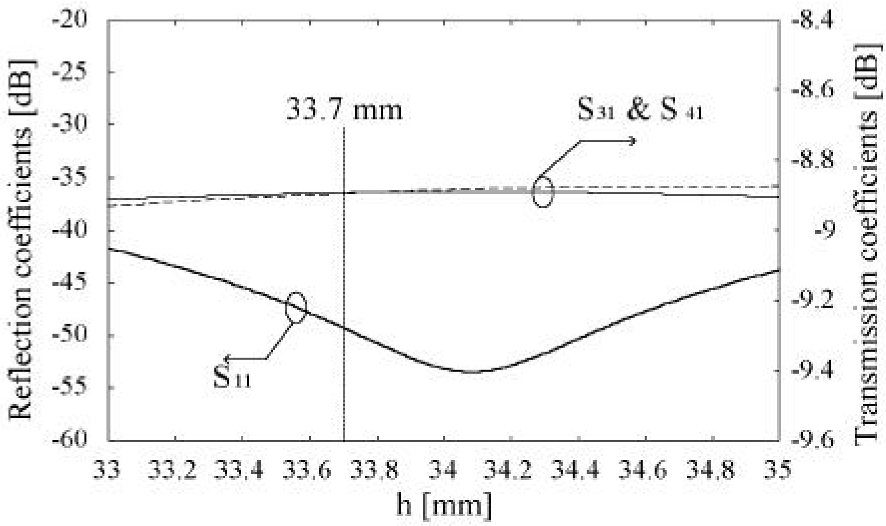

그림 2.7 Cut의 길이(h) 변화에 따른 S_{11}, S_{31} & S_{41}

Fig. 2.7 The variation of S_{11}, S_{31} & S_{41} with respect to cut length.

다). 도파관 창의 offset(d) 변화

포트 3과 포트 4사이의 벽의 위치에 따른 분배진폭의 변화를 알아보기 위해서 도파관 창의 offset(d)를 center line을 0 mm로 기준으로하여 -1.5 mm에서 1.5 mm까지 시뮬레이션 한 결과를 그림 2.8에 나타낸다. 그림 2.8은 포트 3과 포트 4사이의 벽의 위치가 변화하더라도 반사계수 S_{11}은 -55 dB이하로 반사가 거의 영향을 받지 않음을 알 수 있다. 그림 2.8에서 S_{31}과 S_{41}의 진폭이 약 -8.902 dB로 일치하는 도파관 창의 offset은 -0.57 mm였으며 이후의 설계에서 이 값을 사용한다. 그림으로 알 수 있는 것처럼 d의 위치변화가 S_{31}과 S_{41}의 진폭에 민감하게 작용함을 설계 결과로부터 볼 수 있다. d를 제외한 그림 2.8의 기타 파라미터들은 표 2.1의 데이터를 사용하였다.

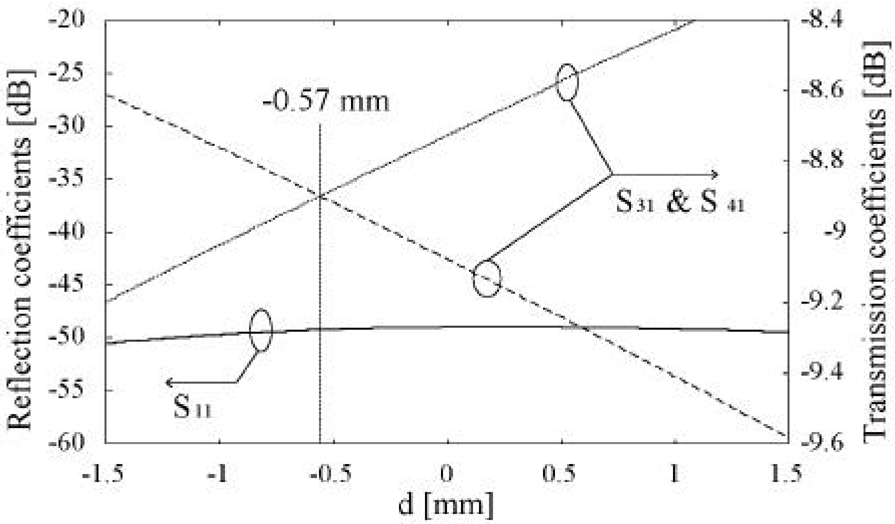

그림 2.8 도파관 창 offset 변화에 따른 S_{11}, S_{31} & S_{41}

Fig. 2.8 The variation of S_{11}, S_{31} & S_{41} with respect to coupling window offset.

라). x축에 대한 유도성 벽의 위치(p) 변화

그림 2.9는 유도성 벽 길이의 변화에 의한 급전부의 분배진폭특성을 나타낸다. 그림 2.9는 유도성 벽의 두께를 r=4 mm로 고정하고 p를 40 mm에서 42 mm까지 변화시켜 얻은 결과로 S_{31}과 S_{41}의 진폭값은 p의 위치에 따라 일정하게 같은 값으로 변화하고 있으며, 설계상의 분배값을 고려하여 p=41.27 mm의 위치를 본 설계에서 선택하였고 이때 진폭은 약 -8.902 dB였다. 설계에 있어서 p를 제외한 그림 2.9의 기타 파라미터들은 표 2.1의 데이터를 사용하였다.

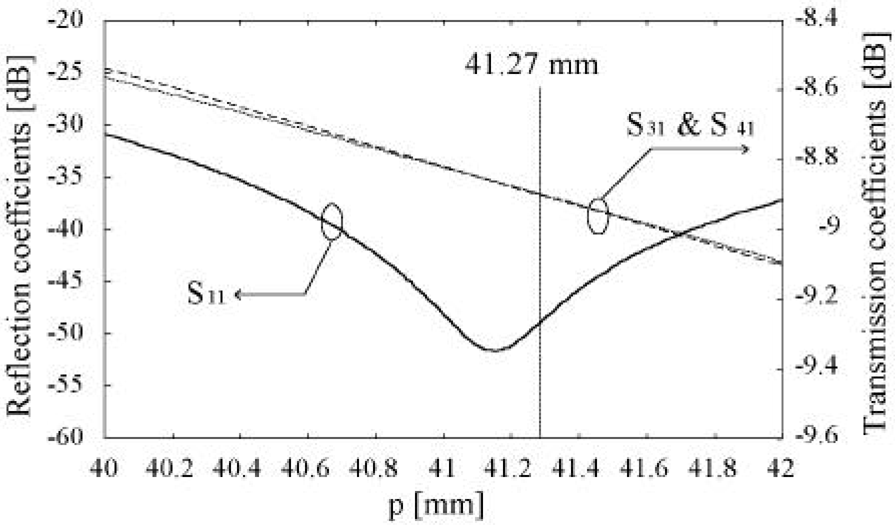

그림 2.9 유도성 벽 위치의 변화에 따른 S_{11}, S_{31} & S_{41}

Fig. 2.9 The variation of S_{11}, S_{31} & S_{41} with respect to inductive wall position.

마). z축에 대한 유도성 벽의 offset(q) 변화

그림 2.10은 유도성 벽의 두께를 r=4 mm로 고정하고 q를 3.5 mm에서 5.5 mm까지 변화시켜 얻은 결과로 그림 2.10에서 보여 준 것처럼 q=4.98 mm에서 S_{31}과 S_{41}의 진폭값이 완

전히 일치하고 그 지점에서의 진폭은 약 -8.895 dB였다. q의 설계값을 구하는 데 있어서 그림 2.10의 기타 파라미터들은 표 2.1의 데이터를 사용하였다.

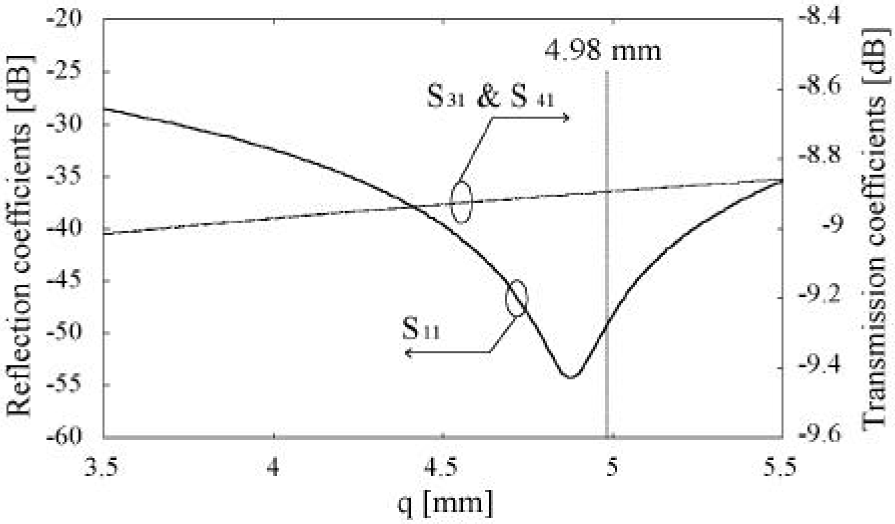

그림 2.10 유도성 벽의 offset 변화에 따른 S_{11}, S_{31} & S_{41}

Fig. 2.10 The variation of S_{11}, S_{31} & S_{41} with respect to inductive wall offset.

2.4.2 주파수 변화에 따른 반사특성

위의 시뮬레이션 결과들로부터 유도성 벽을 가지는 π 결합 분기 급전도파관 최적 파라미터는 표 2.1과 같다. 그림 2.11(a)와 (b)는 표 2.1의 최적 파라미터를 사용하여 주파수 변화에 따른 반사계수와 투과계수의 진폭과 위상을 나타낸다. 설계주파수 3.95 GHz에서 반사계수는 -49 dB이고, S_{31}과 S_{41}의 진폭값이 -8.9 dB로 변화의 특성이 두 포트 모두 일정하며 설계주파수에서는 완전히 일치함을 알 수 있다. 그림 11(b)에서는 주파수 변화에 따른 투과 포트들의 위상변화를 같이 보여주고

있는데, 포트 3과 포트 4의 위상차는 약 3도 정도로 대단히 양호한 특성을 보임을 알 수 있다.

표 2.1 π 결합 분기기의 설계 파라미터

Table 2.1 Design parameter of π-junction.

설계 파라미터	기호	유도성 벽을 지닌 π분기	종단 벽이 있는 π분기
급전도파관의 폭	a	58.10 mm	58.10 mm
복사도파관의 폭	*l*	58.10 mm	58.10 mm
도파관의 두께	t	1.60 mm	1.60 mm
복사도파관 공용벽의 두께	g	3.20 mm	3.20 mm
도파관의 높이	b	29.10 mm	29.10 mm
도파관 창의 offset	d	-0.57 mm	0.00 mm
도파관 창	w	29.98 mm	34.60 mm
Cut의 길이	h	33.70 mm	34.60 mm
유도성 벽의 위치[x]	p	41.27 mm	36.65 mm
유도성 벽의 offset[z]	q	4.98 mm	-9.80 mm
유도성 벽의 두께	r	4.00 mm	4.00 mm
종단 벽의 위치	s		21.69 mm
설계한 주파수	3.95 GHz		

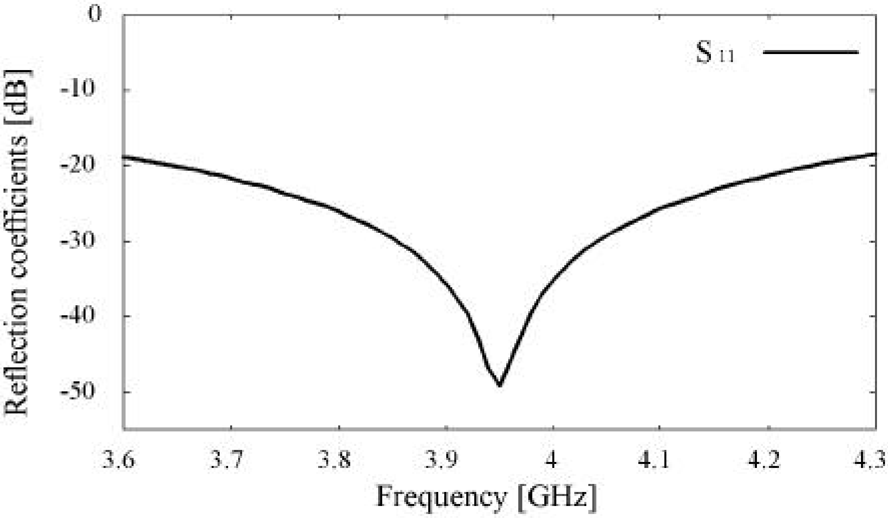

그림 2.11(a) **주파수 변화에 따른** S_{11}

Fig. 2.11(a) S_{11} of frequency characteristics.

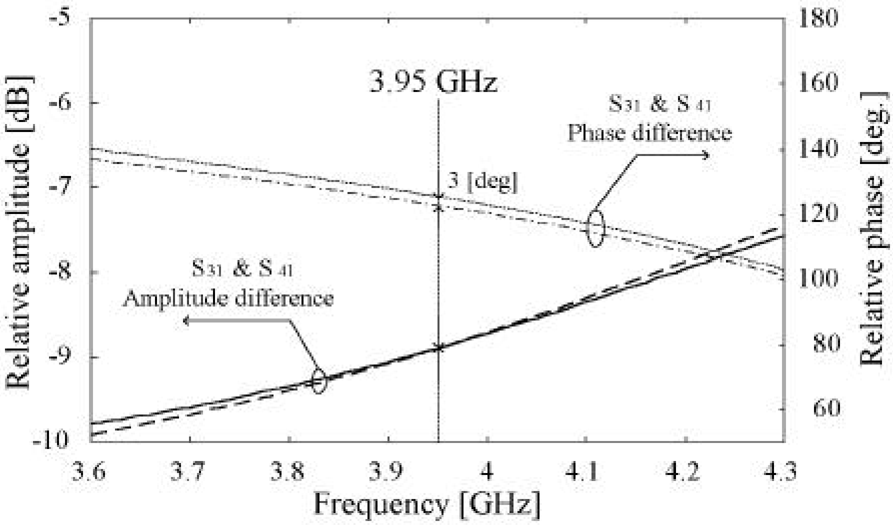

그림 2.11(b) **주파수 변화에 따른 진폭과 위상변화**

Fig. 2.11(b) The variation of amplitude & phase as a function the frequency.

2.4.3 종단 벽을 지니는 π 결합 분기형 급전도파관

다음은 그림 2.4에서 단락판을 포함한 종단부 π 결합 분기기에 대해서 설계한다. 앞에서 구한 종단부 이외의 π 결합 분기 한 단에서 구한 설계 방법과 같은 방법으로 설계하여 각 파라미터들의 값을 구하였다. 다만 포트 2 대신에 종단 벽을 두어 종단 벽의 거리(s)를 고려한 π 결합 분기 한 단만을 고려하여 유도성 벽의 길이와 위치, 도파관 창 폭의 길이와 위치 및 유도성 벽의 offset 등 각 파라미터들의 최적 설계값을 결정하였다. 이들의 최적 파라미터는 표 2.1과 같다. 종단부에서 설계를 하였기 때문에 포트 3과 포트 4에 대한 S_{31}과 S_{41}의 값은 각각 -3 dB(총전력의 1/2)를 기준으로 하였다. 그림 2.12는 표 2.1의 최적 파라미터를 사용하여 주파수 3.6 GHz에서 4.3 GHz까지의 변화에 따른 반사계수와 투과계수의 진폭과 위상을 나타낸다.

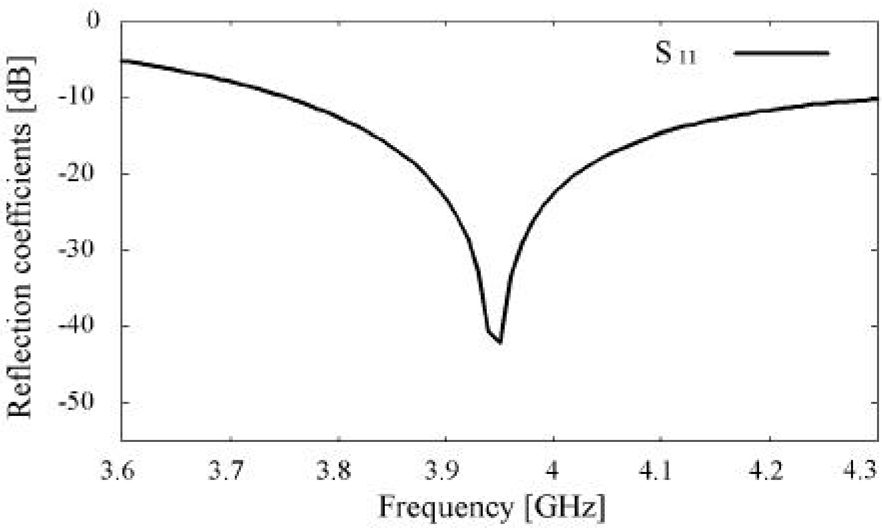

그림 2.12(a) 주파수 변화에 따른 S_{11}

Fig. 2.12(a) S_{11} of frequency characteristics.

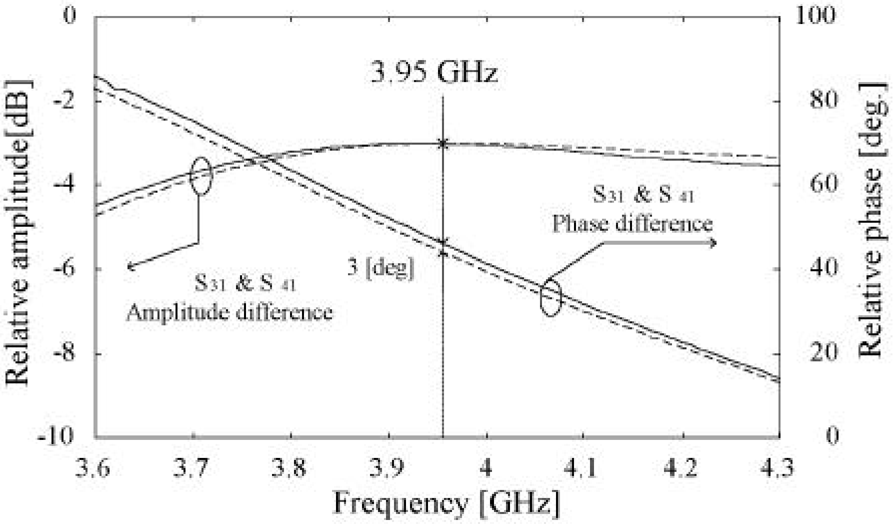

그림 2.12(b) 주파수 변화에 따른 진폭과 위상변화

Fig. 2.12(b) The variation of amplitude & phase as a function of the frequency.

설계주파수 3.95 GHz에서 반사계수는 -42 dB이고, S_{31}과 S_{41}의 진폭값이 -3.0 dB로 두 포트에서는 완전히 일치함을 알 수 있다. 두 포트에 대한 위상의 경우는 그 차이가 약 3도 정도로 대단히 양호한 특성을 보임을 알 수 있다.

2.5 검토

어레이 안테나의 급전부 설계에 앞서 먼저 π 결합 분기 한 단과 단락판을 지닌 종단부를 Galerkin's 모멘트법을 이용하여 신호 분배율을 결정하는 유도성 벽과 동위상·동진폭을 가지는 π 결합 분기형 일층구조 급전도파관에 대한 전자계 해석과 최적 설계를 행하였다. 설계 주파수는 3.95 GHz로 하였고, 반복 계산에 의해 π 결합 분기에 대한 설계의 최

적치를 제시하였다. 또한 여러 가지 설계 파라미터들이 급전부의 특성에 얼마나 민감하게 반응하는지를 평가하고, 이들 특성을 잘 이용함으로써 실제 급전부를 제작하는 과정에서 발생할 수 있는 오차를 줄일 수 있는 효과와 더불어 슬롯 어레이 도파관 안테나의 급전부에 이용될 π 결합 분기형의 급전부에 대한 설계 가능성을 제시하였다.

제 3 장 FDTD법을 이용한 π 결합 분기형 급전도파관의 해석

3.1 유도성 벽을 가지는 π 결합 분기형 급전도파관의 해석

앞에서 제시한 모멘트법으로 행한 설계파라미터들을 토대로 하여 FDTD법을 사용하여 증명하고자 한다. 그림 2.4의 π 결합 분기 한 단만을 떼어낸 단면도에서 사용된 파라미터값을 토대로 하여 FDTD법으로 해석하기 위한 형태는 그림 3.1과 같다. 그림 3.1에서 보는 바와 같이 흡수경계조건을 고려한 전체 해석영역의 크기는 $170\Delta x + 58\Delta y + 300\Delta z$ 이고, 셀 크기 Δx, Δy, Δz는 각각 0.82 mm, 0.81 mm, 0.82 mm이다 [23]-[25].

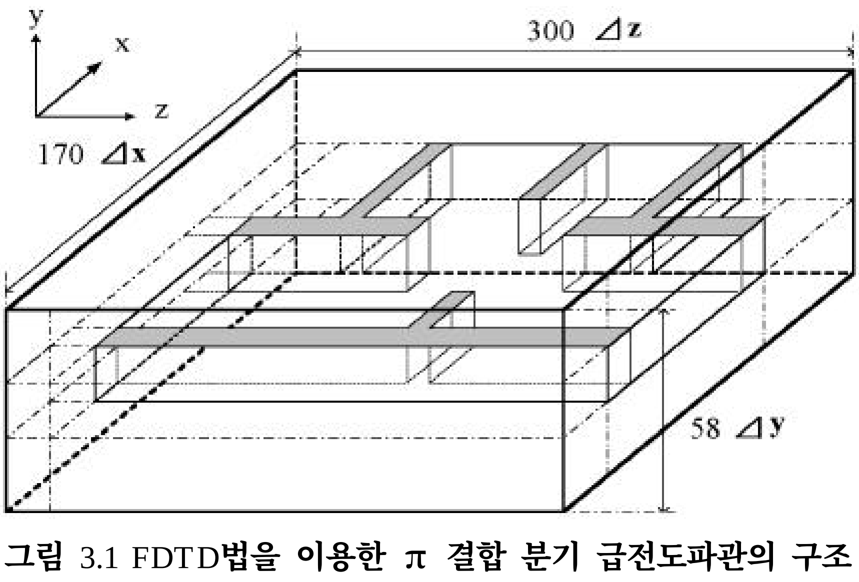

그림 3.1 FDTD법을 이용한 π 결합 분기 급전도파관의 구조

Fig. 3.1 The structure of π-junction for FDTD.

표 3.1은 모멘트법과 FDTD법에 사용한 설계 파라미터들을 나타낸다. 이들 파라미터들을 이용하여 모멘트법과 FDTD법으로 시뮬레이션한 설계값을 그림 3.2에 나타낸다. 그림 3.2(a)에서 보는 바와 같이 각각의 시뮬레이션법에 사용되어진 파라미터들의 차이로 인해 정확하게 일치하지 않음을 알 수 있다. 표 3.1에서 보면 모멘트법으로 구한 설계파라미터와 FDTD법에 사용된 파라미터들이 다소 차이를 보이고 있는 이유는 FDTD법에서 전체 영역을 결정하는 공간이산간격의 크기를 정확히 결정하는 것이 어렵기 때문이다. 이 문제점을 해결하기 위하여 역으로 FDTD법에 사용된 파리미터들을 모멘트법에 적용하여 시뮬레이션한 결과를 같이 도시하였다. 주파수 3.6 GHz에서 4.3 GHz까지의 변화에 따른 반사계수는 모멘트법에서는 3.95 GHz에서 공진하지만 FDTD법에서는 3.9 GHz에서 공진한다. 그러나 FDTD법에 사용한 파라미터들을 모멘트법에 적용하여 얻은 결과와 FDTD로 시뮬레이션한 결과를 비교하면 3.9 GHz에서 거의 일치하고 약 -50 dB 이하의 반사계수를 가짐을 알 수 있다. 대역폭은 모멘트법과 FDTD법 모두 -15 dB이하로 3.6 GHz에서 4.3 GHz 전구간을 만족하는 아주 양호한 특성을 보여주고 있다. 그림 3.2(b)와 3.2(c)는 표 3.1의 FDTD법 파라미터들을 이용하여 주파수 3.6 GHz부터 4.3 GHz까지 포트 3과 포트 4로 나오는 진폭과 위상을 모멘트법과 FDTD의 해석방법을 통해 얻은 결과를 나타낸다. 주파수 3.6 GHz에서 4.3 GHz까지 변화에 따른 공진주파수 3.9 GHz에서 진폭의 변화는 모멘트법으로 시뮬레이션한 결과는 약 -9.5 dB이고 FDTD법으로 시뮬레이션한 결과는 -8.3 dB로 두 해석방법에서의 오차는 약 1.1 dB정도를 보여주고 있지만, 각각의 해석법에 대한 포트 3과 포트 4로 나오는 진폭은 약 0.2 dB이내의 오차를 보이고 있다. 위상은 전구간에 걸쳐 다소 많은 변

화를 보여주지만, 포트 3과 포트 4로 나오는 위상은 모멘트법과 FDTD법 둘 다 약 3도차의 특성을 보이고 있다.

표 3.1 MoM & FDTD에 사용된 설계 파라미터

Table 3.1 Design parameter of MoM & FDTD.

설계 파라미터	기호	MoM	FDTD
급전도파관의 폭	a	58.10 mm	58.22 mm
복사도파관의 폭	*l*	58.10 mm	58.22 mm
도파관의 두께	t	1.60 mm	1.64 mm
복사도파관 공용벽의 두께	g	3.20 mm	1.64 mm
도파관의 높이	b	29.10 mm	29.16 mm
도파관 창의 offset	d	-0.57 mm	-0.41 mm
도파관 창	w	29.98 mm	30.34 mm
Cut의 길이	h	33.70 mm	34.44 mm
유도성 벽의 위치[x]	p	41.27 mm	41.82 mm
유도성 벽의 offset[z]	q	4.98 mm	4.51 mm
유도성 벽의 두께	r	4.00 mm	2.46 mm
설계한 주파수	3.95 GHz		

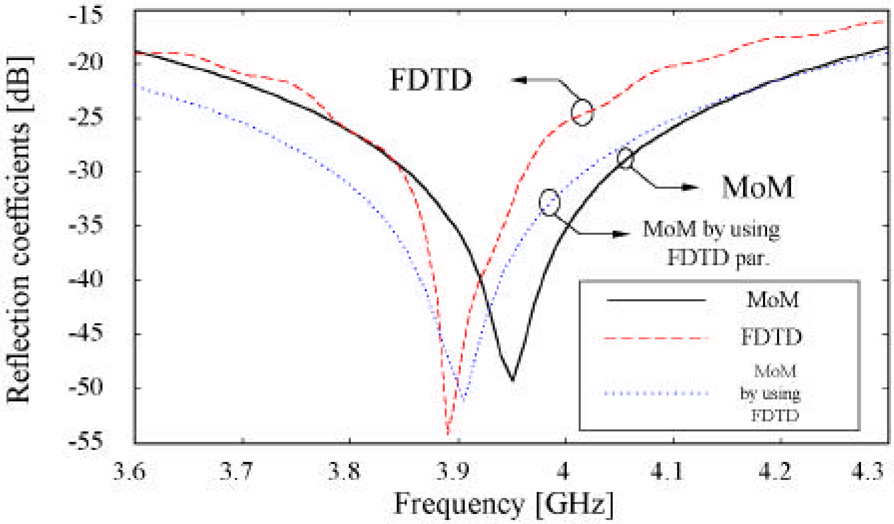

그림 3.2(a) MoM & FDTD**의 주파수 변화에 따른** S_{11}

Fig. 3.2(a) S_{11} of MoM & FDTD.

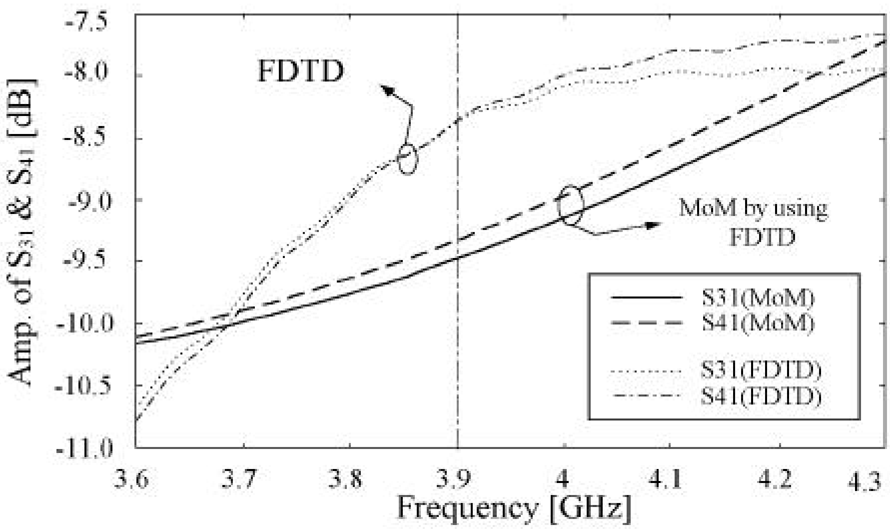

그림 3.2(b) MoM & FDTD**의 주파수 변화에 따른** S_{31} & S_{41}

Fig. 3.2(b) S_{31} & S_{41} of MoM & FDTD.

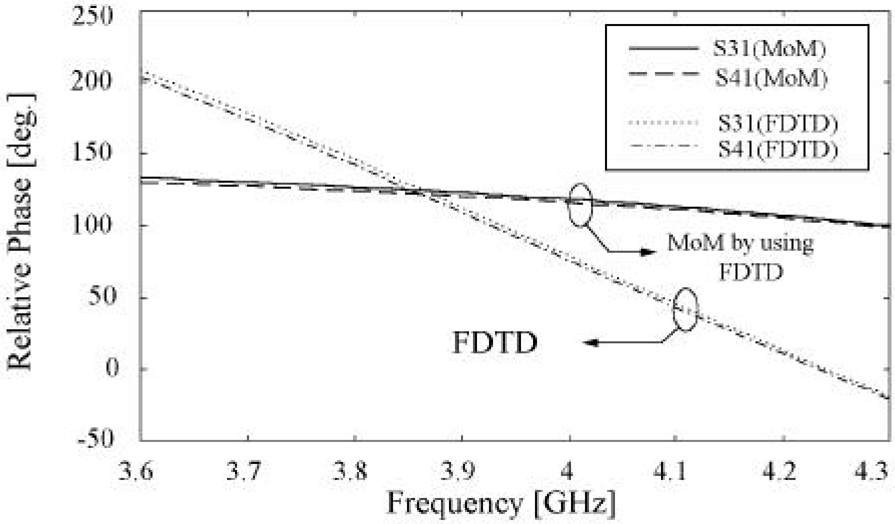

그림 3.2(c) MoM & FDTD의 주파수 변화에 따른 위상변화

Fig. 3.2(c) The variation of phase for MoM & FDTD.

3.2 종단 벽을 가지는 π 결합 분기형 급전도파관의 해석

그림 3.3은 그림 2.4에서 포트 2 대신에 단락판을 가지는 종단부 π 결합 분기기를 FDTD법으로 해석한 형태이다. 그림에서 보는 바와 같이 전체 해석영역의 크기는 $200\Delta x + 58\Delta y + 240\Delta z$이고, 셀 크기 Δx, Δy, Δz는 각각 0.82 mm, 0.81 mm, 0.82 mm이다.

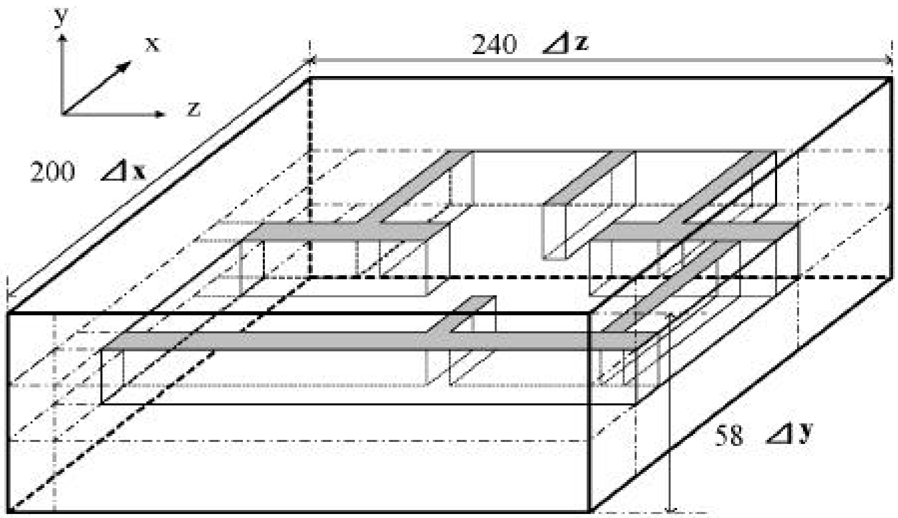

그림 3.3 FDTD**법을 이용한 종단 벽을 지니는 π 결합 분기 급전도파관의 구조**

Fig. 3.3 The structure of π-junction with the short plate for FDTD.

표 3.2 MoM & FDTD에 사용된 설계 파라미터

Table 3.2 Design parameter of MoM & FDTD.

설계 파라미터	기호	MoM	FDTD
급전도파관의 폭	a	58.10 mm	58.22 mm
복사도파관의 폭	*l*	58.10 mm	58.22 mm
도파관의 두께	t	1.60 mm	1.64 mm
복사도파관 공용벽의 두께	g	3.20 mm	2.46 mm
도파관의 높이	b	29.10 mm	29.16 mm
도파관 창의 offset	d	0.00 mm	0.00 mm
도파관 창	w	34.60 mm	36.90 mm
Cut의 길이	h	34.60 mm	31.98 mm
유도성 벽의 위치[x]	p	36.65 mm	36.90 mm
유도성 벽의 offset[z]	q	-9.80 mm	-6.97 mm
유도성 벽의 두께	r	4.00 mm	2.46 mm
종단 벽의 위치	s	21.69 mm	21.73 mm
설계한 주파수	3.95 GHz		

표 3.2는 단락판을 지닌 종단부 π 결합 분기기에 모멘트법과 FDTD법으로 시뮬레이션할 때 사용된 설계 파라미터들이다. 그림 3.4는 앞 절에서와 같이 주파수 3.6 GHz에서 4.3 GHz까지의 변화에 따른 반사계수는 모멘트법에서는 3.95 GHz에서 공진하지만 FDTD법에서는 3.92 GHz에서 공진한다. 그러나 FDTD법에 사용한 파라미터들을 모멘트법에 적용하여 얻은 결과와 FDTD로 시뮬레이션 결과를 비교하면 3.92 GHz에서 거의 일치하고 약 -35 dB 이하의 반사계수를 가짐을 알 수 있다. 대역폭은 모멘트법과 FDTD법 모두 -15 dB이하에서 300 MHz 이상으로 아주 양호한 특성을 보여주고 있다.

그림 3.4(b)와 3.4(c)는 표 3.2에서 FDTD법의 파라미터 들을 이용하여 주파수 3.6 GHz부터 4.3 GHz까지 포트 3과 포트 4로 나오는 진폭과 위상을 모멘트와 FDTD의 해석방법을 통해 얻은 결과를 나타낸다. 주파수 3.6 GHz에서 4.3 GHz까지의 변화시켜 공진하는 주파수 3.92 GHz에서의 진폭값은 다음과 같다. 모멘트법으로 시뮬레이션한 결과는 설계 진폭값인 약 -3 dB에서 거의 일치하지만, FDTD법으로 시뮬레이션한 결과는 -3 dB를 기준으로 포트 3과 포트 4로 나오는 진폭이 약 0.4 dB정도의 오차를 보이고 있다. 포트 3과 포트 4로 나오는 위상은 모멘트법에서는 약 2도 FDTD법에서는 약 7도 정도의 오차를 각각 보이고 있다.

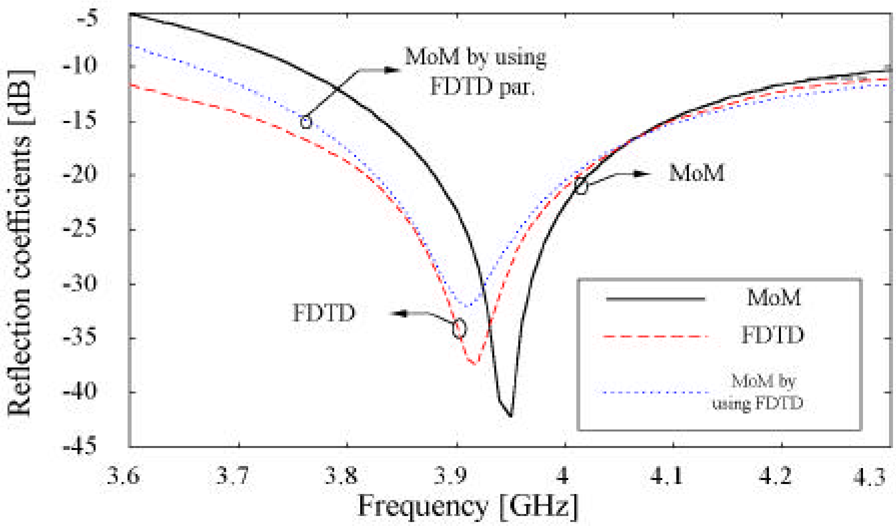

그림 3.4(a) MoM & FDTD의 주파수 변화에 따른 S_{11}

Fig. 3.4(a) S_{11} of MoM & FDTD.

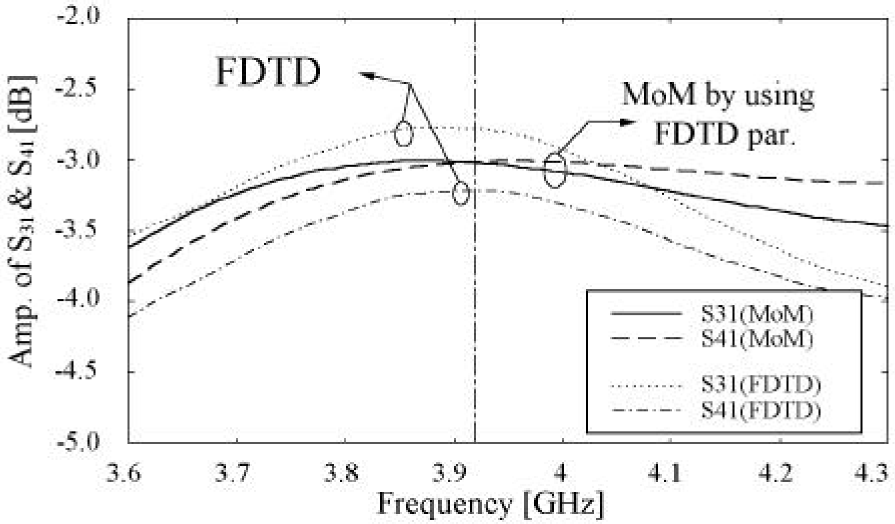

그림 3.4(b) MoM & FDTD**의 주파수 변화에 따른** S_{31} & S_{41}

Fig. 3.4(b) S_{31} & S_{41} of MoM & FDTD.

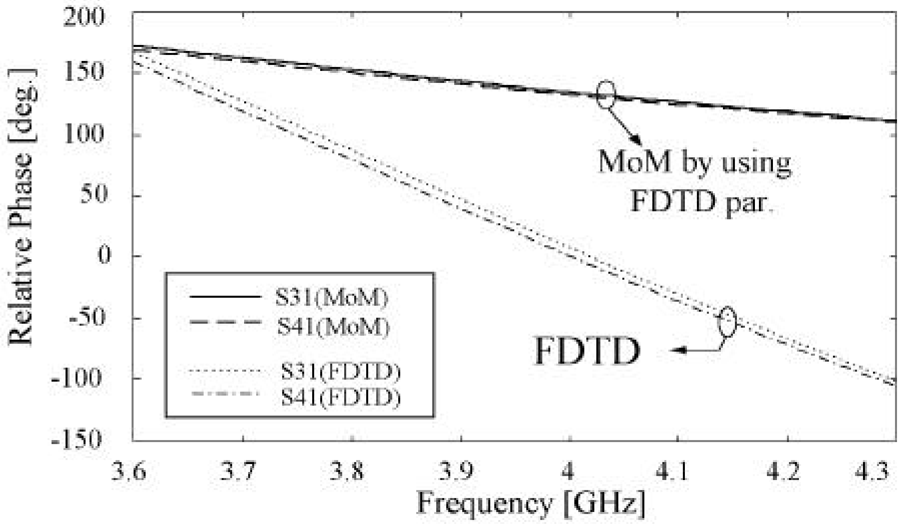

그림 3.4(c) MoM & FDTD**의 주파수 변화에 따른 위상변화**

Fig. 3.4(c) The variation of phase for MoM & FDTD.

3.3 검토

반사량을 결정하는 유도성 벽과 동위상·동진폭을 가지는 π 결합 분기기의 최적 설계파라미터들을 Galerkin's 모멘트법과 FDTD법을 이용하여 비교 설명하였다. 중심설계주파수를 기준으로 하여 모멘트법과 FDTD법에 의한 결과를 비교해 본 결과, FDTD법에 사용된 파라미터들을 모멘트법에 적용시켜 얻은 시뮬레이션값과 FDTD법으로 얻은 시뮬레이션값은 거의 일치함을 알 수 있다. 주파수특성에서 다소 차이를 보이고 있는 이유는 모멘트법에서 적용된 정밀한 파라미터 연구에 비해 FDTD법에서는 공간이산간격을 사용하므로 정확한 크기를 결정하기가 어렵기 때문이다. 이러한 이유로 본 논문에서는 모멘트법을 이용하여 지금까지 시뮬레이션한 방법을 토대로 어레이 급전부를 설계하였다.

제 4 장 π 결합 분기 한 단의 제작 및 측정결과 고찰

4.1 3.95 GHz대 π 결합 분기 한 단의 제작 및 측정결과 고찰

그림 4.1은 3.4 GHz에서 4.9 GHz 대역을 만족하는 WR-229 표준도파관을 사용하여 유도성 벽을 가지는 π 결합 분기 한 단의 시뮬레이션을 통한 최적의 파라미터를 도시한 표 2.1을 이용하여 실제 제작한 π 결합 분기 한 단의 사진을 나타내고 있다.

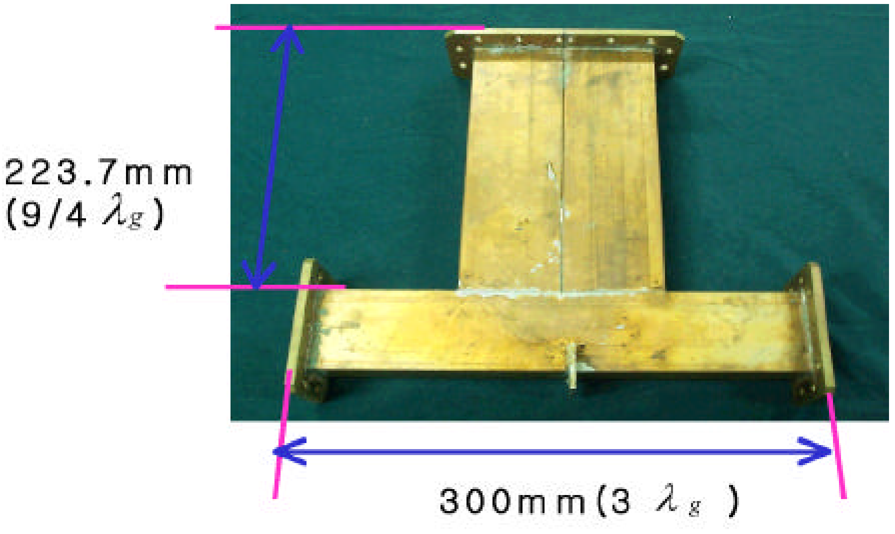

그림 4.1 π 결합 분기 한 단의 실제 제작된 급전도파관
Fig. 4.1 The picture of a fabricated π-junction.

표 4.1 π 결합 분기의 제작에 사용된 파라미터값

Table 4.1 The fabricated parameters of π-junction.

MoM.에 사용된 데이타	기호	제작
급전도파관의 폭	a	58.10 mm
복사도파관의 폭	*l*	58.10 mm
도파관의 두께	t	1.65 mm
복사도파관 공용벽의 두께	g	3.70 mm
도파관의 높이	b	29.0 mm
도파관 창의 offset	d	-0.50 mm
도파관 창	w	30.44 mm
Cut의 길이	h	33.50 mm
유도성 벽의 위치[x]	p	42.40 mm
유도성 벽의 offset[z]	q	4.41 mm
유도성 벽의 두께	r	3.40 mm
설계한 주파수	3.95 GHz	

그림 4.2는 π 결합 분기 한 단의 측정결과와 이론적 계산결과의 비교를 보여 준다. 그림 4.2(a)에서 보면 먼저 모멘트법으로 시뮬레이션한 값은 그림 4.2(a)의 결과처럼 설계 주파수 3.95 GHz에 정확하게 공진하지만 실제 제작을 통한 측정치는 3.85 GHz에서 공진함으로써 약 100 MHz정도 Shift 하였음을 보여 주고 있다. 이는 표 4.1에서 도시한 것과 같이 실제 제작과정에서 발생되는 오차 때문이라 할 수 있다. 제작과정에서 발생된 오차를 고려하여 계산한 결과를 그림 4.2(a)의 굵은 파선으로 도시하였다. 실제 제작한 측정치와 제작상의 오차값을 고려하여 시뮬레이션한 값이 3.85 GHz에서 거의 일치하며 매우 양호한 특성을 보이고 있다. 그림 4.2(b)는 포트 3과 포트

4로 나오는 진폭의 변화를 도시한 그림이다. 측정치는 전구간에서 약 7 dB정도의 오차를 보이고 있지만 각 포트로 나오는 진폭차는 0.5 dB의 오차를 보이고 있고, 시뮬레이션한 결과치와는 잘 일치하고 있다. 그림 4.2(c)는 제작된 π 결합 분기 한 단의 각 포트로 나오는 위상변화를 도시한 그림으로 S_{31}과 S_{41}이 정확하게 일치함을 알 수 있다.

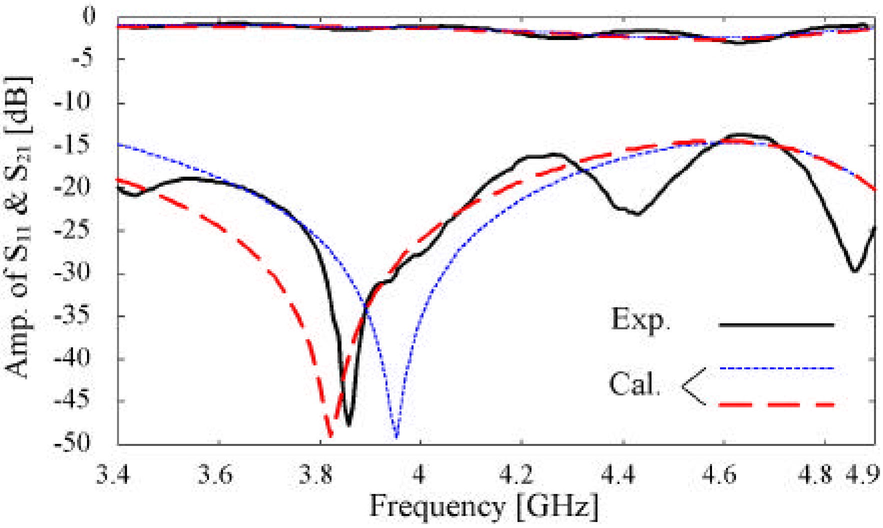

그림 4.2(a) Cal. & Exp.**의 주파수 변화에 따른** S_{11}

Fig. 4.2(a) S_{11} of Cal. & Exp.

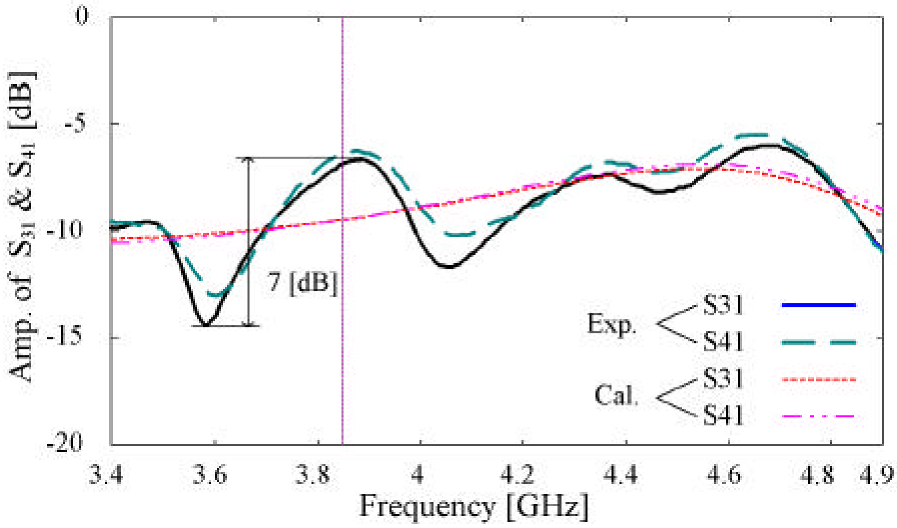

그림 4.2(b) Cal. & Exp.**의 주파수 변화에 따른** S_{31} & S_{41}

Fig. 4.2(b) S_{31} & S_{41} of Cal. & Exp.

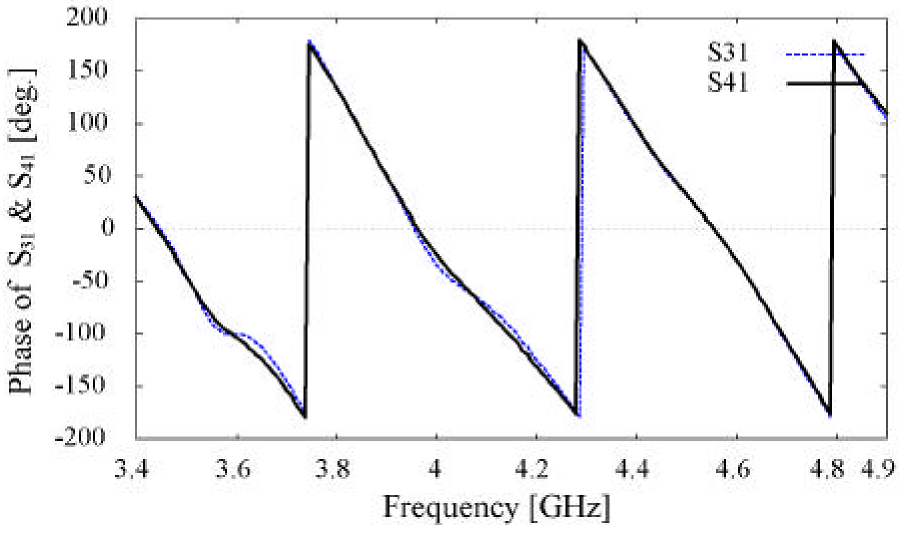

그림 4.2(c) **제작된 π 결합 분기 한 단에 대한 위상변화**

Fig. 4.2(c) Phase difference of the fabricated junction.

4.2 11.85 GHz대 π 결합 분기 한 단의 제작 및 측정 결과 고찰

그림 4.3은 WR-229 표준도파관과 마찬가지 방법으로 8.2 GHz에서 12.4 GHz 대역을 만족하는 WR-90 표준도파관을 사용하여 유도성 벽을 가지는 π 결합 분기 한 단의 시뮬레이션을 통한 최적의 파라미터를 구하여 그 값을 토대로 실제 제작한 π 결합 분기 한 단의 그림을 나타내고 있다.

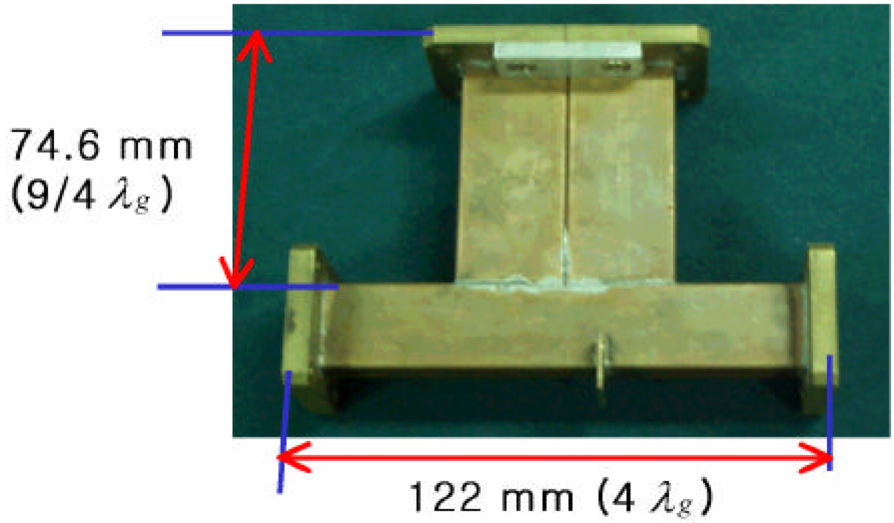

그림 4.3 π 결합 분기 한 단의 실제 제작된 급전도파관
Fig. 4.3 The picture of fabricated π-junction.

표 4.2 π 결합 분기의 시뮬레이션과 제작에 사용된 파라미터값

Table 4.2 Design & Fab. parameters of π-junction.

MoM.에 사용된 데이타	기호	시뮬레이션	제작
급전도파관의 폭	a	22.86 mm	22.70 mm
복사도파관의 폭	*l*	22.86 mm	22.70 mm
도파관의 두께	t	1.27 mm	1.35 mm
복사도파관 공용벽의 두께	g	2.54 mm	2.71 mm
도파관의 높이	b	10.16 mm	10.1 mm
도파관 창의 offset	d	0.00 mm	0.00 mm
도파관 창	w	16.69 mm	16.7 mm
Cut의 길이	h	12.05 mm	12.08 mm
유도성 벽의 위치[x]	p	15.96 mm	15.7 mm
유도성 벽의 offset[z]	q	7.90 mm	7.90 mm
유도성 벽의 두께	r	2.00 mm	1.35 mm
설계한 주파수	11.85 GHz		

이 π 결합 분기 한 단의 측정치를 시뮬레이션한 결과치와 비교한 그림이 그림 4.4와 같다. 그림 4.4(a)에서 보면 먼저 모멘트법으로 시뮬레이션한 값은 정확하게 설계 주파수 11.85 GHz에 공진하지만 실제 제작을 통한 측정치는 11.5 GHz에 공진함으로써 약 350 MHz정도 Shift 하였음을 보여주고 있다. 이는 시뮬레이션한 결과치를 토대로 하였지만 실제 제작과정에서 발생되는 오차 때문이라 할 수 있다. 따라서 본 논문에서는 시뮬레이션한 결과치와 실제 제작과정에서 발생된 오차의 데이터를 표 4.2에서 비교하였고 이 데이터를 모멘트법

에 대입하여 시뮬레이션한 결과치를 그림 4.4(a)의 파선으로 도시하였다. 실제 제작한 측정치와 제작상의 오차값을 시뮬레이션한 값이 11.5 GHz에서 거의 일치함으로 매우 양호한 특성을 보이고 있다. 그림 4.4(b)는 포트 3과 포트 4로 나오는 진폭의 변화를 도시한 그림이다. 측정치는 전구간에서 약 10 dB정도의 오차를 보이고 있지만 각 포트로 나오는 진폭차는 0.1 dB의 오차를 보이고 있고, 시뮬레이션한 결과치는 거의 비슷한 값을 보여주고 있다. 그림 4.4(c)는 제작된 π 결합 분기 한단의 각 포트로 나오는 위상변화를 도시한 그림으로 각 포트로 나오는 위상차는 약 2도로 거의 일치함을 알 수 있다.

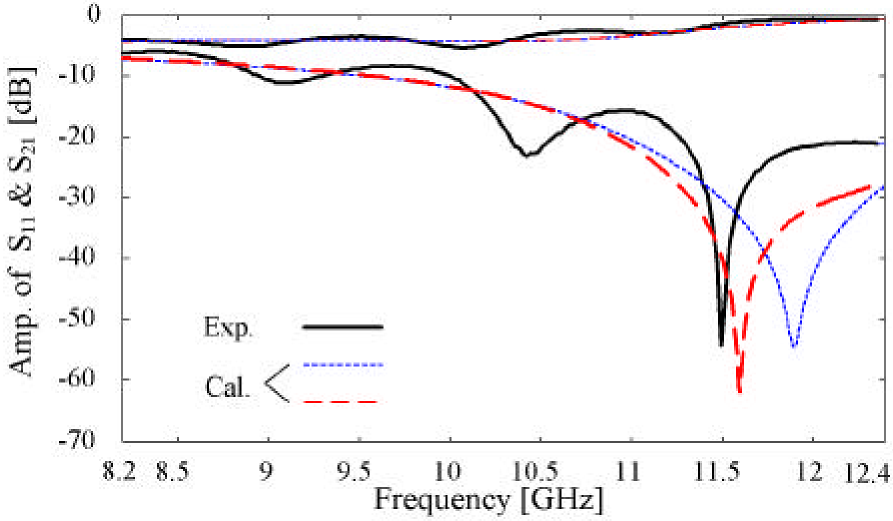

그림 4.4(a) Cal. & Exp.의 주파수 변화에 따른 S_{11}

Fig. 4.4(a) S_{11} of Cal. & Exp.

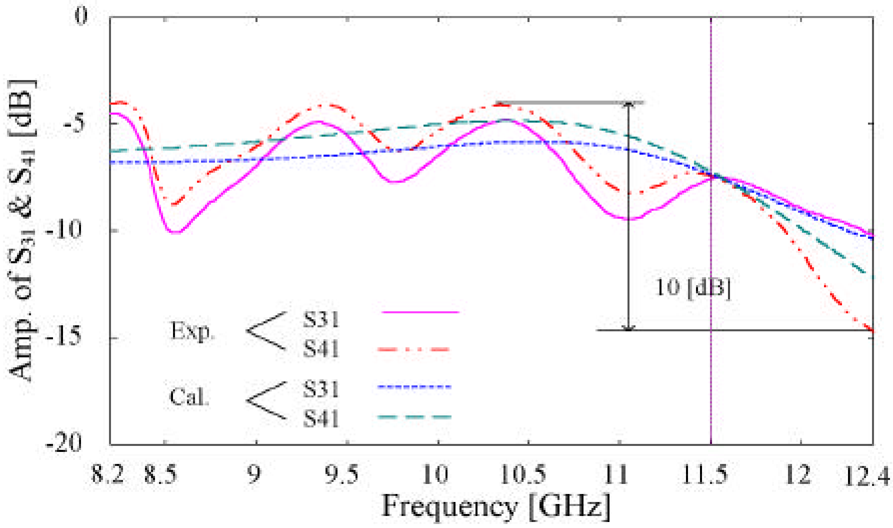

그림 4.4(b) Cal. & Exp.**의 주파수 변화에 따른** S_{31} & S_{41}

Fig. 4.4(b) S_{31} & S_{41} of Cal. & Exp.

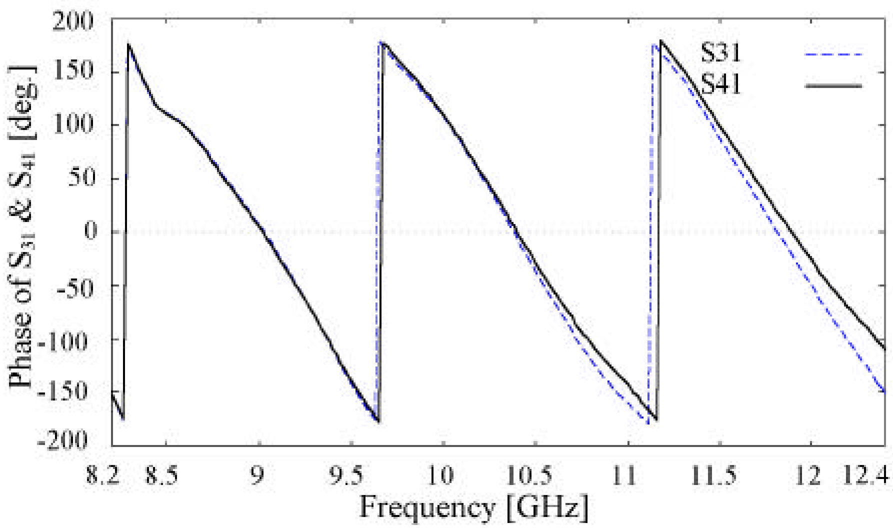

그림 4.4(c) **제작된 π 결합 분기 한 단에 대한 위상변화**

Fig. 4.4(c) Phase difference of fabricated junction.

제 5 장 3.95 GHz대 8분기 전력분기기의 어레이 설계

5.1 어레이 급전도파관의 구조

앞장에서 구한 단일소자의 π 결합 분기형 전력분기기의 최적 설계값과 실제 제작을 통한 측정치를 비교·설명하고 그 타당성을 입증하였으며, 그 설계 방법을 토대로 하여 8분기용 어레이 급전구조를 설계하였다. 슬롯 어레이 도파관 안테나의 급전을 위해 사용하게 될 π 결합 분기형 8분기 신호분배회로의 내부구조는 그림 5.1과 같고, 그림 5.2는 4×N-way 전력분기기의 평면도와 π 결합 분기를 도파관의 기본모드인 TE_{10}을 이용하여 전송선로에서 종속 접속한 구조의 등가회로를 나타내는 것으로 π 결합 분기의 종단부에서부터 급전점까지 π 결합 분기 한 단씩 번호를 순차적으로 메겼다. 신호분배회로의 구조는 급전점에 대해 대칭이기 때문에 최종적으로 설계하고자 하는 급전포트 수의 1/2만 설계하면 되고, 본 논문에서는 16분기 분배회로를 고려하여 16분기의 반인 8개의 급전포트 수를 고려하였다. 따라서 16분기에 동위상·동진폭으로 전력을 분배하기 위해 설계상의 8분기에 대해 1/8의 전력이 각 포트로 분배되도록 설계를 하였다. 유도성 벽은 각 junction으로부터 되돌아오는 반사신호가 최소가 되도록 어레이에 있어서 그들의 위치와 크기를 조정하는 설계를 행하였다. 또한 분기기에서 분기되는 전력은 결합창의 폭 w에 의해서 제어하였고, 분배위상은 cut의 길이 h의 조정을 통해 동위상을 얻었다.

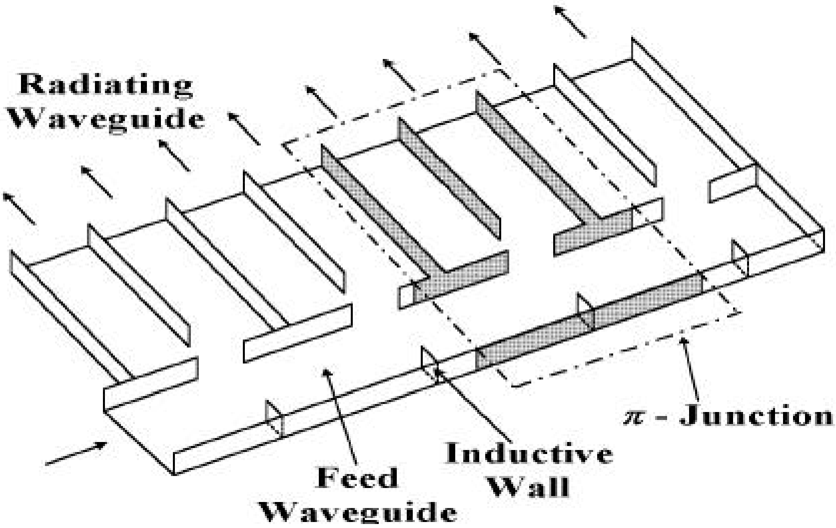

그림 5.1 **π 결합 분기형** 8**분기 신호분배회로**

Fig. 5.1 8-way power divider using π-junction.

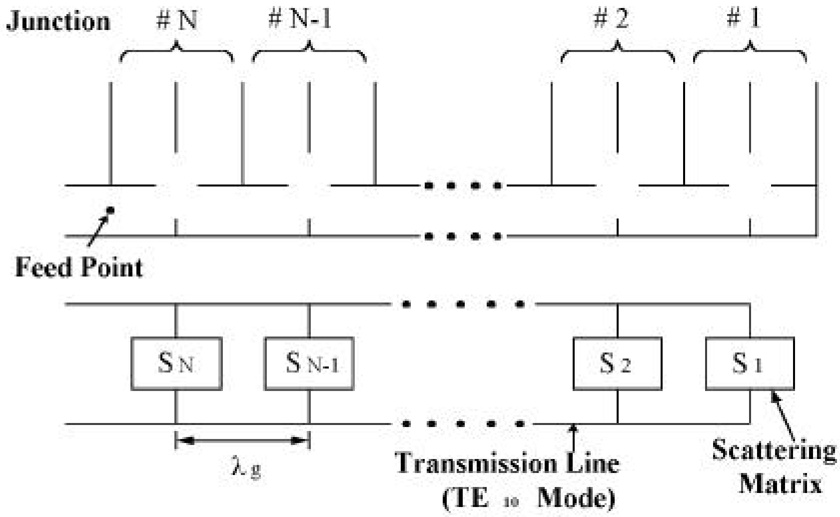

그림 5.2 **등가회로**

Fig. 5.2 Equivalent circuit.

5.2 3.95 GHz에서의 최적 설계에 따른 주파수 특성

각 junction으로부터의 반사를 최소로 하기 위해서는 먼저 각각의 π 결합 분기기가 매칭이 되도록 가장 양호한 파라미터들을 구하여 설계하고 8분기 전력분기기의 급전창 w를 조절하여 1/8(약 -9 dB)의 전력이 분기되도록 설계했다. 또 cut의 길이 h에 의해서 분기되는 위상을 정밀하게 제어하였고, 유도성 벽의 위치를 결정하는 p, q는 각 junction으로부터의 반사가 최소가 되도록 하기 위해 조정한다. 이러한 과정을 #2, #3과 #4에 각각 적용하여 반복 계산에 의하여 w, h, p, q에 대한 최적값을 구한다. 그 결과를 그림 5.3에서 보여주고 있다. 이때 복사도파관에서의 반사손실은 -40 dB이하를 기준으로 하고, 급전도파관에서의 고차모드(TE_{10}는 제외)는 계산에서 무시한다. 그림 5.3(a)로부터 알 수 있는 것처럼 N이 증가할수록 p의 위치는 많은 변화를 하고 있으나 q의 변화는 적다. 즉, N이 증가할수록 파의 입사단에서 종단부로 갈수록 유도성 벽의 길이가 작아짐을 알 수 있다. 그림 5.3(b)에서 급전창의 폭 w는 junction의 번호가 감소할수록 그 폭은 증가됨을 알 수 있고, cut의 길이 h는 작아진다. 다시 말하면 w의 경우, 입력단에서는 신호의 동분배를 위해 크기가 작고 종단(#1)으로 갈수록 커져서 반사의 손실을 최소화함을 알 수 있다. 또한 h의 길이가 종단으로 갈수록 작아지는 것은 당연한 결과라 할 수 있다. 재미있는 것은 w와 h가 서로 반비례의 관계를 가진다는 점이다. 이 설계방법은 4의 배수가 되는 급전포트 수를 가지는 전력분기기에 적용할 수 있다.

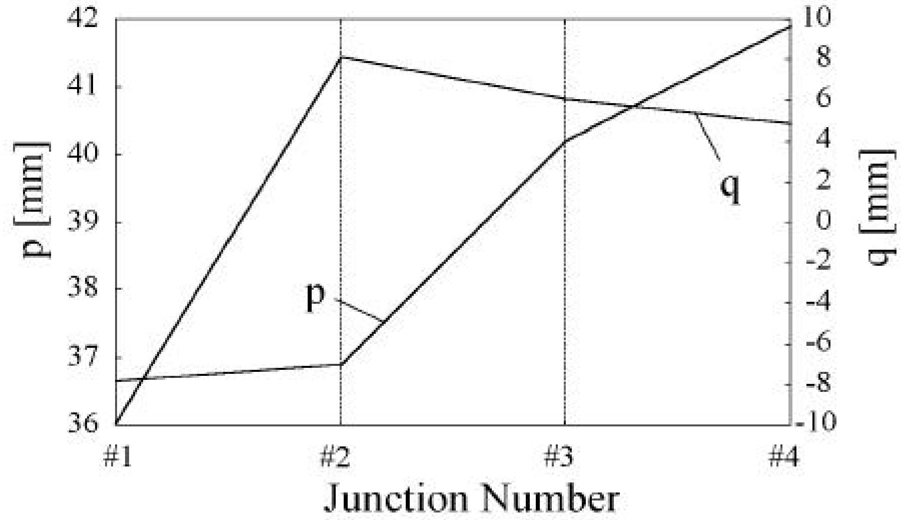

그림 5.3(a) **각** junction**에 따른 유도성 벽의 위치**(p, q)

Fig. 5.3(a) Wall position (p, q) of each junction.

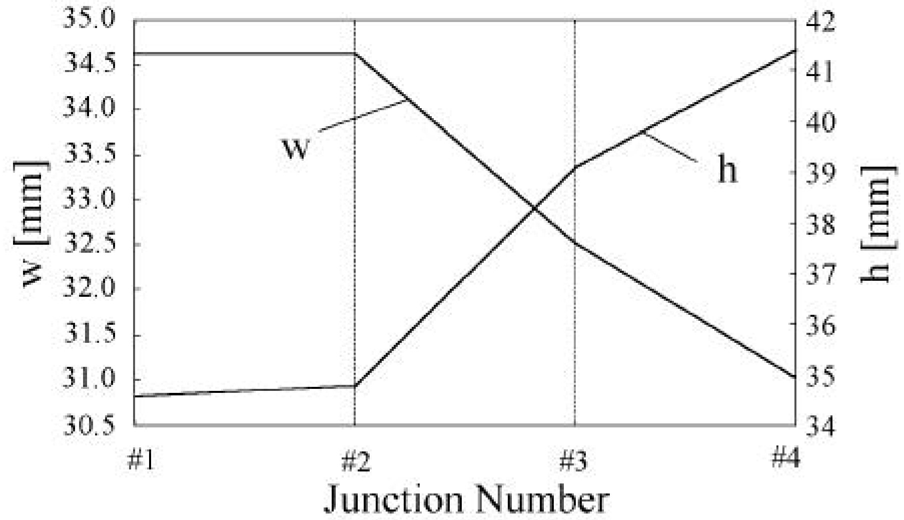

그림 5.3(b) **각** junction**에 따른 급전창의 폭** w**와** cut**의 길이** h

Fig. 5.3(b) Window width w and cut length h of each junction.

복사도파관으로 분배되는 각 포트의 전력과 주파수의 변화에 따른 급전점으로 되돌아오는 반사계수를 계산한 결과는 그림 5.4, 5.5와 같다. 그림 5.4에서 보는 바와 같이 각 포트로 나오는 진폭은 0.75 dB의 오차를 보이며, 위상차는 약 3.4 도로 매우 양호한 특성을 보이고 있다. 그림 5.5는 주파수 3.5 GHz에서 4.4 GHz까지의 변화에 따른 급전점으로 되돌아가는 반사계수를 나타내는 것으로 설계 주파수 3.95 GHz에서 반사계수는 -47.5 dB이고, 대역폭은 반사계수 -25 dB이하에서 약 400 MHz로 양호한 특성을 보여주고 있다.

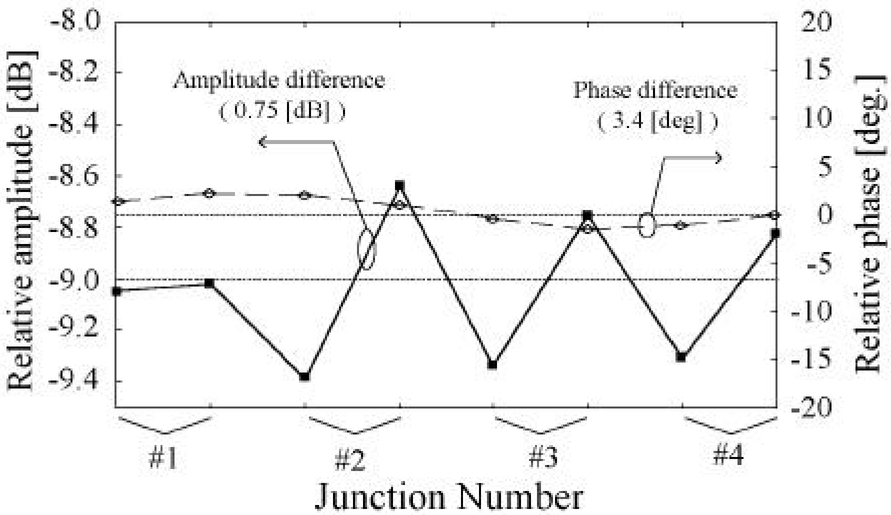

그림 5.4. 복사도파관으로의 전력과 위상차

Fig. 5.4 Divided power and phase of each junction.

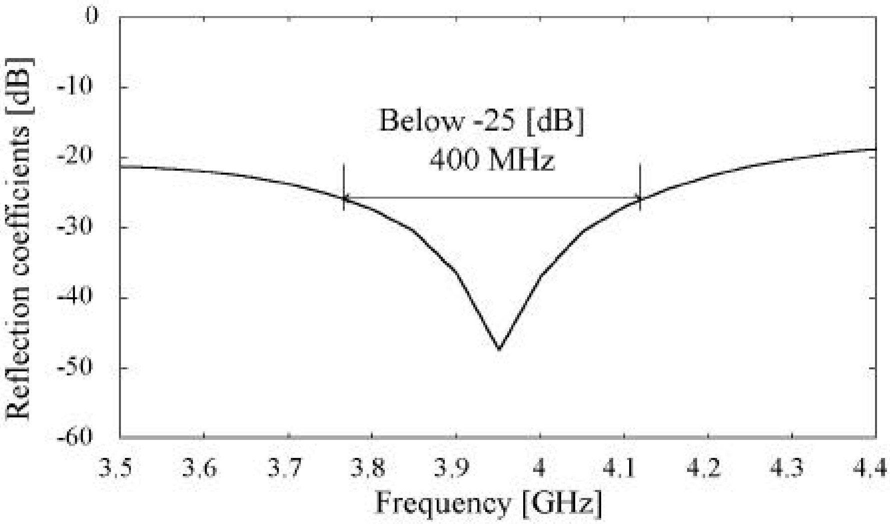

그림 5.5 8**분기 급전도파관의 주파수 변화에 따른** S_{11}

Fig. 5.5 The reflection coefficients of 8-port array feed waveguide.

제 6 장 DBS 수신용 8분기 전력분기기의 어레이 설계

앞장에서 구한 WR-229 표준도파관을 이용한 8분기 전력분기기의 어레이 설계와 마찬가지 방법으로 8.2 GHz에서 12.4 GHz 대역을 만족하는 WR-90 표준도파관을 사용하여 DBS(11.7 GHz 12.0 GHz)대역을 만족시키는 8분기 어레이 급전도파관을 설계한다.

6.1 WR-90 표준도파관을 이용한 최적 설계에 따른 주파수 특성

그림 6.1은 WR-90 표준도파관을 이용하여 8분기 어레이 전력분기기의 최적 설계에 따른 주파수 특성을 보여주고 있다. 이때 복사도파관에서의 반사손실은 -40 dB이하로 하고 급전도파관에서의 고차모드(TE_{10}는 제외)는 계산에서 무시한다. 그림 6.1(a)로부터 알 수 있는 것처럼 N이 증가할수록 p의 위치는 많은 변화를 하고 있으나 q의 변화는 적다. 즉, N이 증가할수록 파의 입사단에서 종단부로 갈수록 유도성 벽의 길이가 작아짐을 알 수 있다. 그림 6.1(b)에서 급전창의 폭 w는 junction의 번호가 감소할수록 그 폭은 증가됨을 알 수 있고, cut의 길이 h는 작아진다. 다시 말하면 w의 경우, 입력단에서는 신호의 동분배를 위해 크기가 작고 종단(#1)으로 갈수록 커져서 반사의 손실을 최소화함을 알 수 있다. 또한 h의 길이가 종단으로 갈수록 작아지는 것은 당연한 결과라 할 수 있다. 이 설계는 4의 배수가 되는 급전포트수를 가지는 전력분기기에 적용할 수 있다.

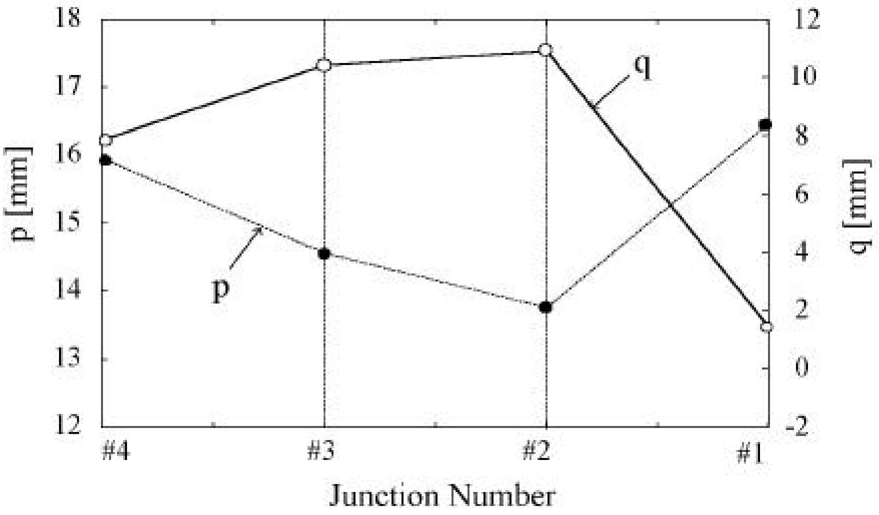

그림 6.1(a) **각** junction**에 따른 유도성 벽의 위치**(p, q)

Fig. 6.1(a) Wall position (p, q) of each junction.

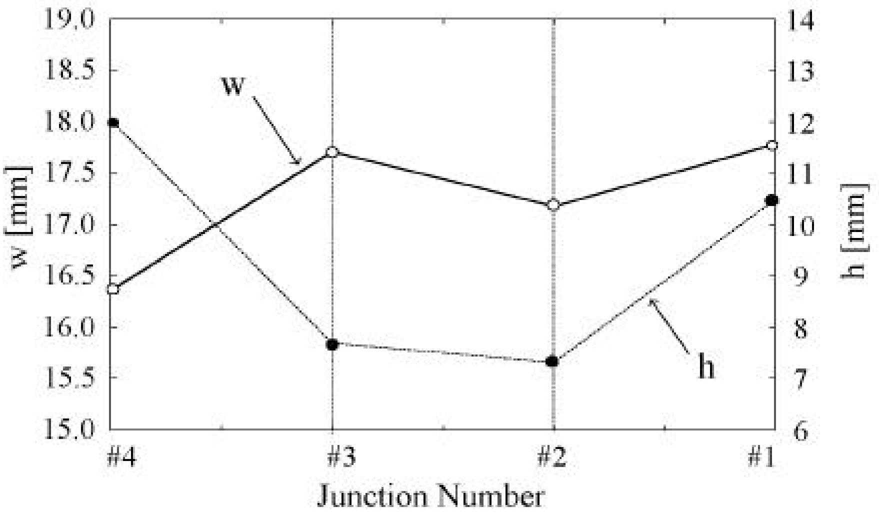

그림 6.1(b) **각** junction**에 따른 급전창의 폭** w**와** cut**의 길이** h

Fig. 6.1(b) Window width w and distance h of each junction.

복사도파관으로 분배되는 각 포트의 전력과 주파수의

변화에 따른 급전점으로 되돌아오는 반사계수를 계산한 결과는 그림 6.2와 6.3과 같다. 그림 6.2에서 보는 바와 같이 각 포트로 나오는 진폭은 2.3 dB의 오차를 보이며, 위상차는 약 62도의 오차를 보이고 있다. 그림 6.3은 주파수 11.4 GHz에서 12.3 GHz까지의 변화에 따른 급전점으로 되돌아가는 반사계수를 나타내는 것으로 설계주파수 11.85 GHz에서 반사계수는 약 - 30 dB이고, 대역폭은 반사계수 - 15 dB이하에서 약 350 MHz 가지는 특성을 보여주고 있다.

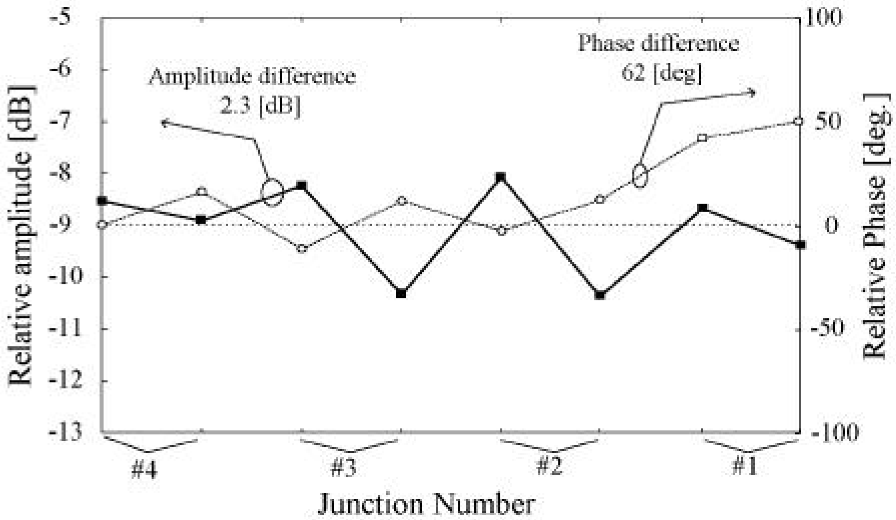

그림 6.2 복사도파관으로의 전력과 위상차

Fig. 6.2 Divided power and phase of each junction.

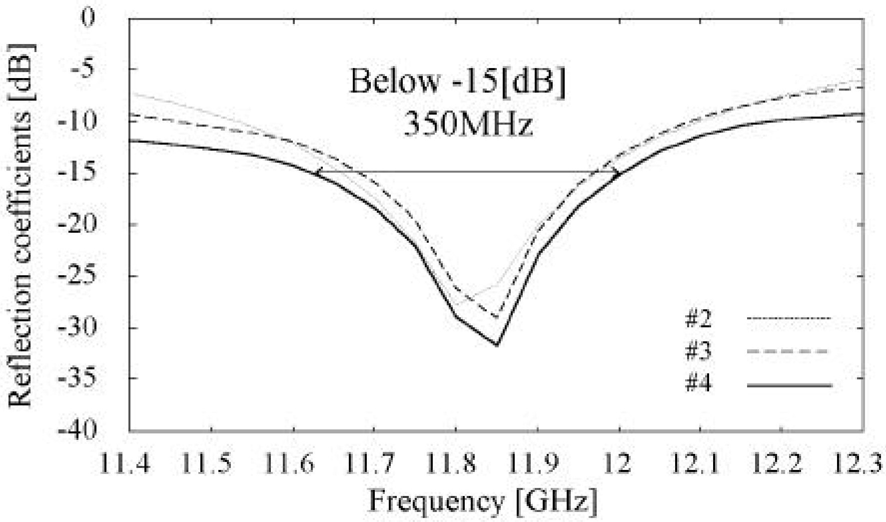

그림 6.3 8분기 급전도파관의 주파수 변화에 반사계수

Fig. 6.3 The reflection of 8-port array feed waveguide.

6.2 비표준도파관을 이용한 최적 설계에 따른 주파수 특성

앞에서 설계한 WR-90 표준도파관을 이용한 8분기 어레이 급전도파관의 문제점은 크기면에서 좀 더 작은 사이즈가 요구되어지고, 각 포트로 분배되어지는 위상이 62도의 오차를 보이고 있어 동위상을 가지지 못한다는 점이다. 따라서 이 문제점을 해결하기 위해서는 그림 6.4에서 보는 바와 같이 π 결합 분기 한 단의 전체 복사도파관의 길이($L=2l+t+g$)가 관내파장과 같아야 동위상으로 신호가 전달되어진다. 전체 복사도파관의 길이 L과 관내파장이 같아지게 하기 위해서는 그림 6.5에서처럼 급전도파관의 a의 길이의 변화에 따른 관내파장을 구하였다. a의 길이를 17.3 mm로 했을 때 관내파장이 37.34 mm이고 관내파장 37.34 mm에 가장 근접하는 전체 복

사도파관의 총길이(L)로 만들기 위해 복사도파관의 폭 *l*을 16.5 mm, 도파관벽의 두께 t와 g를 각각 2 mm로 하였다. 즉 관내파장은 37.34 mm이고 전체 복사도파관 길이 L은 37 mm가 된다.

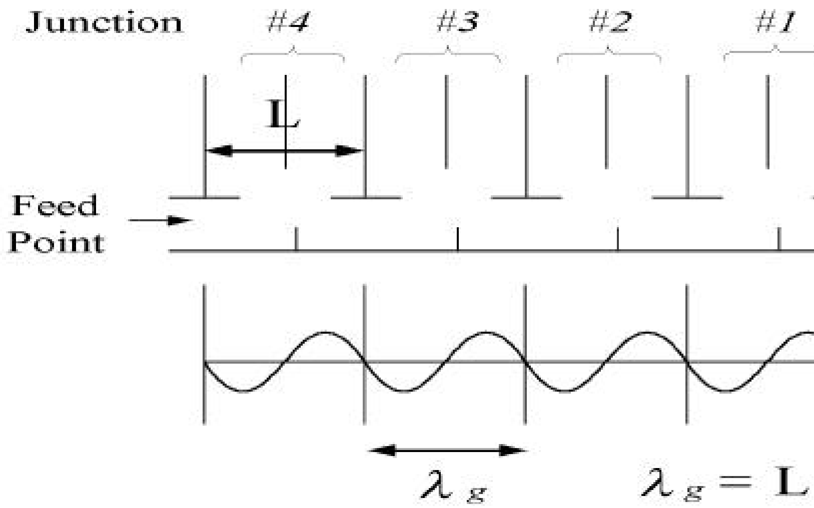

그림 6.4 급전도파관내의 위상

Fig. 6.4 The phase in feed waveguide.

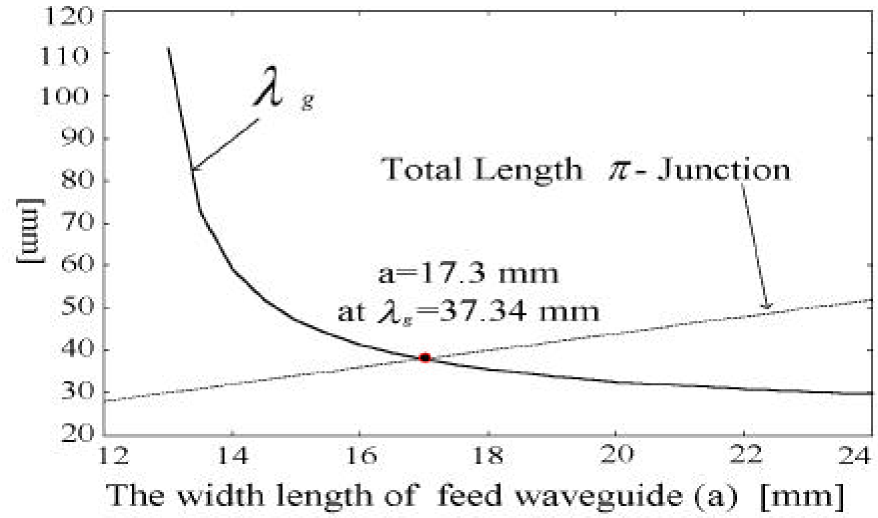

그림 6.5 **급전도파관폭** a**의 길이변화에 따른 관내파장**

Fig. 6.5 The guided length of the width length of feed waveguide(a).

이 값을 토대로 하여 각 포트로 분배되어지는 신호가 동위상 동진폭을 지니도록 w, h, p, q**의 변화량을 각** junction**별로 구하여 복사도파관으로 분배되어지는 각 포트의 분배특성과 주파수의 변화에 따른 급전점으로 되돌아오는 반사계수를 계산하였다**. **그 결과는 그림** 6.6, 6.7**이다**. **그림** 6.6**에서 보는 바와 같이 각 포트로 나오는 진폭은** 1 dB**이내의 오차를 보이며**, **위상차는 약** 13**도로 표준도파관의 위상차보다 약** 50**도의 오차를 줄일 수 있었다**. **그림** 6.7**은 주파수** 11.4 GHz**에서** 12.3 GHz**까지의 변화에 따른 급전점으로 되돌아가는 반사계수를 나타내는 것으로** -20 dB**이하에서 약** 700 MHz**의 광대역폭을 가지고** DBS**대역폭**(11.7 GHz 12 GHz)**을 만족시키는 아주 양호한 특성을 보여주고 있다**.

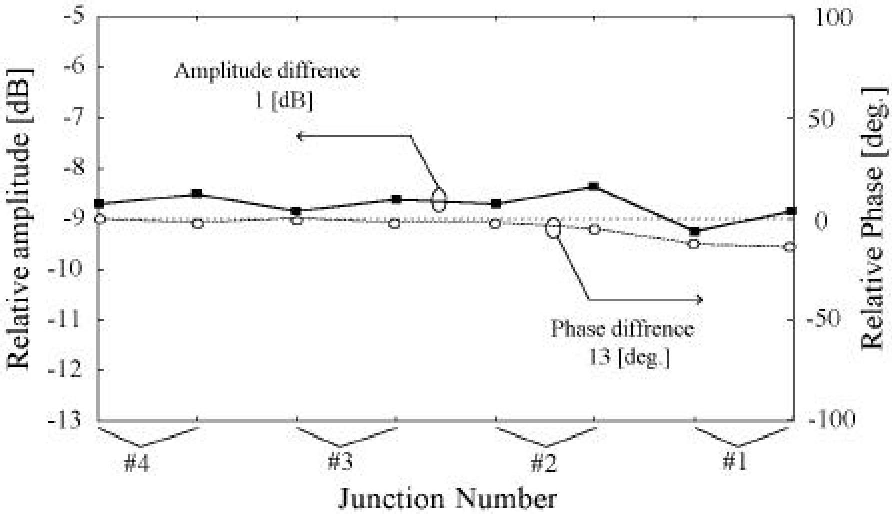

그림 6.6 복사도파관으로의 전력과 위상차

Fig. 6.6 Divided power and phase of each junction.

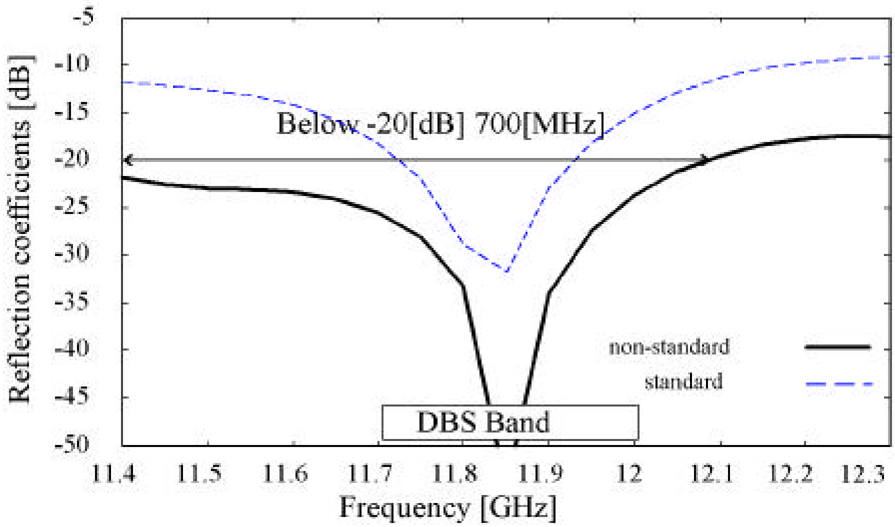

그림 6.7 8분기 급전도파관의 주파수 변화에 반사계수

Fig. 6.7 The reflection of 8-port array feed waveguide.

6.3 급전도파관의 제작과 실험환경

지금까지 행한 시뮬레이션을 토대로 DBS용 위성추적 안테나 시스템에 사용되어지는 급전도파관을 실제 제작을 행하여 슬롯 어레이 안테나부를 완성시켜 TV 시청이 가능한지를 측정한 그림이 그림 6.8이다. 그림 6.8을 보면 EBS방송이 잘 수신되고 있음을 알 수 있다. 참고로 본 실험을 행한 장소는 한국해양대 공과대학 옥상이다.

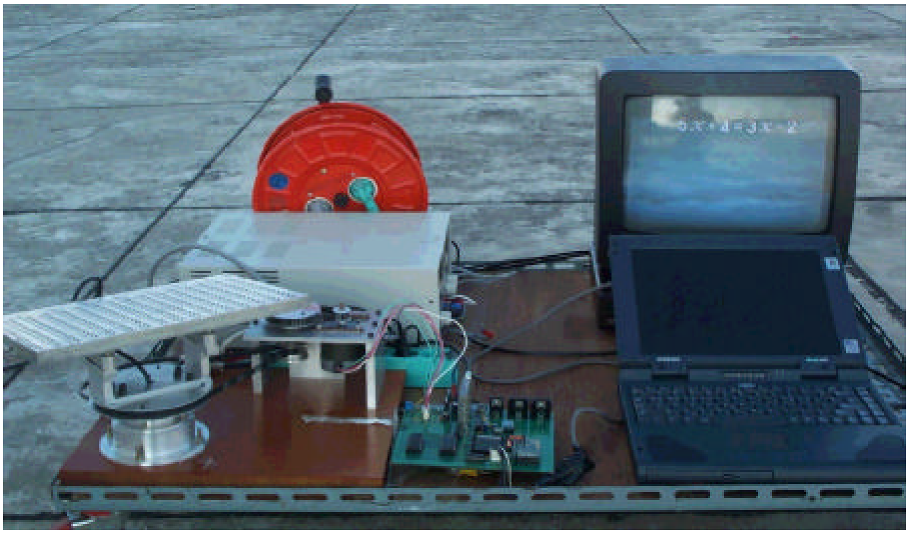

그림 6.8 실험환경

Fig. 6.8 Test environment.

제 7 장 결 론

본 논문에서는 Galerkin's 모멘트법을 이용하여 반사량을 결정하는 유도성 벽과 동위상·동진폭을 가지는 π 결합 분기기를 이용하여 DBS 수신용 위성추적 안테나 시스템의 급전 도파관을 설계하였다. 먼저 설계 주파수 3.95 GHz를 중심으로 하여 종단부와 종단부 이외의 π 결합 분기 한 단에 대해 시뮬레이션하고 그 값을 토대로 하여 실제 제작을 통해 그 타당성을 입증하였고, 설계 방법을 토대로 11.85 GHz을 중심으로 하여 반복 계산에 의한 각 분기별 설계 파라미터에 대한 연구를 통하여 최적치를 제시하였다. 8분기 전력분기기에 전력을 동위상·동진폭으로 분배하고 급전점에서의 반사량에 대한 산란 특성과 주파수 변화에 동반한 이득의 감소량 등을 계산하여 π 결합 분기형 8분기 신호분배회로의 특성을 평가하고, 시뮬레이션 결과를 토대로 DBS수신용 위성추적 안테나 시스템의 급전부를 실제 제작을 통한 실험으로 그 타당성을 입증하였다.

참고문헌

[1] Jiro Hirokawa, "A study of slotted waveguide array antennas," **東京工業大學** Doctoral dissertation, Nov. 1993.

[2] **민경식**, “A study of single layer polarization converters for slotted waveguide array antennas," **東京工業大學** Doctoral dissertation, June 1996.

[3] **초고주파 안테나의 기초와 이동통신 안테나 시스템**, NTT**이동통신망**(주) **안테나 연구그룹**, 1995.

[4] H. Mizuno, T. Nomoto, and H. Mitsumoto, "A 4-way power divider using E-plane circular bend structure," *IEICE Natl. Conv, Rec.*, C-788, Mar. 1989.

[5] Y. Furukawa, N. Goto, and K. Maehara, "A Beam-tilt planar waveguide slot antenna of single layer structure for satellite TV," *IEICE Tech. Rept.*, AP88-40, Jul. 1988.

[6] H. Iwai, S. Nomoto, and Y. Kamiya, "An experimental model of a beam-steerable leaky wave low-profile antenna," *IEICE Tech. Rept.*, AP91-91, Oct. 1991.

[7] R. E. Collin, Antennas and Radiowave Propagation, *New York McGraw-Hill*, Chap. 1, pp. 6-7, 1985.

[8] J. Hirokawa, M. Ando, and N. Goto, "A single-layer multiple-way power divider for a planar slotted waveguide array," *IEICE Trans. Commun.*, Vol. E75-B, No. 8, pp. 781-787, Aug. 1992.

[9] N. Goto, "A planar waveguide slot antenna of single layer structure," *IEICE Technical Report*, AP88-39, July 1988.

[10] J. Hirokawa, M. Ando, and N. Goto, "A waveguide π-junction with an inductive post," *IEICE Trans. Electronics*, Vol. E75-C, No. 3, pp. 348-351, March 1992.

[11] **박세현**, "**이동체 탑재형** CS/DBS**용 마이크로스트립 패치 안테**

나의특성에 관한 연구", **공학석사 학위논문**, 2. 2000.
[12] K. Ito, "The perspective and future trend of DBS receiving antennas," *IEICE Technical Report*, AP90-S1, Jan. 1991.
[13] Hajime Seki, "Moment and variational analysis of slotted waveguide antennas and its applications," Tokyo Institute of Technology Doctoral Dissertation, Dec. 1981.
[14] R. F. Harrington, Field computation by moment methods, New York : Macmillan, 1968.
[15] T. Adachi and K. Ito, "An element for circularly polarized array antenna combining electric- and magnetic- antennas," *IEIC Japan, Tech. Rep.*, AP79-36, 1979.
[16] H. Seki and N. Goto, "On the effect of wall-thickness upon a waveguide slot antenna," *IEIC Japan, Tech. Rep.*, AP80-48, July 1980.
[17] J. Hirokawa, M. Ando, and N. Goto, "Matching slot pair for a circularly-polarized slotted waveguide array," *IEE Proc.*, Vol. 137, Pt. H, No. 6, pp. 367-371, Dec. 1990.
[18] Y. Leviatan, P. G. Li, A. T. Adams, and J. Perini, "Single-post inductive obstacle in rectangular waveguide," *IEEE Trans. Microwave Theory Tech.*, MTT-31, pp. 806-812, Oct. 1983.
[19] H. Auda and R. F. Harrington, "Inductive posts and diaphragms of arbitrary shape and number in a rectangular waveguide," *IEEE Trans. Microwave Theory Tech.*, MTT-32, pp. 606-613, June 1984.
[20] H. Seki, "An alternative representation of electromagnetic fields in a rectangular waveguide with an aperture in its walls," *Natl. Conv. Rec., 1984 Optical & Radio Wave Elec., IEICE Japan*, 16 Sept. 1984.
[21] J. Hirokawa, M. Ando, and N. Goto, "Analysis of slot coupling in a radial line slot antenna for DBS reception,"

IEE Proc., vol. 137, Pt. H, pp. 249-254, Oct. 1990.

[22] R. E. Collin, Field theory of guided waves, Sec. 5.6, 2nd edition, McGraw-Hill, 1991.

[23] K. S. Yee, "Numerical Solution of Initial Boundary Value Problems Involving Maxell's Equation in Anisotropic Media," *IEEE Trans. Antennas Prop.*, Ap-14, pp. 302 307, 1966.

[24] G. Mur, "Absorbing Boundary Condition for the Finite Difference Approximation of the Time Domain Electromagnetic Field Equations," *IEEE Trans. Microwave Theory*. vol. MTT-23, No. 4, pp. 377 382, Nov. 1981.

[25] J. P. Berenger, "A Perfectly Matched Layer for the absorption of electromagnetic waves," *J. Computational Physics*, vol. 114, pp. 185-200, 1994.

본 논문과 관련된 발표논문

[1] 민경식, 김광욱, 김동철, 임학규, “동상 급전용 π분기를 이용한 일층구조 급전도파관의 설계”, 1999년 춘계 마이크로파 및 전파학술대회 논문집, vol. 22, no. 1, pp. 146-150, 고려대, 1999. 5.

[2] 민경식, 김광욱, 김동철, 임학규, “일층구조 도파관 어레이 안테나용 동상 급전 회로의 종단부 해석과 설계에 관한 연구”, 1999년 춘계 마이크로파 및 전파학술대회 논문집, vol. 22, no. 1, pp. 151-155, 고려대, 1999. 5.

[3] 민경식, 김광욱, 박세현, 김동철, 임학규, “유도성 벽을 이용한 π분기형 일층구조 급전도파관 어레이의 설계에 관한 연구”, 1999년 추계 마이크로파 및 전파학술대회 논문집, vol. 22, no. 2, pp. 215-218, 전남대, 1999. 9.

[4] 민경식, 김광욱, 김동철, 임학규, 김상태, “DBS용 슬롯 어레이 안테나의 급전도파관 설계에 관한 연구", 1999년 한국해양정보통신학회 추계종합학술대회, vol. 3, no. 2, pp. 116-119, 목원대, 1999. 11.

[5] 민경식, 김광욱, 고지원, 김동철, 임학규, “FDTD법을 이용한 유도성 벽을 가지는 π분기 급전도파관의 설계에 관한 연구", 2000년 한국해양정보통신학회 춘계종합학술대회, vol. 4, no. 1, pp. 143-146, 한국해양대, 2000. 5.

[6] 고지원, 김광욱, 김동철, 임학규, 민경식, "FDTD법을 이용한 구형도파관의 Slot안테나 설계", 2000년 한국해양정보통신학회 춘계종합학술대회, vol. 4, no. 1, pp. 147-151, 한국해양대, 2000. 5.

[7] 민경식, 김광욱, 김동철, 고지원, 임학규, “Design for a non-standard feeder waveguide array with inductive wall", 2000년 춘계 마이크로파 및 전파학술대회 논문집, vol. 23, no. 1, pp. 387-390, 홍익대, 2000. 5.

[8] 민경식, 김광욱, 김동철, 고지원, 임학규, “DBS 수신용 평면안테나 급전도파관의 π-junction 특성에 관한 연구", 2000년 추계 마이크로파 및 전파학술대회 논문집, vol. 23, no. 2, pp. 241-244, 충남대, 2000. 9.

[9] 민경식, 김광욱, 김동철, 임학규, “유도성 벽을 이용한 π분기형 일층구조 급전도파관 어레이의 설계", 한국전자파학회논문지 게재 예정.