



저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

工學碩士 學位論文

투명 플렉시블 디스플레이용
IGZO 박막 트랜지스터의 층간절연막에
따른 특성 연구

Study on the Interfacial Dielectric Layers of Indium-Gallium-Zinc-Oxide
thin film transistor for Transparent Flexible Display



指導教授 徐東煥

2011 年 2 月

韓國海洋大學校 大學院

電氣電子工學科

成曉星

本 論 文 을 成 曉 星 의
工 學 碩 士 學 位 論 文 으 로 認 准 함 .

委 員 長 金 泓 承 (印)
委 員 徐 東 煥 (印)
委 員 尹 榮 (印)



2011 年 2 月

韓 國 海 洋 大 學 校 大 學 院

목 차

목차	i
그림 목차	iii
표 목차	v
Abstract	vi
제 1 장 서론	1
제 2 장 이론	4
2.1 Thin Film Transistor(TFT)	4
2.1.1 TFT의 구조	5
2.1.2 TFT의 동작 특성	7
2.2 산화물 TFT	10
2.2.1 산화물 TFT 소자 기술	12
2.2.2 산화물 채널 물질 연구	15
2.2.3 TFT의 문제점 및 해결방안	18
2.2.4 IGZO TFT를 이용한 사례	20
2.3 층간 절연막(IDL)의 종류와 특성	22
2.4 IGZO TFT 시뮬레이션	25

제 3 장 실험	27
3.1 산화물 TFT 시뮬레이션	27
3.1.1 산화물 TFT 시뮬레이션 파라미터 설정	28
3.1.2 산화물 TFT 소자 시뮬레이션	29
3.2 산화물 TFT 제작	30
3.3 산화물 박막 트랜지스터의 전기적인 특성 분석	32
제 4 장 결과	33
4.1 산화물 TFT 시뮬레이션 결과	33
4.1.1 Al ₂ O ₃ OTFT 시뮬레이션 결과	33
4.1.2 Si ₃ N ₄ OTFT 시뮬레이션 결과	36
4.2 산화물 TFT의 전기적 특성	38
제 5장 결론	41
제 6장 참고문헌	42

그림 목 차

- Fig. 1. Basic structure of TFTs (1)
- Fig. 2. Basic structure of TFTs (2)
- Fig. 3. Band bending diagram depending on gate voltage
- Fig. 4. A layer crystal structure of single crystal $\text{InGaO}_3(\text{ZnO})_5$ and high resolution electron microscopy image
- Fig. 5. Orbital structure comparison of Silicon and InGaZnO semiconductor material
- Fig. 6. 산화물 반도체를 적용한 12.1" OLED (SID2008, 삼성 SDI)
- Fig. 7. Amorphous structure and Crystal structure of IGZO (2007)
- Fig. 8. IGZO-TFT로 구동된 AMOLED 패널 (SID 2007)
- Fig. 9. IGZO-TFT로 구동된 11.7인치급 AMOLED 패널 (SID 2010)
- Fig. 10. 게이트 절연막으로 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 다층구조를 가진 TFT
- Fig. 11. 시뮬레이션에 필요한 상태밀도
- Fig. 12. 산화물 박막 트랜지스터 시뮬레이션 ATLAS
- Fig. 13. IGZO TFT 시뮬레이션 조건 (a) Device simulation structure of Al_2O_3 OTFT, (b) Al_2O_3 OTFT deposition material & thickness, (c) Device simulation structure of Si_3N_4 OTFT, (d) Si_3N_4 OTFT deposition material & thickness

Fig. 14. IGZO TFT 제작방법

Fig. 15. 전기적 특성분석을 위해 사용한 장비의 모습

Fig. 16. Schematics cross section view of the Al_2O_3 TFT

Fig. 17. Electrical characteristics of the Al_2O_3 TFT

Fig. 18. Al_2O_3 두께 변화에 대한 문턱전압과 S.S의 변화

Fig. 19. Schematics cross section view of the Si_3N_4 TFT

Fig. 20. Electrical characteristics of the Si_3N_4 TFT

Fig. 21. Al_2O_3 두께 변화에 대한 문턱전압과 S.S의 변화

Fig. 22. 전기적 특성을 측정한 IGZO TFT

Fig. 23. DC transfer characteristic and gate leakage current curves of IGZO TFTs with (a) Al_2O_3 IDL before annealing (b) Al_2O_3 IDL after annealing, (c) Si_3N_4 IDL before annealing, and (d) Si_3N_4 IDL before annealing while annealing conditions 200°C for 1 hour in an O_2 ambient, respectively.

표 목 차

Table 1	Characteristics and factors of TFT
Table 2	비정질 실리콘, 폴리 실리콘 및 산화물 TFT 소자의 장단점 비교
Table 3	지금까지 연구된 산화물 채널 물질
Table 4	시뮬레이션에 필요한 파라미터
Table 5	IGZO TFT 증착방법



Study on the Interfacial Dielectric Layers of Indium-Gallium-Zinc-Oxide thin film transistor for Transparent Flexible Display

Hyoseong Seong

*Division of Electrical and Electronics Engineering
Graduate School of Korea Maritime University*

Abstract

Active-matrix organic light-emitting diode (AMOLED) displays have been widely developed as ideal flat-panel displays due to their wide viewing angle, high brightness, fast response time, compactness, light weight, vivid color, and high contrast ratio. Despite these advantages, however AMOLED display still have problems with regard to large-display applications, such as in computer monitors and televisions. The main issue of large AMOLED displays is their backplane, for which hydrogenated amorphous silicon (a-Si:H) and low-temperature polycrystalline-silicon (LTPS) are currently being used.

The a-Si:H TFT technology has the advantages of uniform electrical characteristics (e.g. mobility and threshold voltage), low-cost process, and large glass size because it does not require the ion-doping process and crystallization, but a-Si:H TFTs have critical drawbacks when used in the actual backplanes of AMOLED displays. As the field effect mobility of a-Si:H TFTs have poor stability: their threshold voltages shift under constant current stress. On the other

hand, LTPS TFTs have high field effect mobility and excellent stability, but crystallization is needed to convert a-Si:H to LTPS TFTs, and this process has a high cost. Moreover, as LTPS TFTs have grain boundaries, their threshold voltages are not uniform. This is overcome by using complex compensation pixels, which have a low yield and a high cost. Therefore, a-Si:H and LTPS backplanes are not suitable for large AMOLED displays.

Recently, indium gallium zinc oxide TFTs were developed for use in the backplanes of AMOLED displays because they have various advantages compared to a-Si:H and LTPS TFTs. IGZO TFTs have higher field effect mobility than a-Si:H TFTs. As such, they have good driving capabilities, which can enable them to drive large displays. IGZO TFTs also have higher current on/off ratios as well as better stability under constant current stress than a-Si:H TFTs do.

Moreover, they can be fabricated using a lower-temperature process and have less processing steps compared with LTPS TFTs.

In this work, we investigate amorphous indium-gallium-zinc-oxide thin-film-transistors (a-IGZO TFTs). The effects of the interface between the IDL and IGZO channel on the electrical properties of a-IGZO TFTs were simulated. Two kinds of IDLs were analyzed, which were aluminum oxide and silicon nitride. And then we fabricated a-IGZO TFTs with optimized parameters.

제 1장 서론

오늘날은 급속한 정보화 기술의 발전과 더불어 시간과 장소에 구애받지 않으며 언제 어디서나 정보를 접할 수 있는 유비쿼터스 (Ubiquitous) 시대로 접어들고 있다. 이러한 유비쿼터스 시대에는 언제 어디서나 정보를 쉽게 시각적으로 받아들일 수 있는 다양한 종류의 신개념 디스플레이 장치가 요구되고 있다. 신개념의 디스플레이란 더 얇고, 가볍고, 전력소비효율이 높고, 쉽게 깨지지 않으며, 야외 시인성이 높고, 다양한 디자인을 가지면서 투명하고 유연한 특성을 가지는 차세대 투명 플렉시블 디스플레이 (Transparent Flexible Display)를 의미한다.

이러한 시대적 요구 및 사회적 필요성에 의해 기존의 디스플레이를 대체할 수 있는 차세대 플렉시블 디스플레이에 대한 연구가 국내외에서 활발히 진행되고 있다. 플렉시블 디스플레이 역시 기존의 평판 디스플레이 (Flat Panel Display)와 마찬가지로 액정을 이용한 LCD (Liquid Crystal Display), 유기 발광물질을 이용한 OLED (Organic Light Emitting Diode), 그리고 E-paper (Electronic Paper)등의 형태로 세분화되어 연구 개발이 진행되고 있다.

최근의 LCD와 OLED 방식의 플렉시블 디스플레이의 개발은 기존의 segment 방식에서 active matrix 방식으로 전환되고 있는 상황이며, active matrix를 위한 구동소자로는 수소화된 비정질 실리콘을 채널 물질로 사용한 박막트랜지스터 (hydrogenated amorphous silicon Thin Film Transistor, a-Si:H TFT)로 증착공정이 간단하고 공정비용이 적게 드는 장점이 있다. 그러나 a-Si:H의 경우 비정질 구조에서 생기는 dangling bond 나 weak bond에 의한 자유전자의 scattering 및 trapping으로 인해 전자 이동도가 낮으며 ($0.1\sim 1\text{ cm}^2/\text{Vs}$) 빛에 민감한 문제가 있어 이를 대체할 차세대 디스플레이 소자에 대한 연구가 활발히 진행 중이다.

이 중 대표적인 것이 저온 결정화 실리콘 박막 트랜지스터 (Low Temperature Thin Film Transistors, LTPS-TFTs)로 상대적으로 높은 이동도 ($10\sim 400\text{ cm}^2/\text{Vs}$)를 가지나 기존 보다 복잡한 공정으로 인해 공정비용이 상승하고, 다결정의 특성상 내부에 생기는 grain boundary로 인해 대면적에 균일한 박막 증착이 어려우며 비교적 높은 공정 온도 ($400\sim 500^\circ\text{C}$)로 인해 OLED, Flexible 디스플레이와 같은 차세대 디스플레이로의 적용이 어려운 문제점을 지니고 있다.

저온공정이 가능하고 공정비용이 저렴한 펜타신 (pentacene)을 비롯한 유기물을 채널 물질로 사용하는 유기 박막 트랜지스터 (Organic TFTs, OTFTs) 역시 비정질 실리콘을 대체할 물질로 각광받고 있다. 유기 박막 트랜지스터는 저온공정이 가능하여 저순도의 유리 기판의 사용으로 인한 제품의 단가를 줄일 수 있으며 나아가 플라스틱 기판에 적용해서 경량 박형의 유연성 있는 소자의 제작이 가능하다는 장점을 지니고 있다. 그러나 유기물 특성상 무기물에 비하여 상대적으로 낮은 이동도를 지니고 있기 때문에 Si, Ge 등을 이용한 TFT에 비해 경쟁력이 떨어지고 수분과 대기 열에 취약하여 안정성이 떨어지는 등의 문제점을 지니고 있다.

한편 무기물 계열의 화합물 반도체는 유기물에 비해 안정하여 포토 리소그래피기술에 의한 미세 가공이 용이하고 소자 특성이 안정적이다. 특히 ZnO의 경우 넓은 밴드갭 (3.4eV)으로 인해 투명한 특성을 지니며 다이아몬드 구조를 하고 있는 Si기반의 TFT와는 달리 이온결합을 하고 있기 때문에 4s orbital의 overlapping에 의한 band conduction으로 전자이동도가 높다. 이러한 이유로 ZnO는 OLED를 비롯한 투명 디스플레이 등의 차세대 디스플레이로 활용이 가능한 것으로 여겨지며 이에 대해 다양한 그룹에서 활발한 연구가 진행되고 있다

현재 연구되고 있는 ZnO 박막형성방법으로는 스퍼터링 (sputtering), PLD (Pulse Laser Deposition), ALD (Atom Layer Depositoin), Sol-gel 등이 있으며 이 중 스퍼터링을 이용한 물리학적 증착 방법은 증착의 용이성으로 인하여 많은 연구가 진행 중이다. 하지만 스퍼터링을 비롯한 물리학적 증착 방식으로 증착한 ZnO의 경우 상온에서도 다결정으로 성장하여 필름 내부에 다수의 grain boundary들이 존재하게 된다. 이처럼 필름 내주에 존재하는 grain boundary들은 에너지적으로 불안정한 상태로 존재하기 때문에 자유 전자의 trapping center로 작용하게 되는데 이는 자유전자의 이동을 방해하여 전자 이동도의 감소와 소자가 불균일한 문턱전압 (threshold voltage) 특성을 갖는데 기인 한다.

그로 인해 최근 비정질 상태를 유지하면서 mobility가 높고 낮은 문턱전압을 특성을 가지는 a-IGZO TFT가 많이 연구되고 있다. a-IGZO 박막은 기존의 ZnO 박막에 In과 Ga를 첨가하여 만든 물질로써 3.4eV 밴드 갭 에너지를 가지면서 가시광선 영역에서도 투명한 특성을 가지고 있어서 LED(Light Emitting Diode)에 뿐만 아니라, 이미 이전에 없었던 e-paper와 같은 신개념 표시 장치로도 많이 이용되고 있다.

따라서 본 실험에서는 기존 디스플레이의 발광 효율 증진과 신개념 표시 장치용 전계 효과 트랜지스터 구현을 위해 $\text{In}_2\text{O}_3\text{-Ga}_2\text{O}_3\text{-ZnO}$ (IGZO)를 기반으로 하여 Interfacial Dielectric Layer를 변화시킴으로써 ATLAS로 시뮬레이션 하였다. Simulation을 통해 얻어진 최적화 된 조건을 바탕으로 실제 박막을 제작하였으며, 전기적 특성의 변화를 HP4145B 장비를 이용하여 측정하였다.



제 2장 이론

2.1 Thin Film Transistor(TFT)

박막 트랜지스터는 일종의 전계효과 트랜지스터(field effect transistor: FET)의 한 종류로 정의할 수 있으며 구조는 전계효과 트랜지스터와 마찬가지로 활성화층(active layer), 게이트 절연층, 소스-드레인 전극과 게이트 전극으로 나누어지며 주로 스위칭 동작을 주된 기능으로 한다. 박막 트랜지스터는 소스-드레인 사이에 흐르는 전류를 게이트 전극에 인가되는 전압을 이용하여 on/off의 스위칭 동작을 조절하게 된다. 또한 센서, 기억소자, 광소자 등에도 응용되지만 주사용 분야는 능동구동(active matrix: AM) 방식의 평판 디스플레이의 화소 스위칭 소자이다. 이러한 박막 트랜지스터의 특성과 그에 따른 요소들을 Table 1에 나타내었다.

Characteristics	Factors
On current	<ul style="list-style-type: none"> ■ W/L ■ Mobility ■ Interface ■ Ohmic contact ■ Gap states ■ Back surface (또는 Interface)
Off current	<ul style="list-style-type: none"> ■ W/L ■ Fermi level ■ Interface ■ Back surface (또는 Interface) ■ Ohmic contact ■ Band gap
Mobility	<ul style="list-style-type: none"> ■ Width of band tails ■ Interface states
Gate voltage swing	<ul style="list-style-type: none"> ■ Gap states (defect states) ■ Interface states

Table 1 Characteristics and factors of TFT

2.1.1 TFT의 구조

TFT는 Active Layer, Gate insulator, 전극을 위치에 따라 4가지로 나눌 수 있다. 게이트 전극과 소스/드레인 전극이 Active Layer를 사이에 두고 있는 staggered형, 게이트 전극과 소스/드레인 전극이 반도체층의 한쪽 면에 같이 있는 coplanar형으로 나뉘는데, 스테거드형 TFT는 게이트가 소스와 드레인 위에 위치하는 normal staggered형 (Top gate형)과 게이트가 소스와 드레인 보다 아래에 위치하는 inverted staggered형 (Bottom gate형)으로 나뉘고 마찬가지로 coplanar형 역시 제작 순서를 역으로 한 inverted coplanar형이 있다. Fig 1에 TFT의 4가지 기본 구조들을 나타냈다.

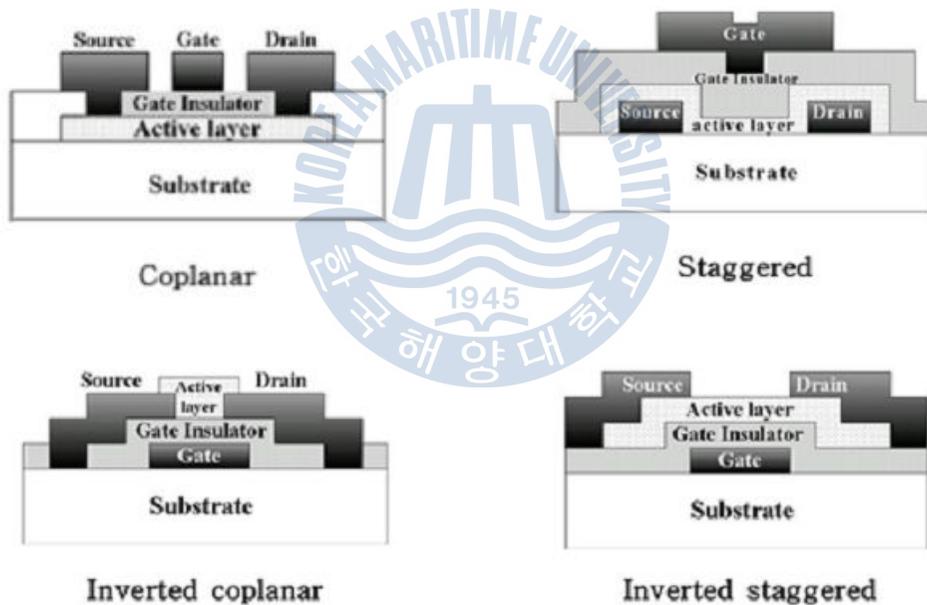
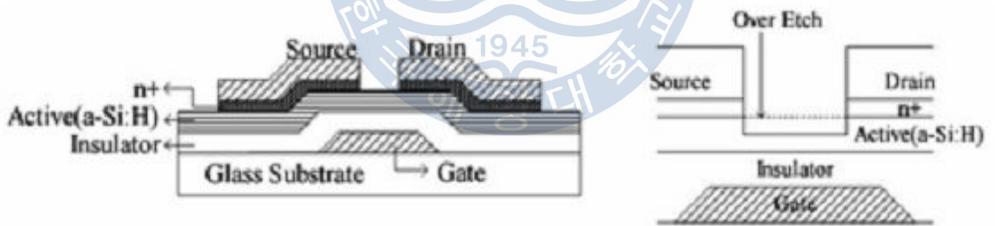


Fig. 1 Basic structure of TFTs (1)

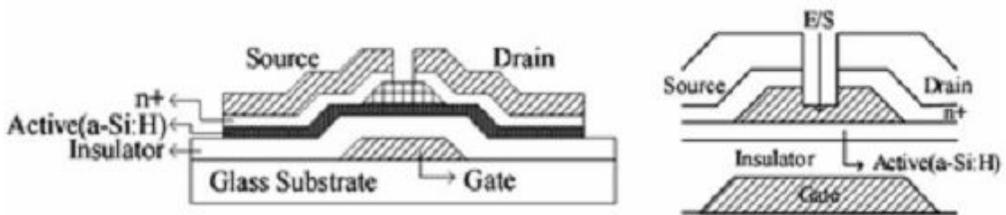
a-Si TFT에서는 inverted staggered형이 주로 사용된다. normal staggered형 TFT는 실리콘 층을 따로 식각하므로 노광 공정이 한 단계 더 필요하고, 비정질 실리콘을 식각하고 게이트 절연막을 입히므로 비정질 실리콘 표면이 공기 중에 노출되어 TFT특

성이 떨어진다. inverted staggered TFT는 게이트 절연막과 비정질 실리콘층 사이의 계면이 공기에 노출되지 않고, 같은 chamber 안에서 게이트 절연막(SiNx)과 비정질 실리콘막과 n⁺ 등을 연속적으로 증착할 수 있어 TFT의 전기적 특성이 좋고, n⁺ 막과 비정질 실리콘층을 photo mask를 쓰지 않고 소스-드레인 mask로 연속하여 식각할 수 있으므로 공정이 단순하다.

Fig 2.와 같이 Inverted staggered TFT에는 BCE(Back Channel Etched) 구조와 E/S (Etch Stopper) 구조가 있다. BCE 구조의 경우에는 a-Si층 위에 n⁺ a-Si층을 연속적으로 증착하고, 소스/드레인 전극을 형성한다. 소스/드레인 전극을 형성한 후에 n⁺ a-Si층을 식각하는데, 이 과정에서 a-Si층도 식각되므로(over etch) a-Si층이 두꺼워야 하는 단점이 있다. E/S 구조의 경우에는 패터닝(patterning)된 E/S 위에 n⁺ a-Si층을 증착하고, 소스/드레인 전극을 형성한다. 소스/드레인 전극을 형성한 후에 n⁺ a-Si층을 식각하는데, 이 과정에서 채널 쪽을 E/S 층이 a-Si층의 식각을 방지하는 역할을 한다. 그러나 E/S층을 패터닝(patterning)하기 위해서는 chamber의 외부로 나와야 하고, E/S를 만드는 공정이 추가되므로 BCE형보다 photo 공정이 한 단계 더 필요하다는 단점이 있다. Fig. 2에 BCE 구조와 E/S 구조를 나타냈다. 이밖에도 소자의 성능 향상을 위한 여러 구조들이 발표되었거나 고안되고 있다.



(a) Back channel etched(BCE) type TFT



(b) Etch stopper(E/S) type TFT

Fig. 2 Basic structure of TFTs (2)

2.1.2 TFT의 동작 특성

a-Si TFT의 동작 영역은 FET에서와 마찬가지로 크게 선형 영역과 포화 영역으로 구분된다. 드레인 전압이 낮을 경우 드레인과 소스간의 특성은 오믹(ohmic)특성을 나타내고, 드레인 전류는 드레인 전압에 비례한다. 드레인 전압이 높을 경우, 드레인 전류는 드레인 전압의 증가에 관계없이 일정한 값을 갖는다. 수직 방향의 전기장은 채널을 형성시키고, 수평 방향의 전기장은 드레인 전류를 흐르게 한다는 점진적 채널(gradual channel) 가정으로부터 a-Si TFT의 동작을 분석할 수 있다.

가. Linear region

게이트 전압 V_G 가 문턱 전압 V_T 보다 높을 경우를 선형 영역이라 하며 이 경우 채널로 유입되는 전자 Q_1 과 V_G 간의 관계는 다음과 같다.

$$Q_1 = -C_{OX}(V_G - V_T - V)$$

C_{OX} : 단위 면적당 절연층의 정전 용량

V : 드레인과 소스간의 전압

식 1

전자들에 의한 드레인 전류 I_D 는 다음과 같다. 이 식은 전류 밀도의 식에서 확산 성분을 무시한 것이다.

$$I_D = W_{CH}\mu_{FE}Q_1E_y$$

W_{CH} : 채널의 폭

μ_{FE} : 전계효과 이동도

식 2

$E_y = -dV/dy$ 와 식 1이 식 2에 대입된 식을 $y=0 \sim L_{CH}$, $V=0 \sim V_D$ 의 구간에서 적분하여 다음의 I_D 에 대한 기본적인 식을 얻을 수 있다.

$$I_D = C_{OX}\mu_{FE} \frac{W_{CH}}{L_{CH}} [(V_G - V_T)V_D - \frac{1}{2} V_D^2] \quad \text{식 3}$$

V_D 가 매우 낮은 선형 영역에서의 I_D 에 대한 식은 다음과 같다.

$$I_D = C_{OX}\mu_{FE} \frac{W_{CH}}{L_{CH}} (V_G - V_T)V_D \quad \text{식 4}$$

나. Saturation region

드레인 전압이 계속 증가하여 게이트 전압과 같게 된다면 채널이 드레인 쪽으로 사라지게 되고(pinch-off), 드레인 전류가 더 이상 증가하지 않게 된다. 그러므로 앞에서 구한 선형 영역에서의 드레인 전류 값을 더 이상 맞지 않게 된다. 이때 채널 내의 전하 Q_t 를 0으로 놓음으로써 다시 수식을 유도할 수 있다. 결국 $V = V_G - V_T = V_D$ 라 할 수 있으므로 이를 식 3에 대입하면 다음과 같은 수식을 얻을 수 있다.

$$I_D = C_{OX}\mu_{FE} \frac{W_{CH}}{2L_{CH}} (V_G - V_T)^2 \quad \text{식 5}$$

식 5를 이용하여 a-Si TFT의 포화영역에서의 전계효과 이동도를 구할 수 있다. 또한, TFT의 동작은 게이트 전압이 문턱 전압보다 낮은 경우에는 유입되는 전하들이 a-Si의 deep states들과 절연체와의 계면에 축적되면서 페르미 준위가 밴드 끝(band edge) 쪽으로 상승하다가, 게이트 전압이 문턱 전압보다 높은 경우에는 페르미 준위가 테일 스테이트 준위(tail state level)에 위치하게 된다. 이때에 유입되는 전하들의 대부분은 테일 스테이트들에 채워지고, 소수만이 익스텐디드 스테이트(extended state)로 여기 되므로 전계효과 이동도가 밴드 이동도보다 낮게 된다. 한편, a-Si 밴드 갭 내의 모든 스테이트들이 채워지고, 페르미 준위가 밴드의 끝으로부터 q/kT 이내에 존재하는 경우에는 유입되는 전하들의 대부분이 익스텐디드 스테이트로 여기 되어 전계 효과 이동도와 밴드 이동도가 비슷하게 될 수 있다. 그러나, 이러한 현상은 절연체의 유전율이

3.9 이하, 전계가 $5 \times 10^6 \text{V/cm}$ 이상인 경우에 가능하다. Fig 3에 a-Si TFT의 게이트 전압의 변화에 따른 밴드밴딩과 상태 밀도 곡선의 변화를 나타냈다.

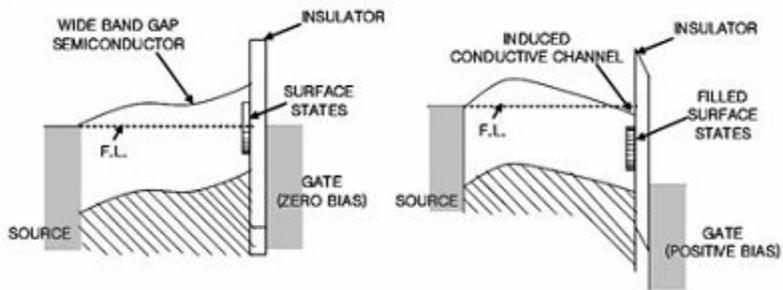


Fig. 3 Band bending diagram depending on gate voltage



2.2 산화물 TFT

지금까지 디스플레이의 구동소자로써 사용되던 비정질 a-Si TFT는 기관 대형화의 관점에서 LCD 기관 기술인 비정질 실리콘 TFT 소자기술은 이미 8세대 (기관 크기: 2200×2500 mm) 양산이 진행 중이기 때문에 가장 검증된 기술일 뿐만 아니라 제조비 관점에서도 가장 유리하나, 낮은 이동도 ($1 \text{ cm}^2/\text{Vs}$)로 인해 대면적화 되는 디스플레이의 구동에 어려움이 있다,

현재 4세대 (기관크기: 730×920mm) 양산중인 AMOLED 디스플레이는 엑시머 레이저 결정화(ELA)에 의한 다결정 실리콘 TFT 기술이 적용 중에 있으나 레이저 에너지 밀도, Shot 수, Shot overlap등의 공정마진이 매우 작고, 결정화 장비 비용 및 유지비용이 높으며, 단위시간당 생산량에 제한이 있기 때문에 노트북, TV와 같은 중대형 제품을 생산하는데 적합하지 않다. 이에 대한 대안으로 대면적 결정화를 위해 마스크를 이용하여 엑시머 레이저를 조사한 후 다결정 실리콘을 형성하는 SLS (sequential lateral solidification) 기술을 삼성등과 같은 대기업에서 개발 진행 중이나 여전히 유지비용이 고가이고 shot 자국이 발생하는 본질적인 단점은 아직 극복되지 못하고 있다.

또한 OTFT는 플렉시블 기술에 적용가능하고 제조비용 절감할 수 있는 장점으로 한국의 삼성전자와 LG 전자, 일본의 SONY와 TOPPAN PRINTING에서 연구되고 있지만 n-type 유기 반도체 (Organic Semiconductor, OSC)개발과 소자의 신뢰성에 관해 극복해야 할 과제가 여전히 남아있다. 이러한 문제점의 대안으로 최근에는 가시광 영역에서 투과가 가능한 산화물 반도체를 활성층 (active layer)으로 이용한 산화물 박막 트랜지스터 (Oxide Thin Film Transistor, Oxide TFT)가 주목받고 있으며 활발한 연구가 진행되고 있다.

상술한 기존 실리콘 기반의 TFT 기술의 대안으로 현재 가장 유력한 기술은 IGZO 기반 산화물 TFT 소자이다. Table 2에 비정질 실리콘 TFT, 폴리 실리콘 TFT 및 산화물 TFT 소자의 장단점을 비교하였다. 먼저 산화물 TFT 소자의 경우에는 별도의 결정화와 도핑공정을 필요로 하지 않기 때문에 기관대형화라는 관점에서 폴리 실리콘과 비교했을 때에 매우 유리하다. 현재까지 8세대 이상의 기관규격에서 산화물 TFT 소자 기술이 검증이 완성된 상태는 아니나, 산화물 반도체 증착방법인 DC 혹은 AC 스퍼터

링법의 경우 이론적으로 8세대 이상이 가능하다. 산화물 TFT 소자는 비정질 실리콘 TFT 소자에 비해 10배 이상 우수한 약 $10\text{cm}^2/\text{Vs}$ 의 수준을 갖는다. 따라서 노트북 혹은 HDTV AMOLED의 제품에 backplane으로 사용되기에 충분한 값으로 인식되고 있다. 그 뿐만 아니라 더 얇고, 가볍고, 전력소비효율이 높고, 쉽게 깨지지 않으며, 야외 시인성이 높고, 다양한 디자인을 가지면서 투명하고 유연한 특성을 가지는 차세대 투명 플렉시블 디스플레이 (Transparent Flexible Display)에 적용 할 수 있다. Table 2에서 살펴볼 수 있듯이 산화물 TFT 소자는 비정질 실리콘과 폴리실리콘 TFT소자의 고유한 장점을 동시에 보유하고 있음을 알 수 있다.

	a-Si TFT	poly-Si TFT	Oxide TFT
세대 [G]	8	4	8
반도체	amorphous Si	polycrystalline Si	amorphus IGZO
TFT 균일도	Good	Poor	Good
이동도 [cm^2/Vs]	1	~100	>10
마스크 수	4-5	5-11	4-5
제조비용	Low	High	Low
신뢰성(10^5 hour)	$\Delta V_{th} > 5 \text{ V}$	$\Delta V_{th} > 0.5 \text{ V}$	$\Delta V_{th} > 1 \text{ V}$
회로내장	×	○	○

Table 2 비정질 실리콘, 폴리 실리콘 및 산화물 TFT 소자의 장단점 비교

2.2.1 산화물 TFT 소자 기술

역사적으로 최초의 산화물 TFT는 필립스 연구소에서 1995년에 SnO_2 산화물 반도체를 강유전체 성질을 갖는 게이트 절연막에 적용하여 메모리소자로 사용하기 위한 목적으로 연구되었다. 물론 이때 제작된 트랜지스터 소자의 성능은 on/off ratio가 100에 불과하여 제대로 TFT의 특성을 보인다고 하기 힘든 수준이었다.

그 후 2003년에 ZnO 박막을 고온에서 적절히 열처리 하면 TFT 소자의 채널로서의 특성을 보이는 결과가 미국의 Oregon 대학의 Wager 교수 그룹에 의해 발표되었다. 그러나 제작된 소자의 이동도는 $0.3\sim 2.5 \text{ cm}^2/\text{Vs}$, 문턱전압은 10~20V 정도의 값이었기 때문에 실제 디스플레이 TFT 소자로 사용되기엔 여전히 부족한 수준이었다.

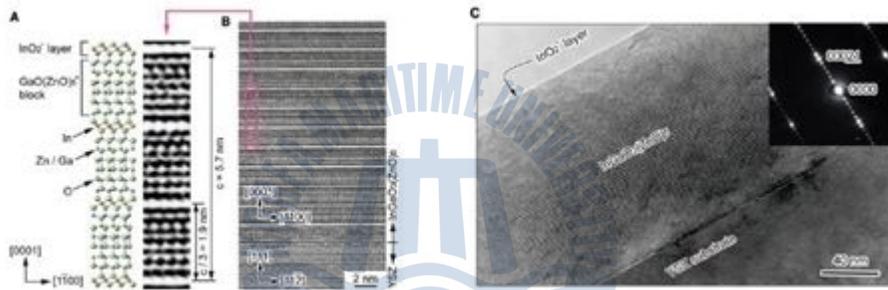


Fig. 4 A layer crystal structure of single crystal $\text{InGaO}_3(\text{ZnO})_5$ and high resolution electron microscopy image

한편, 일본 동경공대의 Hosono 교수 연구팀에서는 $\text{InGaO}_3(\text{ZnO})_5$ 결정을 이용하여 대단히 높은 전하이동도 ($80 \text{ cm}^2/\text{Vs}$)와 비교적 우수한 10^5 의 on/off ratio를 갖는 투명한 TFT 소자 제작을 발표하였다.

Fig. 4에서 트랜지스터 채널물질은 InO^{2-} 층과 $\text{GaO}(\text{ZnO})^{5+}$ 층이 반복적으로 배열되어 있는 초격자구조를 갖고 있으며 [0001]방향으로의 전하이동도가 높은 것으로 추정되었다. 그러나 상기 소자는 1400°C 이상의 고온 열처리를 요구하기 때문에 실제 디스플레이 소자로써의 응용이 거의 불가능한 단점이 있었다.

현재와 같은 산화물 TFT 소자기술에 대한 전 세계적인 연구 및 개발의 계기는 동경 대학의 Hosono 교수 그룹에서 2004년 Nature지에 비정질 InGaZnO (IGZO) 박막을 이

용한 TFT소자 제작을 발표하고 난 이후이다. 특히 비정질 IGZO 박막의 경우에는 PLD (Pulse Laser Deposition) 방법을 이용하여 상온에서 증착이 가능하기 때문에 플라스틱 기판위에서도 이동도 $10\text{cm}^2/\text{Vs}$, on/off ratio 10^6 의 우수한 TFT 특성을 나타낸다.

Fig. 5에서 알 수 있듯이, 이들은 산화물에서 금속의 최외각 전자 중 방향에 따른 비등방성이 가장 작은 s-오비탈 파동함수 overlap이 전자의 밴드 전하 수송에 기여하기 때문에 비정질 박막임에도 불구하고 $10\text{cm}^2/\text{Vs}$ 이상의 높은 이동도를 가질 수 있다고 설명하였다. 이에 비해 실리콘 반도체의 경우는 전자전도대가 sp^3 오비탈의 반결합에 의해 형성되는데, 사면체 방향으로의 전자존재 방향성을 갖기 때문에 다이아몬드 결정 구조를 가질 때의 약 $1000\text{cm}^2/\text{Vs}$ 정도의 이동도가 비정질 상으로 변화하면 많은 gap states 생성으로 인해 불과 $1\text{cm}^2/\text{Vs}$ 수준의 이동도를 갖게 되는 것으로 이해할 수 있다. 그리고 기존 ZnO등의 다결정 산화물 박막에 비하여 소자의 높은 이동도 및 균일도 확보 측면에서 재료의 가치 우위를 가질 수 있다고 주장하였다. Hosono 교수 그룹의 발표이후 전 세계적으로 산화물 트랜지스터의 연구는 매우 활발하게 진행되어 오고 있다. 최근까지 연구된 내용은 주로 산화물 트랜지스터의 이동도, 게이트 스윙, on/off ratio 등의 디바이스 특성을 개선하기 위한 방향이었는데, 크게 분류하면 1) 고성능을 갖는 신규 반도체 재료 자체를 개발, 2) 접촉저항을 감소시키기 위한 공정 및 소자구조 연구, 3) 저전압구동을 위한 고유전 박막을 게이트 절연막으로 대체하려는 시도 등이 최근 집중적으로 연구되고 있다.

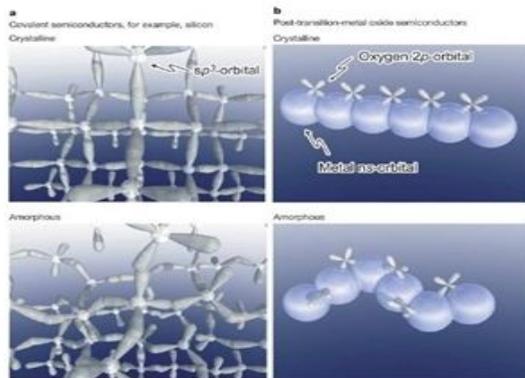


Fig. 5 Orbital structure comparison of Silicon and InGaZnO semiconductor material

산화물 TFT는 산화물이 가지는 화학 결합의 특성상 상대적으로 큰 밴드갭(>3eV)을 가지기 때문에 가시광영역에서 투명한 특성을 보이고 있다. 이런 특성으로 투명 TFT(Transparent TFT)을 특성을 가진다.

2000년대 이후 저온 증착이 가능하며 비정질형태의 IGZO가 개발되면서 본격적으로 연구되고 있다. 특히 AMOLED나 AMLCD의 하판 TFT대용으로 연구 되고 있으며 AMOLED 응용에 있어서 가장 앞서고 있다.



Fig. 6 산화물 반도체를 적용한 12.1" OLED (SID2008, 삼성 SDI)

현재 제작공정 개발현황은 많은 발전이 이루어졌는데, 일반적으로 널리 사용되는 스퍼터링 증착 방법 이외에도 ALD, PLD, 상압 플라즈마, MOCVD 방법 등이 사용되고 있으며 용액공정을 이용한 방법까지도 개발 되어 있는 상태이다.

아직까지는 양산화 계획이 발표된 것은 없지만 AMOLED분야에서 기존의 poly-Si TFT나 TFT-LCD의 a-Si TFT를 대체할 수 있는 가장 유력한 후보로 산화물 TFT가 부각되고 있다. 특히 일본 및 국내의 주요 panel maker에서는 활발히 연구되고 있다.

2.2.2 산화물 채널 물질 연구

지금까지 연구된 반도체 채널 재료는 Table 3에서처럼 InGaO, InGaZnO, InZnO, SnGaZnO ZnSnO 등과 같이 매우 다양하다. 가장 대표적인 광대역반도체 재료는 ZnO 반도체인데, 주로 UV 감지소자, LED와 같은 광소자, SAW 필터와 같은 압전소자 등의 적용을 목표로 많은 연구가 진행되어 왔으며, TFT 소자의 채널재료로의 집중적인 관심은 2004년 Fortunato 그룹이 $20\text{cm}^2/\text{Vs}$ 이상의 고이동도 특성을 갖는 ZnO 트랜지스터 제작을 발표하고 난 이후에 시작되었다. 그러나 ZnO 박막은 증착과정에서 결정화가 매우 쉽게 발생하기 때문에 대면적화에 적합한 비정질상을 얻기가 쉽지 않고, 결정입계의 존재 때문에 TFT 소자의 이동도 및 문턱전압 산포 문제가 발생할 가능성이 높은 단점이 있다.

평판디스플레이 소자의 투명 전도막으로 널리 이용되는 InSnO와 InZnO 박막은 증착 중 산소분압을 적절히 증가시킴으로써 반도체 성질을 띠게 제작할 수 있고, 비교적 높은 이동도를 가질 수 있으나 공통적으로 In 양이온 함유량이 많아 누설전류가 높고, 경시 변화 문제점과 열약한 DC bias 및 광 신뢰성의 문제점이 있다.

Material	Cost	Metal Target T_{\max} (°C)	Low Temperature Processability ($< \sim 300$ °C)	Etchability
IGO	high	15.5	good	easy
IGZO	high	~ 61	good	easy
IZO	high	143.5	very good	easy
TGZO	high	~ 52	?	?
ZTO	low	198.5	poor	difficult

Table 3 지금까지 연구된 산화물 채널 물질

InGaZnO 반도체 재료는 In_2O_3 가 이동도 개선제로, ZnO가 네트워크 형성제로, 그리고 Ga_2O_3 가 전하억제 및 네트워크 안정제로 작용하기 때문에 가장 우수한 신뢰성을 갖는 산화물 반도체 재료 중 하나이다. 그러면서도 이동도 $10\text{cm}^2/\text{Vs}$ 이상의 특성을 갖고 TFT 특성 최적화도 비교적 용이하여 삼성, LG, Cannon과 같은 대기업에서 집중적으

로 연구 및 개발이 진행되어 왔다. 그래서 대부분의 산화물 TFT 소자가 적용된 AMOLED 패널은 InGaZnO 산화물 반도체를 사용하였다. 그러나 이러한 장점에도 불구하고 In 및 Ga 원자는 대표적인 희유금속일 뿐만 아니라 가격 또한 높기 때문에 최근에는 In, Ga이 적게 포함되거나 혹은 포함되지 않는 새로운 다성분계 채널재료에 대한 탐색도 활발하게 진행 중에 있다. 이러 관점에서 전 세계 매장량이 풍부한 ZnO, SnO₂의 이성분계 산화물인 ZnSnO 반도체 재료에 관심이 쏠리고 있다. 그러나 아직까지도 Sn 원자의 정확한 물리적, 전기적인 역할규명이 미흡하고, ZnSnO 이성분계만으로 기존 InGaZnO TFT 소자특성 및 신뢰성에 근접한 특성을 확보할 수 있는지의 여부는 확실치 않다.

2002년에 Nomura등은 단결정 Superlattice구조의 InGaO₃(ZnO)₅를 만들었다. 산화물 반도체는 특정 원소들이 낮은 온도에서 끊어져 증발하기 때문에 특정 방향으로 성장하기가 쉽지 않다. 그래서 R-SPE(Reactive Solid Phase Epitaxy) 공정을 이용하여 단결정 IGZO를 만들었고, 단결정 IGZO TFT에 대한 연구를 발표하였다[25]. 그 후 Flexible Display의 TFT로 응용하기위해 비정질 상태의 IGZO에 대한 연구를 진행하였고, 2004년에 Nature지를 통해 상온에서 Flexible기판 위에 증착한 비정질 IGZO TFT를 제작하여 발표하였다[26]. 2007년에 Nomura등은 EXAFS(Extended X-ray Absorption Fine Structures)를 이용하여 IGZO의 결정질구조와 비정질구조에 대한 내용을 발표하였고, 각각의 구조를 Fig. 7에 나타내었다.

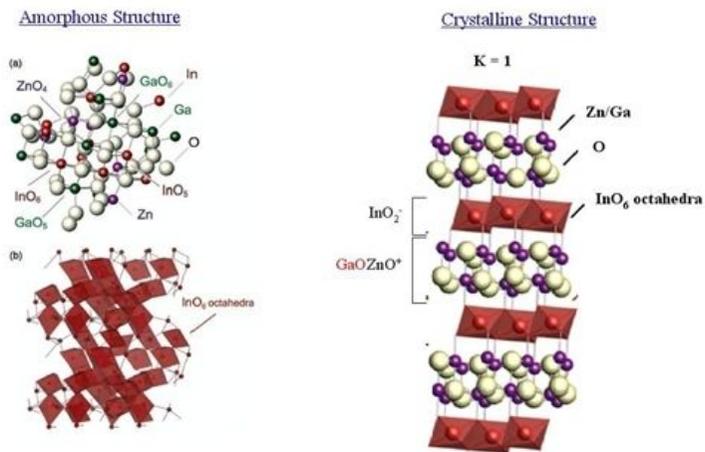
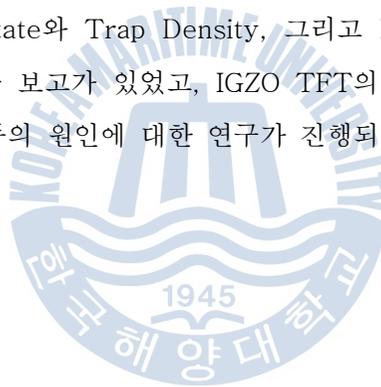


Fig. 7 Amorphous structure and Crystal structure of IGZO (2007)

이와 같이 일본 동경공대의 Hosono 교수를 중심으로 비정질 IGZO TFT에 대한 보고가 이루어진 이후에 Fortunato 교수 그룹, North Carolina State University의 Suresh 그룹 등의 학계와 LG 전자, 삼성 SDI, 삼성전자 등에서 2008년까지 많은 보고가 있었다. 2006년 일본의 Toppan Printing 사에서는 IGZO TFT를 적용한 최초의 컬러 E-Paper를 발표하였고, 2007년 E-MRS에서 100ppi의 해상도에 QVGA급 4inch 컬러 E-Paper를 시연하였다. 2007년 SID 학회에서 LG 전자는 IGZO TFT를 백플레인으로 하는 3.5inch QCIF(Quarter Common Intermediate Format) AMOLED(Active Matrix Organic Light Emitting Diode) 시제품을 전시하였고, 2008년 삼성 SDI가 12.1inch WXGA(Wide Extended Graphics Array) AMOLED 디스플레이를 발표하였다. 같은 시기에 삼성전자는 1.5inch XGA(Extended Graphics Array)급 AMOLED를 구현하였다.

2007년 이래로 IGZO의 공정 특성과 물질 특성에 대한 상세한 연구가 진행되면서 비정질 IGZO의 Subgap State와 Trap Density, 그리고 IGZO 안의 원자들의 특성에 대한 구조와 특성들에 대한 보고가 있었고, IGZO TFT의 전기적 특성에 대한 문턱전압, Subthreshold Swing 등의 원인에 대한 연구가 진행되었다.



2.2.3 TFT의 문제점 및 해결방안

최근 박막 트랜지스터의 채널로서 가장 각광받고 있는 비정질 산화물 반도체의 이동도 측면에서는 다결정 실리콘 TFT와 비교하여 전기이동도가 작고 바이어스 안전성이 확보되지 않은 실정이지만, AMOLED 픽셀 구동용으로 부족하지 않는 특성을 나타내고 있다. 공정 측면에서는 아직까지 표준 공정이라고 부를 만한 공정은 개발되지 못하고 있다. ZnO와 같은 다결정 박막 형태를 가지는 산화막의 경우에는 고온 증착 공정 혹은 고온 열처리 공정이 필요하고, IGZO와 같은 비정질 형태를 가지는 산화물의 경우에는 PLD 공정이 좋은 특성을 보여주고는 있지만, 두 공정 모두 디스플레이등 양산공정에는 직접 응용될 수는 없는 공정이고, 실제로 널리 쓰이고 있는 스퍼터링 공정의 경우에 아직까지 많은 공정 변수가 존재하며 특히 산소 분압의 영향이 큰 것으로 알려져 있지만, 증착 시스템에 따라 혹은 스퍼터링 타겟 물질에 따라 소자 특성 경향이 다르게 나타난다. 이렇듯 아직까지는 산화물 TFT를 구성하고 있는 표준물질이나 공정이 확립되어 있지 않기 때문에 좀 더 많은 연구가 수반되어야 한다. 투명전자소자를 제조하기 위한 공정개발에서 가장 문제가 되고 있는 것은 투명전자소자를 구성하고 있는 물질이 주로 산화물이라는 것이다. 거의 비슷한 성분을 가지고 있기 때문에 식각시 선택 비를 확보하는 것이 쉽지 않다. 또한 대부분의 산화물이 고온공정을 거쳐야 안정된 특성을 보이는 것이 많기 때문에 적절한 저온 공정을 확보하는 것도 중요한 문제이다.

TFT를 실제 소자에 적용하기 위해서는 온도에 따른 특성 변화 평가도 이루어 져야 된다. 일반적으로 온도에 따른 특성은 Conduction이 이루어지는 에너지 준위와 페르미 에너지 준위와의 차이에 대한 지수함수 꼴로 나타나게 된다. 즉 그 차이가 클수록 온도에 대한 민감한 특성을 지닌다고 할 수 있다. 산화물 반도체의 경우 Si 반도체에 비하여 상대적으로 에너지 갭이 크기 때문에 Conduction이 이루어지는 에너지 준위와 페르미 에너지 준위와의 차이는 클 가능성이 많다. 따라서 온도에 대해서도 변화가 클 것으로 예상되며 이를 극복하기 위한 설계방법이 개발되어야 한다.

현재까지 투명 박막 트랜지스터는 주로 하부 전극 형식의 구조로 연구가 진행되어 왔으며, 상부 전극 형식의 구조도 몇몇 보고되었다. 하부 전극 형식의 구조가 상부전극 형식의 구조에 비해 더욱 많이 보고되고 있는 것은 구조제작이 더 용이하기 때문이며, 상부전극에 비해 덜 세밀한 작업과 에칭공정을 피할 수 있기 때문에 선호되어 온 것으로

로 생각된다. 이에 비해 상부전극 형식의 경우 디바이스 제작 시 복잡한 공정을 거쳐야 하며, 채널의 에칭을 실시해야 하는데 모든 층이 산화물로 구성되어 있는 투명 박막 트랜지스터의 경우, 선택성이 떨어지기 때문에 디바이스 성능에 적지 않은 영향을 주게 되는 것으로 알려져 있다. 실제로도 보고된 논문들의 대부분 패턴을 형성하기 위하여 리프트오프 방법이나 새도우 마스크를 이용하고 있다. 뿐만 아니라 하부전극 형식으로 제작된 디바이스가 상부전극 형식으로 제작된 것들에 비하여 성능이 매우 좋게 나타나고 있다.

안정성에 대한 문제는 새롭게 개발될 TFT 소자에 있어 언제나 요구되고 있는 항목이다. 산화물 TFT의 경우 초기 응용제품이 AMOLED로 예상되고 있으므로 전류가 계속 흐르는 상황에서도 안정한 특성을 보여야 한다. 만약 LCD나 e-paper에 쓰이기 위해서는 전압에 대한 안정성만 확보되면 된다. 현재까지 알려진 특성을 보면 현재 LCD나 e-paper에 쓰이고 있는 비정질 실리콘 TFT에 비하면 우수한 안정성을 가진 것으로 알려져 있으나 AMOLED에 쓰이고 있는 다결정 실리콘 TFT에 비해서는 안정성이 나쁜 것으로 알려져 있다. 안정성에 가장 큰 영향을 주는 요인은 활성층과 절연막층 사이의 계면인 것으로 알려져 있다. 특히 절연막층으로의 전하 트래핑을 최소화하기 위해서 산화물 반도체와의 계면에 형성되는 결합이 적은 절연막에 대한 개발이 절실하게 필요하다.

최근 말수 있고 구부릴 수 있는 디스플레이 구현을 위하여 플라스틱 기판 위에 안정적인 트랜지스터 제작을 위한 연구들이 많이 진행되고 있다. 최근 glass 기판과 비슷한 특성을 내도록 하는 기판의 보호층 처리와 같은 여러 가지 연구가 이루어지면서, PES (poly-ethersulfone)기판을 중심으로 한 플렉시블한 전자 소자에 대한 연구가 더욱 탄력을 받고 있다. 산화물 반도체를 이용한 트랜지스터도 최근 몇몇 연구팀들에 의하여 PI (poly-imide)와 PET (poly-ester)위에 성공적으로 제작되었는데 초기 단계인 만큼 만족할 만한 수준의 결과를 얻지는 못하고 있다. 기판의 문제를 논외로 하고, 플렉시블 트랜지스터에서는 기판과 트랜지스터 층들 사이의 안정적인 밀착력이 트랜지스터의 특성에 있어 가장 큰 이슈가 될 것이며, 기판을 구부렸을 경우 그 관계는 더욱 밀접해진다. 구부리지 않았을 경우 대부분의 논문들이 채택하고 있는 하부 게이트 구조의 방식은 큰 문제가 없을 것으로 생각되지만, 구부림에 따른 특성에 있어서는 기판과의 밀착력을 위해 더욱 세밀한 패턴을 갖는 디바이스의 제작이 필요할 것으로 판단된다.

2.2.4 IGZO TFT를 이용한 사례

국내에서는 현재 일부 기업과 연구소, 학교 등에서 연구가 시작되고 있으며 정부 과제 형태를 띤 연구 개발도 활발히 진행되고 있다. 기업으로는 LG전자, 삼성 SDI, LG 화학 등이 연구를 진행하고 있으며 ETRI, KIST, 광주과학기술원, 그리고 연세대, 한양대, 광주과학원, 경북대, KAIST, 등 여러 대학, 연구소에서 연구가 진행 중에 있다.

주로 연구되고 있는 분야는 가장 먼저 응용가능성이 높다고 생각되는 TFT에 대한 것으로 많은 연구기관에서는 투명전도체 대신에 금속을 사용하여 산화물 반도체만을 이용한 산화물 트랜지스터의 형태로 연구개발이 진행되고 있다. Fig. 8은 LG전자에서 2007년 SID에서 발표한 IGZO-TFT 구동 AMOLED의 패널 모습이다.

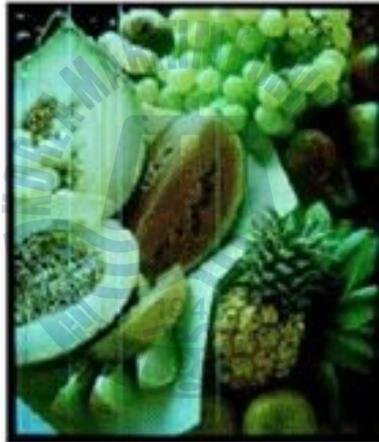


Fig. 8 IGZO-TFT로 구동된 AMOLED 패널 (SID 2007)

Fig. 9는 2010년 Sony에서 11.7인치급 AMOLED패널에 IGZO TFT를 적용하여 SID에 전시하였다. Contrast비가 10^6 이상, Resolution=960 RGB x 540, mobility=11.5 cm^2/Vs , S.S=0.3 V/decade특성을 가지고 10년 이상을 lifetime을 가지는 디스플레이를 구현하였다.



Fig. 9 IGZO-TFT로 구동된 11.7인치급 AMOLED 패널 (SID 2010)



2.3 층간 절연막(IDL)의 종류와 특성

TFT의 전기적인 특성을 향상시키는 변수로는 채널층, 게이트 절연막, 그리고 채널과 게이트 절연막 사이의 interface가 중요한 변수이다. 그 중에서도 interface는 통로 역할을 하는 채널층과 게이트 절연막 사이에 있는 구간이므로 복잡하고 어떠한 물리적인 파라미터로 정확하게 구현하기 힘들다[1].

2.3.1 Silicon nitride(Si_3N_4)

Si 기판에서 널리 사용되고 있는 Si_3N_4 박막은 Si/ SiO_2 계면 traps를 감소시키고, hot carrier immunity를 급격히 향상시킨다. 또한 SiO_2 /gate electrode 계면에서 확산 방지막의 역할을 하며, 초미세 소자에서 electron tunneling과 breakdown을 방지한다. 실제 공정에서의 적용은 다음과 같다.

첫째로 Si_3N_4 는 산소의 확산을 막아주는 역할을 한다. 실리콘 산화막의 경우에는 고온에서 산소가 매우 빠른 속도로 확산을 하게 된다. 그러나 Si_3N_4 는 고온에서도 산소와의 반응이 잘 일어나지 않아 Si_3N_4 막 위에는 매우 얇은 두께의 산화막 만이 성장하게 된다. 이 특성을 이용한 것이 LOCOS 공정이다.

둘째로 산화막에 비해 높은 유전상수를 가진다. (약 1.8배) 축전 용량은 유전상수에 비례하기 때문에 Si_3N_4 막은 같은 두께의 산화막에 비해 더 많은 축전 용량을 가지며 이에 따라서 DRAM에서 capacitor의 유전막으로 더 유리하다.

2.3.2 Aluminum oxide(Al_2O_3)

반도체 소자를 위한 절연 및 유전막으로 사용되는 SiO_2 는 실리콘과의 계면 특성이 우수하고 재현성이 뛰어나며 쉽게 열산화막을 형성시킬 수 있는 장점을 가지고 있다. 그러나 소자의 집적도가 더욱 증가하면서 누설전류의 값이 증가하고, dielectric reliability가 감소하면서 이를 대체할 새로운 고유전 절연막(high-k dielectric)을 개발하고자 하는 연구의 필요성이 대두되고 있다. 대체 절연막은 SiO_2 보다 높은 유전상수를 가지면서 누설 전류를 적절한 값으로 유지하기 위해 SiO_2 처럼 충분히 큰 band gap 에너지를 가져야 한다. 또한 Si 기판과의 열적 안전성과 적합성 역시 중요하다.

Al_2O_3 은 8~10 정도의 유전상수 값을 가지고, 7~9 eV 정도의 band gap을 가져 SiO_2 를 대체할 유력한 절연막의 하나로 생각되고 있다[2-4].

고유전 물질을 적용하기 위해서는 기판과의 stability에 대한 연구가 필요하다. 예를 들어 Ta_2O_5 박막의 경우 후속 어닐링 공정 중, Ta_2O_5 박막의 환원에 의해 $\text{Ta}_2\text{O}_5/\text{Si}$ 계면에서 interfacial SiO_2 layer의 형성이 보고되었다[5-6].

Si 계면에서 형성되는 이러한 interfacial layer는 증착을 원하는 고유전 물질에 비해서 상대적으로 낮은 유전상수를 가지므로 high-k dielectric의 활용을 위해서는 반드시 이를 억제하고 최소화 할 수 있는 연구가 필요하다.

2.3.3 층간 절연막

Fig 10은 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 다층구조의 게이트 절연막으로 유전상수가 ~ 30 인 HfO_2 주된 게이트 절연막으로 양쪽에 10 nm 두께로 Al_2O_3 층을 증착했다. Al_2O_3 층은 게이트 전극과 게이트 절연체, 그리고 게이트 절연체와 채널층 사이의 인터페이스를 형성함으로 전하 트랩의 장벽으로 사용했다. 그리고 높은 전하밀도의 HfO_2 층은 누설 경로를 제공할 수 있지만, Al_2O_3 장벽층의 삽입함으로 누설전류를 줄일 수가 있다[7].

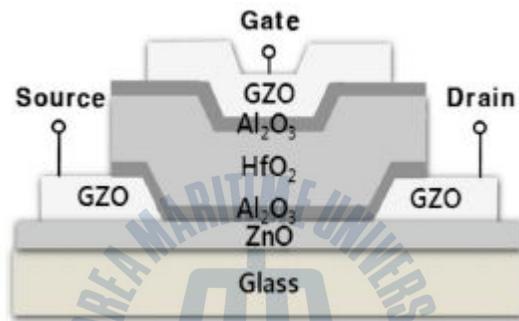


Fig. 10 게이트 절연막으로 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 다층구조를 가진 TFT

ALD를 이용하여 $\text{ATO}(\text{AlO}_x + \text{TiO}_x)$ 를 게이트 절연체로 이용하여 bottom gate oxide TFT를 제작하였다[8].

우수한 전기적인 특성을 가진 TFT를 제작하기 위해서는 다양한 게이트 절연체의 종류, 증착 방법, 그리고 소자 구조와 같은 다양한 변수가 존재함으로 구현하기 어렵다. 그러나 가능한 방법은 TFT의 전기적인 특성과 관련된 다양한 결함밀도, 물리적인 충돌과정인 없는 인터페이스를 만드는 것이다. 게다가 화학적으로 처리된 유전층을 가지는 Top gate 구조가 Bottom gate보다 더 선호될 것이다[9].

2.4 IGZO TFT 시뮬레이션

TFT의 특성을 시뮬레이션하기에는 Fig. 11과 같이 지수적인 상태 밀도인 band-tail states와 가우시안 상태 밀도인 deep-level states를 수치화하는 것이 필요하다.

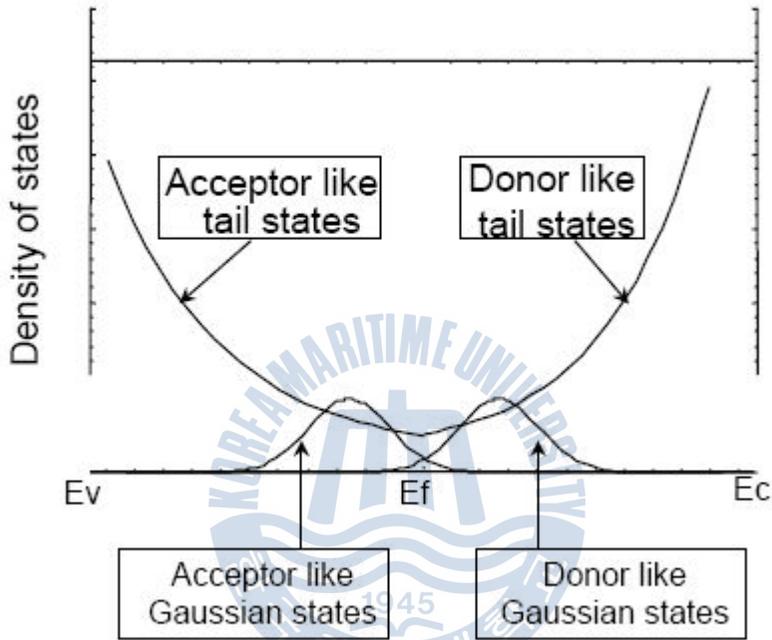


Fig. 11 시뮬레이션에 필요한 상태 밀도

Acceptor-like band-tail states와 donor-like band-tail states는 다음과 같이 정의된다.

$$g_{TA}(E) = N_{TA} \exp\left[\frac{E - E_C}{w_{TA}}\right] \quad \text{식 7}$$

$$g_{TD}(E) = N_{TD} \exp\left[\frac{E_V - E}{w_{TD}}\right] \quad \text{식 8}$$

여기서 E는 trap energy, E_C 와 E_V 는 conduction band edge와 valence band edge,

$g_{TA}(E)$ 와 $g_{TD}(E)$ 는 acceptor-like states와 donor-like states의 상태 밀도, N_{TA} 와 N_{TD} 는 conduction band 와 valence band edge-intercept-densities, 그리고 w_{TA} 와 w_{TD} 는 acceptor-like states와 donor-like states의 characteristic decay energies이다. Deep-level states도 역시 acceptor-like와 donor-like states로 다음과 같이 정의된다.

$$g_{GA}(E) = N_{GA} \exp \left[- \left[\frac{E_{GA} - E}{w_{GA}} \right]^2 \right] \quad \text{식 9}$$

$$g_{GD}(E) = N_{GD} \exp \left[- \left[\frac{E - E_{GD}}{w_{GD}} \right]^2 \right] \quad \text{식 10}$$

여기서 N_{GA} 와 N_{GD} 는 acceptor-like states와 donor-like states의 전체 상태 밀도, w_{GA} 와 w_{GD} 는 acceptor-like states와 donor-like states의 characteristic decay energies, E_{GA} 와 E_{GD} 는 acceptor-like states와 donor-like states의 최대 에너지의 분포이다. 이것으로부터 갭에서 전체 상태 밀도를 다음과 같이 계산할 수 있다.

$$g(E) = g_{TA}(E) + g_{TD}(E) + g_{GA}(E) + g_{GD}(E) \quad \text{식 11}$$

제 3 장 실험

3.1 산화물 TFT 시뮬레이션

본 연구에서는 소자 시뮬레이터인 ATLAS를 이용하여 산화물 박막 트랜지스터 시뮬레이션을 진행하였다. 2-3D TFT 소자를 시뮬레이션하기 위해, 물리 모델과 특수한 수치 기법을 탑재한 고급 소자 기술 시뮬레이터이다.

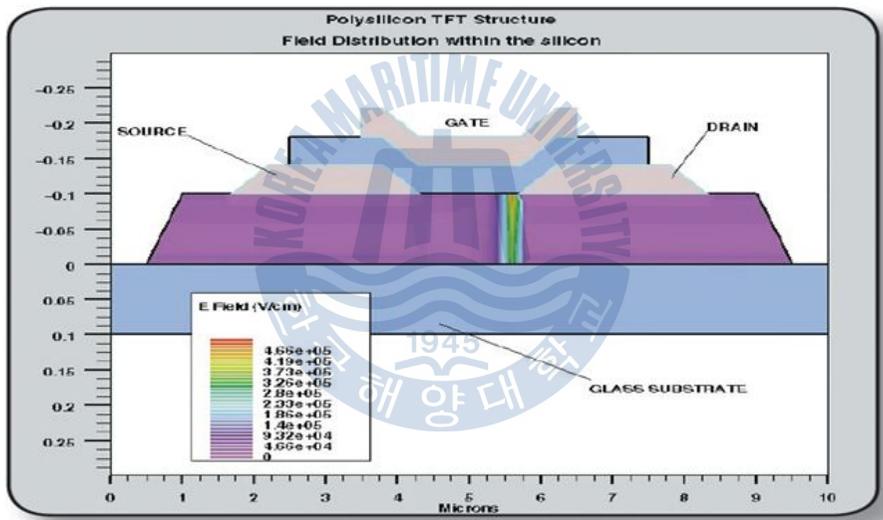


Fig. 12 산화물 박막 트랜지스터 시뮬레이션 ATLAS

3.1.1 산화물 TFT 시뮬레이션 파라미터 설정

밴드갭은 3.4eV, 유전상수는 8.12, donor level은 0.03eV이다. N_{TA} , w_{TA} , N_{GA} , w_{GA} , E_{GA} 는 각각 $2.3 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$, 0.08 eV, $3.2 \times 10^{16} \text{ cm}^{-3} \text{ eV}^{-1}$, 1.5 eV, 그리고 3.4 eV이다. 전도대와 가전자대의 유효 상태 밀도 식은 다음과 같이 계산하였다.

$$N_C = 2 \left(\frac{2\pi m_n^* kT}{h^2} \right)^{3/2} \quad \text{식 12}$$

$$N_V = 2 \left(\frac{2\pi m_p^* kT}{h^2} \right)^{3/2} \quad \text{식 13}$$

전도대역의 전자의 유효질량(m_n^*)과 가전자대역의 정공의 유효질량(m_p^*)은 전자의 질량 m_0 을 0.318 m_0 , 0.5 m_0 이다. 여기서 T: 절대온도(300K 일 때), k: 볼츠만 상수, h: 플랑크 상수이다. 이러한 파라미터를 이용하여 식-6, 식-7에 대입하여 계산한 결과 $N_C = 4.5 \times 10^{18} \text{ cm}^{-3}$, $N_V = 8.87 \times 10^{18} \text{ cm}^{-3}$ 로 나왔다. Bulk electron mobility (μ_n)는 $15 \text{ cm}^2 \text{ V}^{-1} \text{ sec}^{-1}$, 일반적으로 보고된 값에서 정하였다[7, 21, 22]. n-type 산화물 반도체 겹에서는 Donor-like states가 TFT의 특성에 거의 영향을 끼치지 못하므로 고려하지 않았다. 계산된 결과는 다음과 같다.

NTA [cm^{-3}/eV]	WTA [eV]	NGA [cm^{-3}]	WGA [eV]	EGA [eV]
2.3×10^{18}	0.08	3.2×10^{16}	1.5	3.4

Table 4 시뮬레이션에 필요한 파라미터

3.1.2 산화물 TFT 소자 시뮬레이션

TFT 소자 시뮬레이터인 ATLAS를 이용하여 다음과 같은 조건으로 시뮬레이션 하였다.

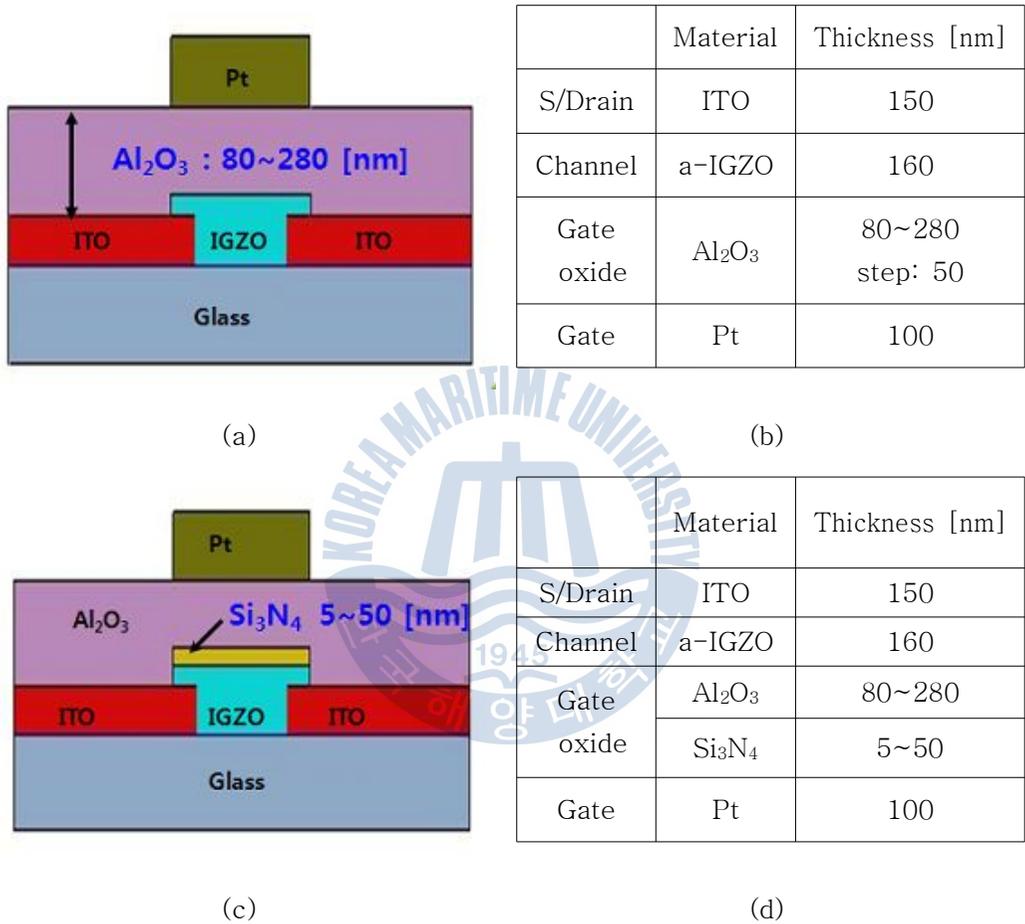


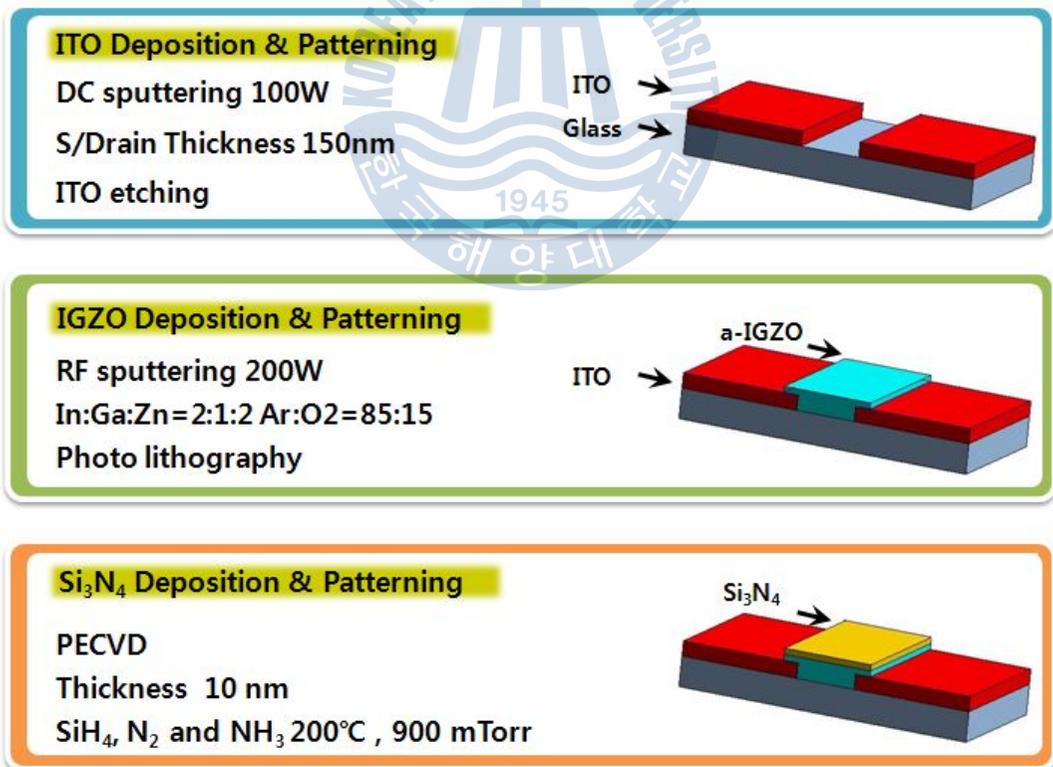
Fig. 13 IGZO TFT 시뮬레이션 조건 (a) Device simulation structure of Al₂O₃ OTFT, (b) Al₂O₃ OTFT deposition material & thickness, (c) Device simulation structure of Si₃N₄ OTFT, (d) Si₃N₄ OTFT deposition material & thickness

3.2 산화물 TFT 제작

본 실험에서는 Glass 기판위에 Top gate 형태로 150 nm 두께의 ITO를 증착하여 Source-Drain 전극을 형성하였다. 전극 증착 전에 기판을 아세톤과 메탄올 용액에 초음파 세척기로 유기세척 한 뒤, N₂ 가스로 세척한 기판을 건조시켰다.

채널 폭 40 um, 채널길이 10 um을 형성하기 위해 DC sputtering으로 증착한 ITO를 에칭으로 패터닝 한 후, RF sputtering법으로 IGZO를 채널을 증착시켰다.

채널 형성 후에는 PECVD (Plasma Enhanced Chemical Vapour Deposition)방법으로 Si₃N₄ 산화막 증착을 위해 SiH₄, N₂, NH₃을 소스로 200 °C의 온도에서 증착하였다. Al₂O₃은 ALD(Atomic Layer Deposition)방법으로 150 °C의 온도에서 증착하였다. 게이트 전극은 DC sputtering으로 증착하였으며 포토리소그래피 공정을 통해 게이트 전극 패턴을 형성하였다. 전체적인 제작과정은 Fig. 14 과 같다.



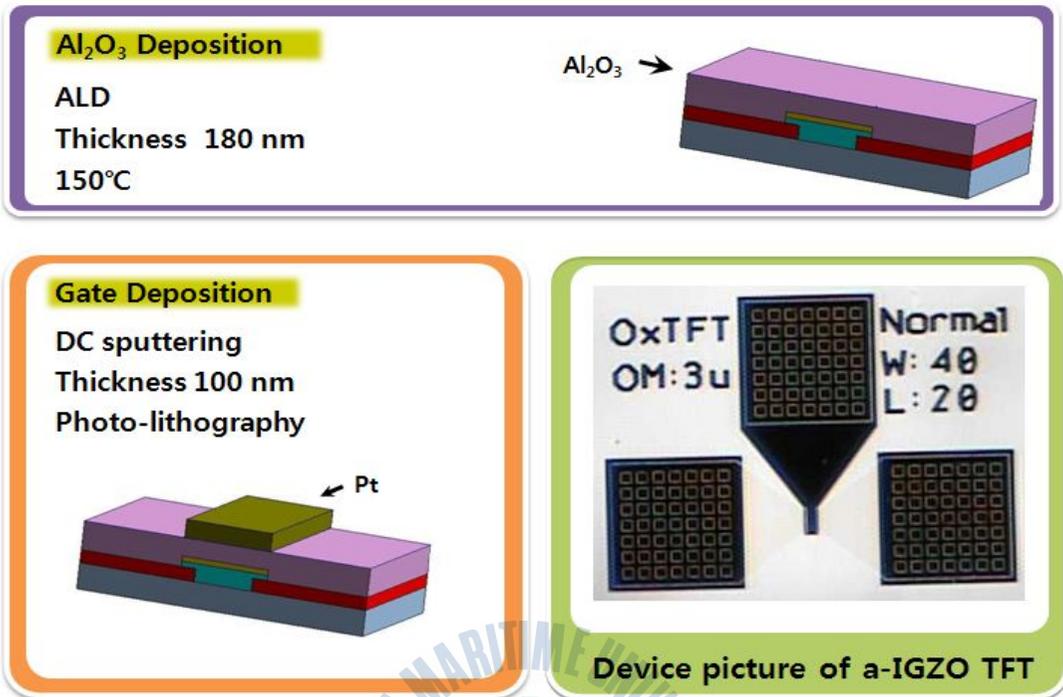


Fig. 14 IGZO TFT 제작방법

FT Fabrication Process			
	Material	Thickness [nm]	Method
S/Drain	ITO	150	DC sputtering
Channel	a-IGZO	160	RF sputtering
Gate oxide	Si3N4	10	PECVD
	Al ₂ O ₃	180	ALD
Gate	Platinum	100	DC sputtering

Table 5 IGZO TFT 증착방법

3.3 산화물 박막 트랜지스터의 전기적인 특성 분석

RF sputtering을 이용하여 증착시킨 IGZO TFT의 전기적 특성을 평가하기 위해 I-V 측정을 실시하였다. 프로브스테이션으로 측정된 I-V 특성을 반도체 파라미터 분석기인 HP-4145B를 이용하여 전기적인 특성을 측정하였다. Fig. 15는 사용한 장비의 모습이다.

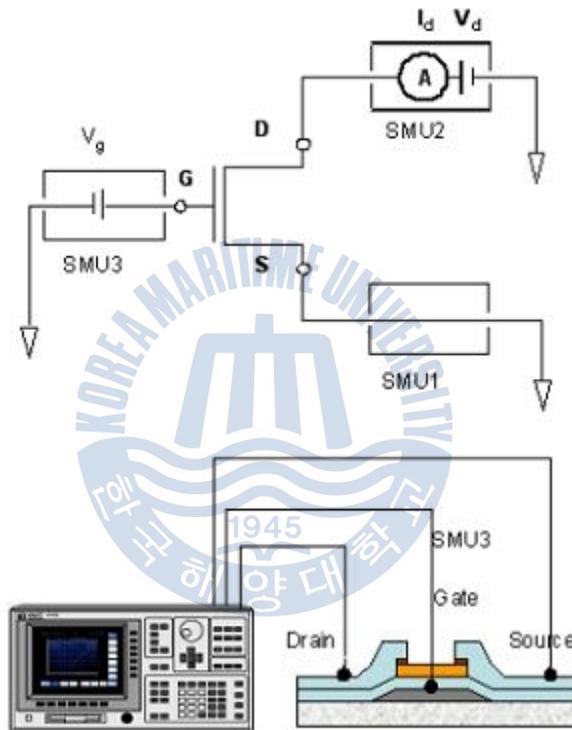


Fig. 15 전기적 특성분석을 위해 사용한 장비의 모습

제 4장 결과

4.1 산화물 TFT 시뮬레이션 결과

본 연구에서 지수적인 deep, tail 상태 밀도를 기반으로 한 물리적인 소자 시뮬레이터인 ATLAS를 이용하여 IGZO TFT를 시뮬레이션 하였다. 그리고 최적화 된 파라미터로 IGZO TFT 제작하여 O₂ 분위기에서 200 °C 1시간 동안 열처리하여 전기적인 특성을 HP-4145B로 측정하였다.

4.1.1 Al₂O₃ OTFT 시뮬레이션 결과

IGZO TFT의 최적의 조건을 색출하기 위해 Fig. 16과 같이 Al₂O₃ 두께를 80 nm에서 280 nm까지 변화시키면서 전기적인 특성, 문턱전압과 Subthreshold Swing(S.S)을 시뮬레이션을 수행하여 알아보았다.

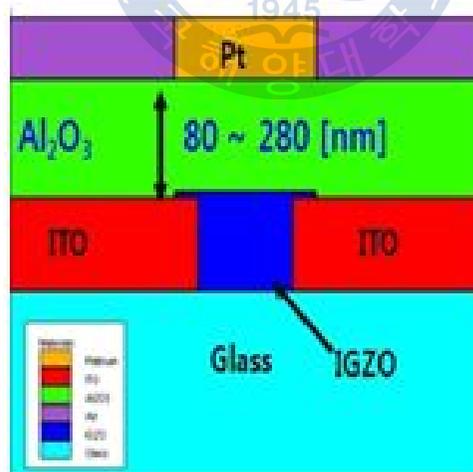


Fig. 16 Schematics cross section view of the Al₂O₃ TFT

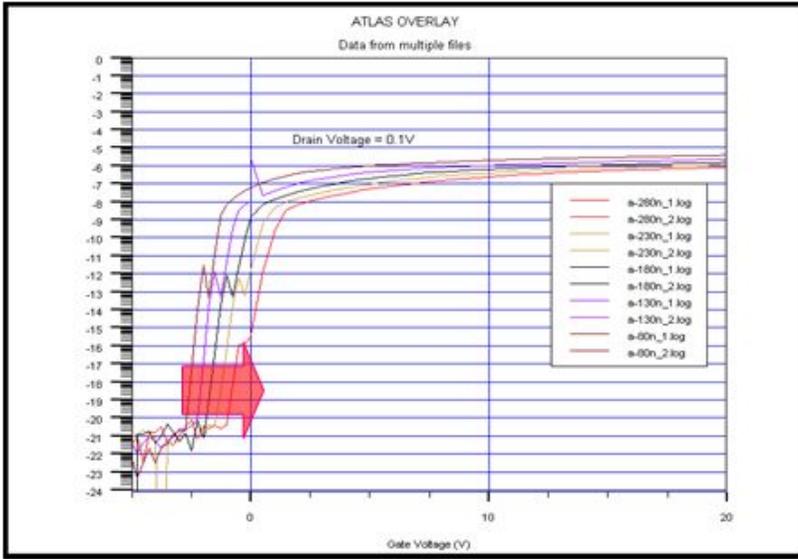


Fig. 17 Electrical characteristics of the Al_2O_3 TFT

Fig. 17은 드레인 전압이 0.1 V, 게이트 전압을 -4~20 V까지 증가시켰을 때 전기적인 특성을 파악했다. Al_2O_3 두께가 증가할수록 드레인 전류는 감소하고 문턱전압은 증가하는 것을 볼 수 있었다.

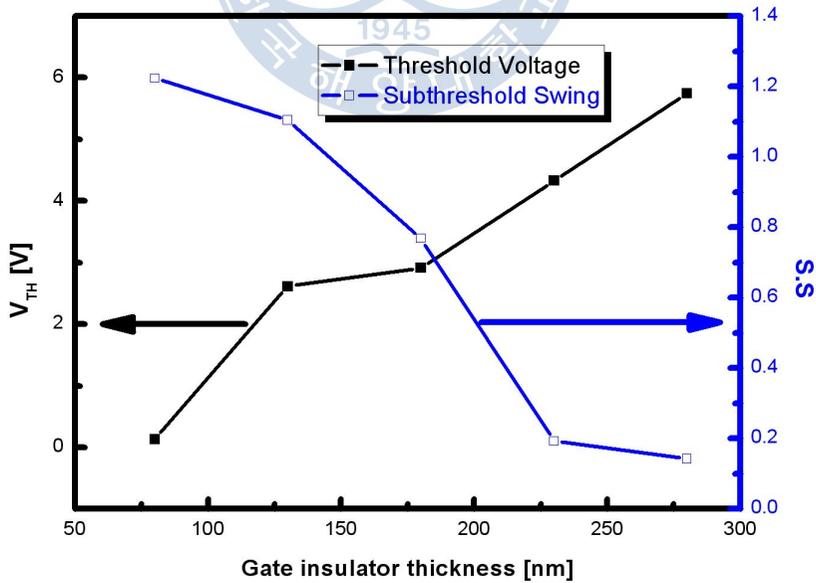


Fig. 18 Al_2O_3 두께 변화에 대한 문턱전압과 S.S의 변화

Fig. 18과 같이 게이트 절연막 두께가 증가할수록 문턱전압은 증가하지만, SS 값은 감소했다. 그 이유는 식 14와 같이 게이트 절연막 두께 증가는 게이트 산화막 커패시턴스를 감소시켜 문턱전압을 증가시키고, 문턱전압을 증가는 SS값을 감소시킨다.



4.1.2 Si₃N₄ OTFT 시뮬레이션 결과

Fig. 19처럼 층간 절연막인 Si₃N₄를 0 nm에서 280 nm까지 증착시키면서 전기적인 특성, 문턱전압과 Subthreshold Swing(S.S)을 시뮬레이션을 수행하여 알아보았다.

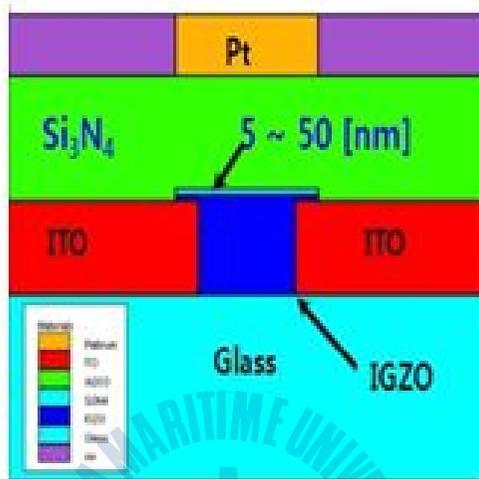


Fig. 19 Schematics cross section view of the Si₃N₄ TFT

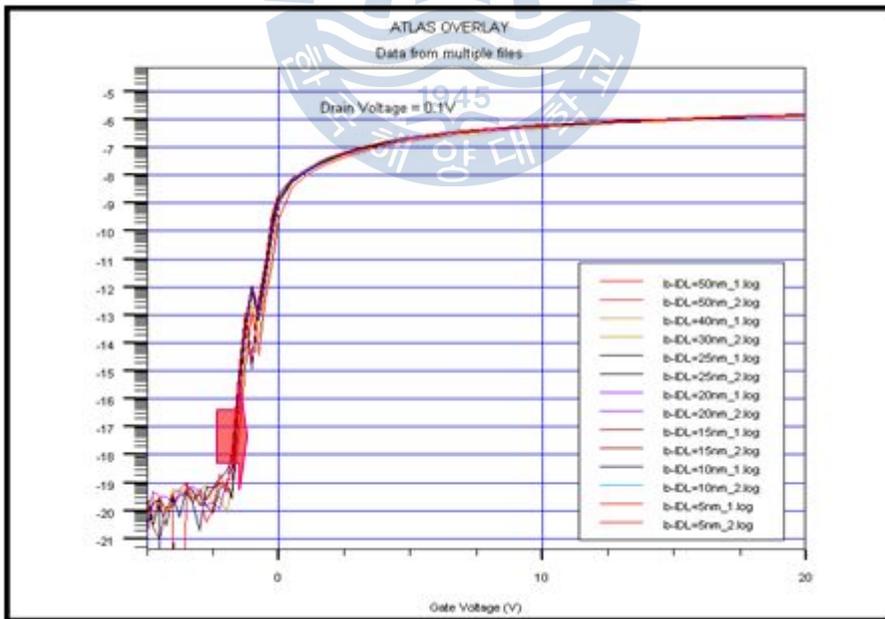


Fig. 20 Electrical characteristics of the Si₃N₄ TFT

Fig. 20은 드레인 전압이 0.1 V일 때, 게이트 전압을 -4~20 V까지 증가시키면서 전기적인 특성을 파악했다. 두께가 증가할수록 드레인 전류는 감소하고 문턱전압은 증가하는 것을 볼 수 있었다.

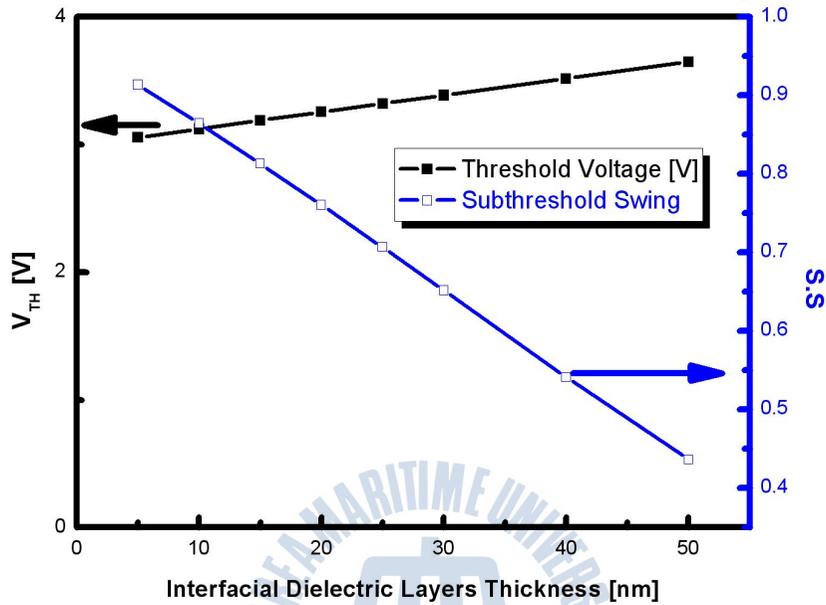


Fig. 21 Al₂O₃ 두께 변화에 대한 문턱전압과 S.S의 변화

Fig. 21과 같이 게이트 절연막 두께가 증가할수록 문턱전압은 증가하지만, SS 값은 감소했다. 그 이유는 식 15와 같이 게이트 절연막 두께 증가는 게이트 산화막 커패시턴스를 감소시켜 문턱전압을 증가시키고, 문턱전압을 증가하는 SS값을 감소시킨다.

$$\begin{aligned}
 S_t &= \ln 10 \cdot V_T \cdot N_S \\
 &= \ln 10 \cdot V_T \cdot \left(1 - \frac{C_{OX}}{C_{OX} + C_{Si}} \right) + \Delta S_t^{-1}
 \end{aligned}
 \tag{식 15}$$

여기서, V_T 는 thermal voltage, N_S 는 potential barrier limit term, S_t 는 SS, c_{ox} 는 단위면적당 oxide capacitor, c_{si} 는 단위면적당 IGZO film capacitor 이다[10].

4.2 산화물 TFT의 전기적 특성

시뮬레이션을 통해 게이트 산화막의 최적의 두께를 색출하여 Fig. 22와 같은 2개의 IGZO TFT를 제작해 전기적 특성을 측정하였다.

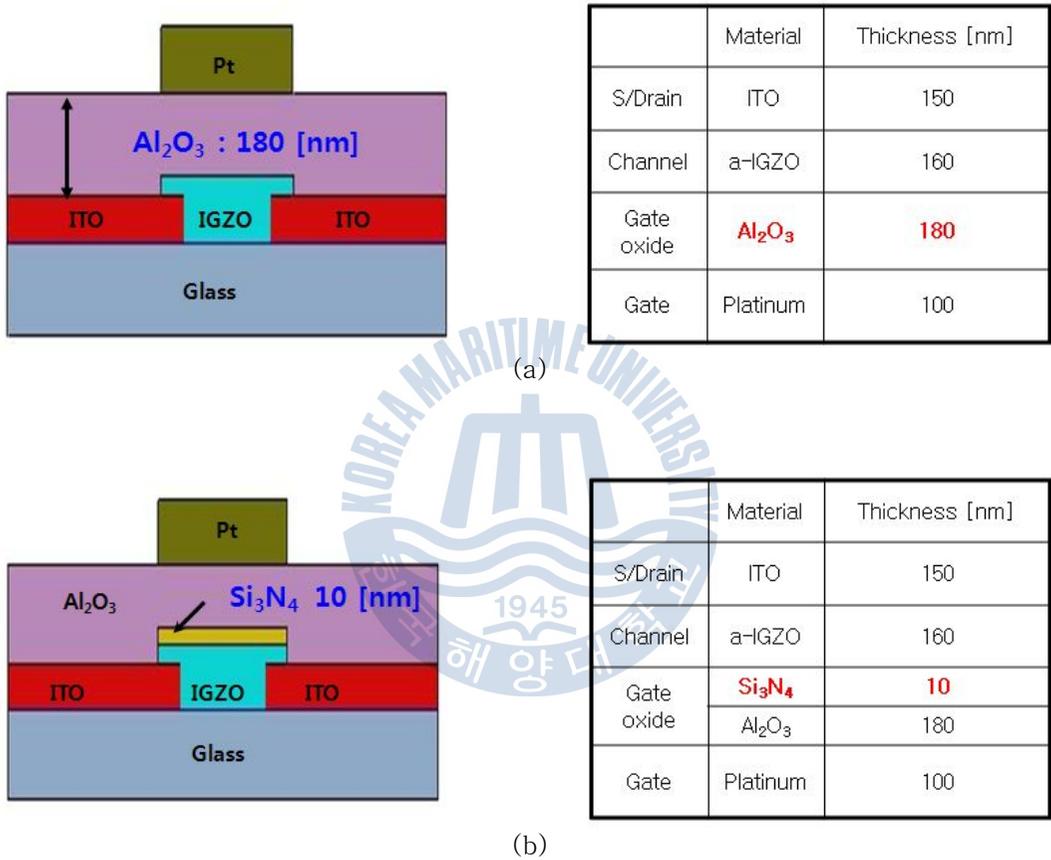
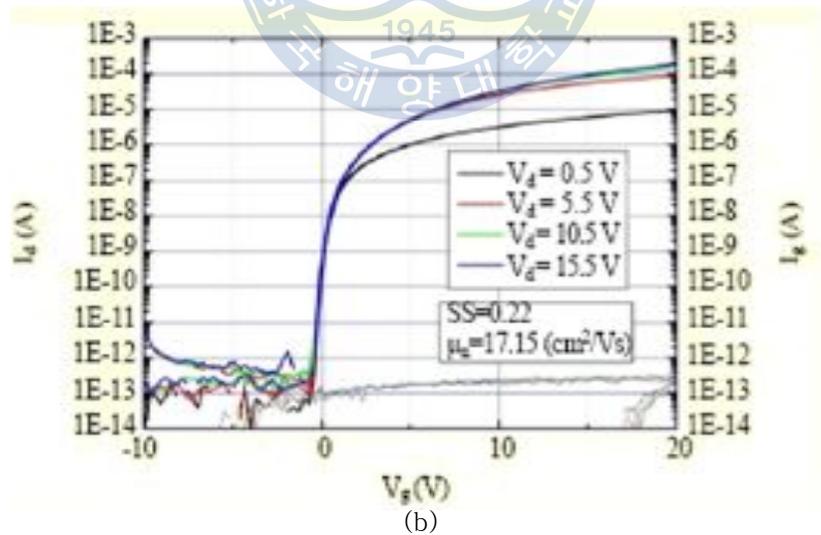
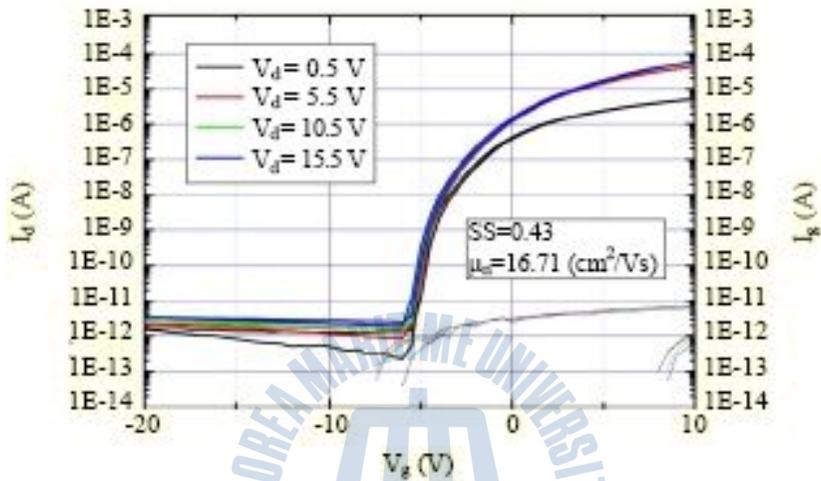
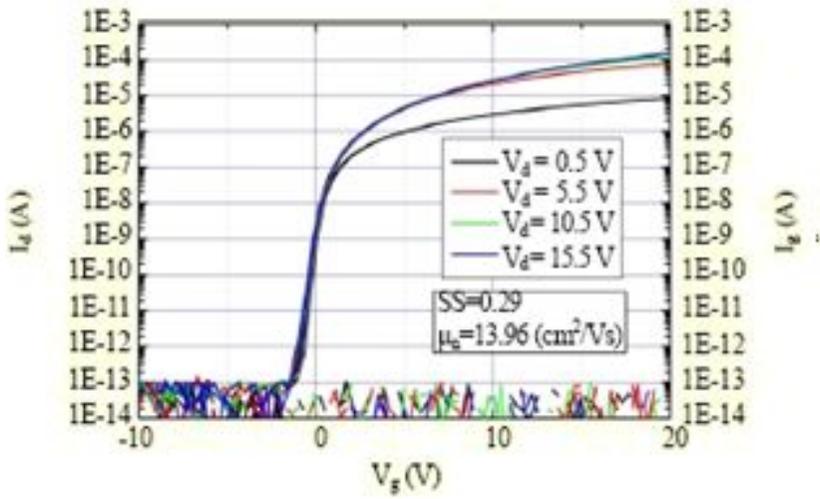


Fig. 22 전기적 특성을 측정한 IGZO TFT

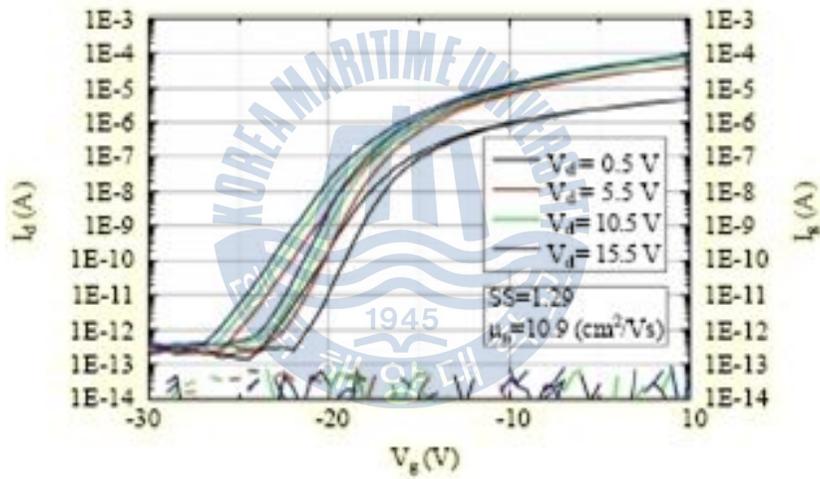
Fig. 23은 제작된 IGZO TFT의 output curve를 나타낸다. (a), (c)는 열처리하기 전에 전기적인 특성이고, (b), (d)는 산소분위기의 200 °C에서 1시간동안 열처리 한 뒤 측정된 결과이다. Fig. 23에 나타낸 것처럼 열처리전보다 열처리 후에 더 높은 mobility와 더 낮은 S.S을 가지는 것을 알 수 있었고, mobility보다 S.S 값이 크게 향

상되는 것을 볼 수 있었다. 이것으로 열처리된 스위칭 소자로 사용되는 IGZO TFT의 S.S 성능을 크게 향상시켰고[11], S.S 값은 인터페이스 주변에 트랩 상태 밀도에 영향을 받는 것을 알 수 있었다[12]. 이러한 관점에서 열처리된 트랩 상태를 감소시키므로 IGZO TFT의 전기적인 특성을 향상시킬 수 있다[13]. 또 다른 큰 차이인 Von은 IDL과 채널층 사이에서의 불안정한 결합 상태에 의해 크게 영향을 미칠 수 있다.





(c)



(d)

Fig. 23 DC transfer characteristic and gate leakage current curves of IGZO TFTs with (a) Al_2O_3 IDL before annealing (b) Al_2O_3 IDL after annealing, (c) Si_3N_4 IDL before annealing, and (d) Si_3N_4 IDL before annealing while annealing conditions 200°C for 1 hour in an O_2 ambient, respectively.

제 5장 결론

본 논문은 차세대 기술로 각광받고 있는 플렉시블한 디스플레이를 구현하기 위한 선행연구로 계면에 따른 IGZO TFT의 전기적인 특성변화에 초점을 두고 연구를 진행하였다. 전기적인 특성을 살펴보기 위해 물리적인 모델인 deep과 tail states의 지수적인 밀도를 이용하여 게이트 산화막 두께변화와 층간 절연막에 따른 전기적인 특성을 시뮬레이션 하였고, 시뮬레이션 결과를 토대로 최적의 IGZO TFT를 제작하였다.

시뮬레이션과 제작된 IGZO TFT의 전기적인 특성은 상당부분 일치했으며, Al_2O_3 두께가 80~280 nm로 증가할수록 문턱전압은 0.08~5.74 V로 증가하였고, SS는 감소하는 것을 볼 수 있었다. 그리고 Si_3N_4 의 두께가 5~50 nm로 증가할수록 문턱전압은 3.06~3.56 V로 증가하였고, SS는 감소하는 것을 볼 수 있었다. 그 이유는 게이트 절연막 두께 증가에 게이트 산화막 커패시턴스를 감소시켜 문턱전압을 증가시키고, 문턱전압을 증가하는 SS값을 감소시키는 것을 알 수 있다.

실제 제작은 Glass 기판위에 DC sputtering으로 이용하여 소스-드레인을 150 nm 증착시켰고, 대면적으로 증착이 가능한 RF sputtering을 이용하여 IGZO 박막의 증착하였다. 그리고 PECVD를 이용하여 Si_3N_4 , ALD를 이용하여 Al_2O_3 을 게이트 절연막으로 증착시켰다. 마지막으로 DC sputtering을 이용하여 Pt를 게이트 전극으로 증착시켰다. 200 °C 온도에서 1시간동안 O_2 분위기에서 열처리하여 열처리 전후의 전기적인 특성에 대해 비교하였다. Al_2O_3 OTFT는 SS값은 0.43에서 0.22 [V/decade]로 감소하였고, mobility는 16.71에서 17.15 [cm^2/Vs]로 증가하였다. Si_3N_4 OTFT는 SS값은 1.29에서 0.29 [V/decade]로 감소하였고, mobility는 10.9에서 13.96 [cm^2/Vs]로 증가하였다. 열처리만으로 계면 사이의 트랩 상태가 개선되는 것을 볼 수 있었고, Si_3N_4 OTFT 경우 열처리를 통해 실리콘 기반의 broken bond와 수소기반의 bond와 같은 불안정한 결합 상태를 감소시켰다.

참고문헌

- [1] Woo-Seok cheong et al. ETRI Journal, Volume31, Number 6, December 2009
- [2] G. D. Wilk, R. M. Wallace and J. M. Anthony, J.Appl.Phys., 89, 5243 (2001)
- [3] V. Mikhaelashivili, Y. Betzer, I. Prudnikov, J.Appl.Phys., 84, 6747 (1998)
- [4] S. Miyazaki, J.Vac.Sci.Technol., B19, 2212 (2001)
- [5] S. Zaima, T. Furuta, and Y. Yasua, J.Electrochem.Soc., 137, 1297 (1990)
- [6] A. Y. Mao, K. A. Son, J. M. White, J.Vac.Sci.Technol., A17, 954 (1990)
- [7] S. Chang et al., "Efficient Suppression of Charge Trapping in ZnO-Based Transparent Thin Film Transistors with Novel $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ Structure," Appl.Phys.Lett.,vol.90,2007,pp.192104(1-3)
- [8] A. Suresh et al., "Room Temperature Pulsed Laser Deposited Indium Gallium Zinc Oxide Channel Based Transparent Thin film Transistors," Appl.Phys.Lett., vol.90,2007,pp.123512(1-3)
- [9] J.M.Lee et al., "Low-Frequency Noise in Amorphous Indium-Gallium-Zinc-Oxide Thin-Film Transistors," IEEE Electron Device Lett., vol.30,2009,pp.505-507.
- [10] T.K. Chiang, Y.H. Wang, M.P. Houng "Modeling of threshold voltage and subthreshold swing of short-channel SOI MESFET's, Solid-States Electronics (1999) 123-129
- [11] H. Bae, et al., Thin Solid Films (2010), doi:10.1016/j.tsf.2010.02.073
- [12] J.K. Jeong et al., "High Performance Thin Film Transistors with Cosputtered Amorphous Indium Gallium Zinc Oxide Channel," Appl. Phys. Lett., vol. 91, 2007, pp. 113505 (1-3).
- [13] W.-S. Cheong, J.-M. Lee, J.-H. Lee, S.-H. Ko Park, S.-M. Yoon, C.-W. Byun, Shinhyuk Yang, S.-M. Chung, K.-I. Cho, and C.-S. Hwang, ETRI Journal, Vol 31, pp. 660~665, 2009