



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

理學碩士 學位論文

투명 플렉시블 디스플레이를 위한

산화아연 박막트랜지스터의

후속 열처리 특성연구

A study on the post annealing effects of
Zinc Oxide Thin Film Transistors
for Transparent Flexible Display



指導教授 金泓承

2010年 2月

韓國海洋大學校 大學院

應用科學科 半導體物理專攻

金俊堤

理學碩士 學位論文

理學碩士 學位論文

투명 플렉시블 디스플레이를 위한

산화아연 박막트랜지스터의

후속 열처리 특성연구

A study on the post annealing effects of
Zinc Oxide Thin Film Transistors
for Transparent Flexible Display



指導教授 金泓承

2010年 2月

韓國海洋大學校 大學院

應用科學科 半導體物理專攻

金俊堤

理學碩士 學位論文

本 論文을 金俊提의
理學碩士 學位論文으로 認准함.

委員長 張樂元 印

委 員 金泓承 印

委 員 尹 榮 印



2010年 2月

韓國海洋大學校 大學院
應用科學科 半導體物理專攻

목 차

Abstract

제 1 장 서 론	1
제 2 장 이 론	4
2.1 ZnO의 물성	4
2.1.1 구조적 특성	4
2.1.2 전기적 특성	6
2.1.3 광학적 특성	8
2.2 산화물 박막 트랜지스터	10
2.2.1 산화물 박막 트랜지스터의 배경	10
2.2.2 산화물 박막 트랜지스터의 특성	14
2.2.3 산화물 박막 트랜지스터의 연구동향	18
2.2.4 산화물 박막 트랜지스터의 문제점 및 해결방안	20
제 3 장 실 험	24
3.1 RF 스퍼터의 파워변화에 따라 플라스틱 기판위에 증착된 ZnO 박막	24
3.2 ZnO 박막 트랜지스터의 제작	26
3.2.1 전극 및 산화막 증착	27
3.2.2 ZnO 박막 증착	29

3.3 ZnO 박막 트랜지스터의 여러 가지 후속 열처리.....	30
3.3.1 저온 열처리	30
3.3.2 레이저 열처리	32
3.4 특성평가 방법.....	34
3.4.1 ZnO 박막의 특성평가	34
3.4.2 박막 트랜지스터의 특성평가	36
제 4 장 결과 및 고찰	41
4.1 RF 스퍼터 파워변화에 따른 플라스틱 기판위에 증착된 ZnO 박막의 특성	41
4.2 저온 열처리에 따른 ZnO 박막 트랜지스터의 특성	52
4.2.1 ZnO 박막의 특성.....	52
4.2.2 ZnO 박막 트랜지스터의 특성.....	55
4.3 레이저 열처리에 따른 ZnO 박막트랜지스터의 특성	59
4.3.1 ZnO 박막의 특성.....	59
4.3.2 ZnO 박막 트랜지스터의 특성.....	62
제 5 장 결론	67
참고문헌	69

Abstract

ZnO is considered one of the most promising materials for producing next-generation transparent and flexible electronics for displays, such as thin film transistors (TFTs) on plastic substrates. Over the past decade, TFTs produced from amorphous or polycrystalline Si have been important components in flat-panel displays. However, these TFTs (especially amorphous Si-TFTs) have several critical problems, including being light sensitive and having low mobilities ($\leq 1 \text{ cm}^2/\text{Vs}$) under light reduction. One approach to resolving these problems is to use an oxide semiconductor as the channel layer in TFTs. Intrinsic ZnO has been proposed recently for the active channel layer in transistors. An important advantage of these transistors is their high electron channel mobility (1 to $70 \text{ cm}^2/\text{Vs}$ with an on/off current ratio between 10^5 and 10^6), which results in higher drive currents and faster device operating speeds. Furthermore, the characteristics of ZnO-TFTs do not degrade on exposure to visible light due to ZnO's wide band gap of $\sim 3.37 \text{ eV}$, thereby eliminating the need to shield the active channel layer from visible light. Furthermore, since ZnO is one of the few oxides that can be grown as a crystalline material at relatively low deposition temperatures, fabrication of high-quality ZnO films at low temperatures will enable the production of flexible TFTs on plastic substrates for next-generation displays.

Traditional post annealed method in the furnace at a high temperature of more than $700 \text{ }^\circ\text{C}$, which represents undesirable side effects for device fabrication, and an obstacle to the fabrication of flexible electronic devices with high thermal budget. Therefore, to overcome these problems, we took two methods on post annealing process. One is a low temperature process

of TFT controlling annealing ambient, and the other is a laser annealing process using excimer laser. Many papers have discussed quality improvement of ZnO films by annealing in oxygen, nitrogen ambient, air or vacuum to reduce defects and enlarge the grain size. Not many papers have focused on the effects of completed device by controlling annealing ambient in the low-temperature.

Also, excimer laser annealing (ELA) overcomes these problems. ELA is a well-known technique that is commonly used in the flat panel display industry. It is possible to laser-crystallize ZnO films deposited at low temperatures, thereby satisfying the requirement of low temperature when fabricating flexible substrates. Several papers have reported that laser annealing improves the characteristics of Si-TFTs, but few studies have examined the effects of laser annealing on ZnO-TFTs.

In our experiment, we fabricated bottom-gate-type TFTs that use ZnO as the active channel layer. After fabrication of ZnO-TFTs, we adopted post annealing process in low temperature and using eximer laser to reduce defects and enlarge the grain size of the ZnO channel layer for improvement of TFT characteristics. The effects of post annealing process on ZnO films and the performances of the ZnO-TFTs were discussed.

제1장 서론

오늘날은 급속한 정보화 기술의 발전과 더불어 시간과 장소에 구애받지 않으며 언제 어디서나 정보를 접할 수 있는 유비쿼터스 (Ubiquitous) 시대로 접어들고 있다. 이러한 유비쿼터스 시대에는 언제 어디서나 정보를 쉽게 시각적으로 받아들일 수 있는 다양한 종류의 신개념 디스플레이 장치가 요구되고 있으며, 신개념의 디스플레이란 더 얇고, 가벼우며, 전력소비효율이 높고, 깨지지 않으며, 야외 시인성이 높고, 다양한 디자인을 가지면서, 때로는 투명하고 유연한 특성을 가지는 차세대 투명 플렉시블 디스플레이를 의미한다.

이러한 시대적 요구 및 사회적 필요성에 의해 기존의 디스플레이를 대체할 수 있는 차세대 플렉시블 디스플레이에 대한 연구가 국내외에서 활발히 진행되고 있다. 플렉시블 디스플레이 역시 기존의 평판 디스플레이와 마찬가지로 액정을 이용한 LCD (Liquid crystal Display), 유기 발광물질을 이용한 OLED (organic light emitting diode), 그리고 E-paper (Electronic Paper) 등의 형태로 세분화되어 연구 개발이 진행되고 있다.

최근의 LCD와 OLED 방식의 플렉시블 디스플레이의 개발은 기존의 단순한 수동구동 혹은 segmnet 방식에서 능동구동방식으로 전환되고 있는 상황이며, 능동구동을 위한 구동소자로는 비정질 실리콘 박막트랜지스터 (amorphous silicon Thin Film Transistor, a-Si TFT) 및 다결정 실리콘 (Poly-Si)을 이용한 초저온다결정 실리콘 박막트랜지스터 (Low Temperature Poly Silicon Thin Film Transistor, LTPS) 기술과 Pentacene, polythiophen 계열의 유기 반도체를 이용한 유기박막트랜지스터 (Organic Thin Film Transistor, OTFT) 기술이 주요 핵심 기술로 자리 잡고 있다.

하지만 지금까지 디스플레이의 구동소자로서 사용되던 비정질 실리콘 TFT는 낮은 이동도 ($1 \text{ cm}^2/\text{Vs}$)로 인해 대면적화 되는 디스플레이의

구동에 어려움이 있으며, 저온 다결정 실리콘 TFT는 높은 이동도와 우수한 디바이스의 안정성을 가지지만 제조공정의 복잡성과 높은 비용, 디스플레이 백 플레인 (Back Plane) 내에서 문턱전압 변화가 문제되고 있다. 또한 유기TFT는 우수한 디바이스 특성을 가지지만 소자의 신뢰성에 관해 극복해야 할 과제가 여전히 남아있다. 이러한 문제점의 대안으로 최근에는 가시광 영역에서 투과가 가능한 산화물 반도체를 활성층으로 이용한 산화물 박막 트랜지스터 (Oxide Thin Film Transistor, OTFT)가 주목받고 있으며 활발한 연구가 진행되고 있다.

그 중 산화아연 (Zinc oxide)은 3.3 eV 의 넓은 에너지 밴드갭과 실온에서 60 meV 의 큰 엑시톤 결합에너지를 갖는 직접 천이형 II-VI족 화합물 반도체로써 박막 트랜지스터 뿐만 아니라 단파장 영역에서의 발광 다이오드 (Light Emitting Diode, LED)와 레이저 다이오드 (Laser Diode, LD) 분야에서도 매우 주목 받고 있다.

진성 ZnO를 박막 트랜지스터의 활성층으로 사용하게 되면 높은 이동도 ($1\sim 70 \text{ cm}^2/\text{Vs}$)로 인해 높은 Drive current 와 더 빠른 소자 동작 속도를 구현 할 수 있다. 또한 ZnO의 넓은 에너지 밴드갭 특성으로 인해 가시광에 노출되었을 때 소자의 특성이 저하되지 않아 가시광선으로부터 활성 채널 층의 보호막이 필요 없게 되어 TFT의 구조가 간편해지고 가시광 영역에서의 투명도도 매우 향상되므로 투명 전자소자에 매우 적합하다. 또한 산화아연은 상온과 같은 낮은 온도에서도 결정성장이 가능하여 기존의 실리콘을 포함한 다양한 유리 와 플라스틱을 기판으로 사용 할 수 있어 차후에 플라스틱 유기EL (Organic Electroluminescence), 플라스틱 TFT-LCD, 전자종이 (E-paper)와 같은 차세대 투명하고 플렉시블한 디스플레이의 제작을 가능하게 한다.

ZnO TFT 연구는 구조에 따른 특성향상, 게이트 절연막 물질에 따른 특

성향상, 채널층의 도핑 (Doping) 및 저온공정에 따른 특성향상에 관하여 대학, 연구소 및 기업에서 세분화 되어 진행되고 있으며 p형 channel TFT와 Indium - free Amorphous Oxide Semiconductor 분야의 연구도 활발히 진행되고 있다.

그러므로 본 논문에서는 차세대 투명하고 플렉시블한 디스플레이를 구현하기 위한 기초연구로써 RF sputter의 파워에 따른 플라스틱 기판위에 증착된 ZnO 박막의 특성을 연구하였고 또한 상온과 같은 낮은 온도에서 ZnO 박막트랜지스터를 제작 후, 저온 열처리와 레이저 열처리와 같은 후속 열처리를 통한 트랜지스터의 특성향상에 관하여 연구하였다.



제2장 이 론

2.1 ZnO의 물성

2.1.1 구조적 특성

Zinc oxide (ZnO)는 상온에서 3.37 eV의 넓은 밴드갭을 가지는 II- VI 족 화합물 반도체로 그림 2-1과 같이 격자상수 $a = 3.249 \text{ \AA}$, $c = 5.207 \text{ \AA}$ 인 hexagonal wurtzite 구조를 갖는다[1-2]. ZnO에서 기판 표면에 수직인 (0001) 면은 높은 원자 충전율로 인해 가장 낮은 표면 에너지를 가지게 되는데, 이로 인해 ZnO는 박막 증착시 c축 방향으로 우선 성장한다[3-4].

ZnO 결정 내에서 Oxygen 이온은 hexagonal site에 위치하고 Zinc 이온이 tetrahedral interstitial site에 위치하며 Zinc와 Oxygen 층이 교대로 구성되어 있다. ZnO는 결정 성장 과정에서 Zinc interstitial 원자나 Oxygen 공공과 같은 결함들을 결정 내에 포함하게 되어 Zinc와 Oxygen의 비율이 1:1을 벗어나는 비화학양론적 (non-stoichiometry) 구조를 이루게 되고, 이러한 내부 결함의 이온화 과정으로 인하여 생성된 전자를 주 캐리어원으로 사용하기 때문에 전형적인 n형 반도체 특징을 나타내는 것으로 알려져 있다.

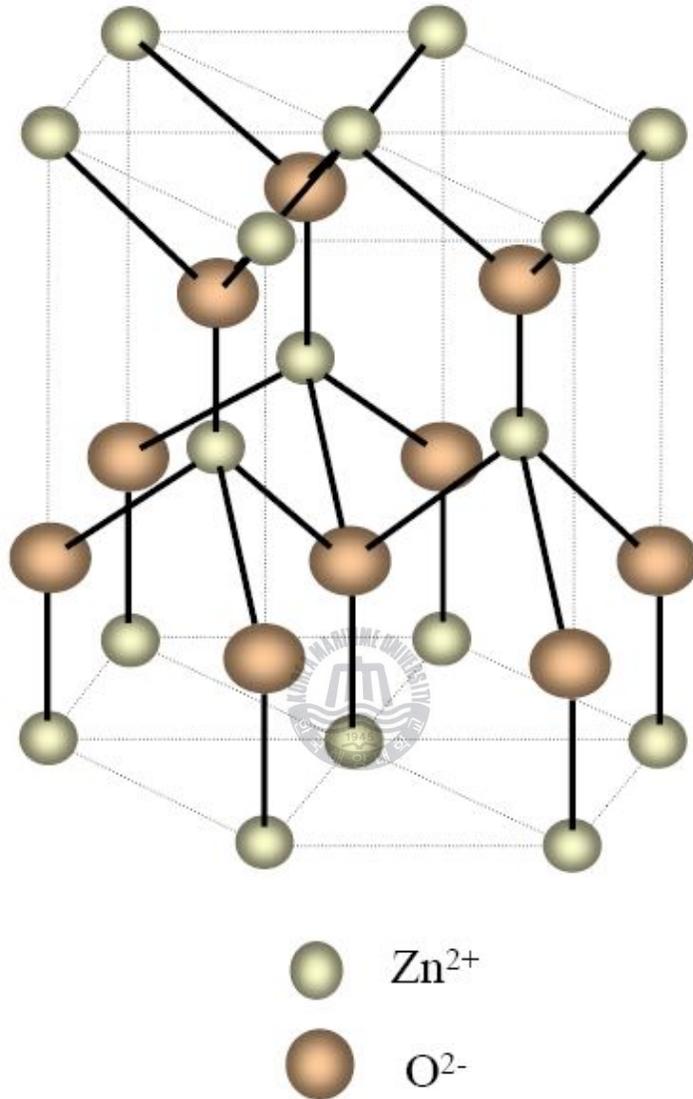
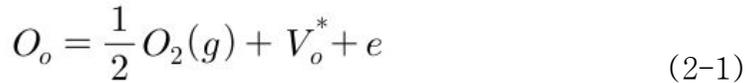


그림 2-1 ZnO의 결정구조

2.1.2 전기적 특성

일반적으로 ZnO는 결정성장 과정에서 비화학양론적 구조로 성장되며 Zinc interstitial 원자나 Oxygen 공공의 진성 결함들로 인하여 n형 반도체 특성을 나타낸다. ZnO 결정은 Oxygen 결핍형 산화물이기 때문에 결함 반응이 다음과 같이 표시된다. 먼저 ZnO의 정상 격자에서 산소원자 사이에 있던 산소원자 (O_0)가 외부로 이동을 하며 산소의 공공 (V_o)을 만드는 경우이다.



위의 식 2-1 과같이 산소의 공공이 이온화 되면서 전자를 방출하며 Donor로서 작용을 한다. 정상격자에서 Zinc는 침입형 Zinc가 되고 침입형 Zinc의 이온화 과정은 다음 반응식 2-2와 같다.



이 경우에도 산소 공공과 마찬가지로 전자를 제공하여 n형 반도체 특성을 나타낸다. 침입형 Zn의 경우 다음 2-3의 식에 의한 두 번째 이온화 과정을 거치게 되면 이 과정 역시 전자를 제공하게 된다.



ZnO에서 Zinc와 Oxide 두 가지 모두 Donor로 사용 될 수 있지만 주된

Donor는 산소 공공이라 판단하고 있다. 일반적으로 증착이 된 ZnO는 $10^{-3}\Omega \cdot \text{cm}$ 대의 낮은 비저항을 갖게 되지만, 이 박막이 대기 중에 노출이 되면 표면에 산소의 흡착에 의하여 시간에 따라 비저항이 급격히 커지는 등의 특성을 가지고 있어서 전극에 실제로 응용을 하는데 있어서 문제가 있을 것으로 알려져 있고 ZnO의 전기 전도성을 향상시키기 위해 In, Ga, B, Al 등의 금속원소를 도핑 하는 방법이 연구되고 있으며 디바이스 응용 시 이에 대한 적절한 보호막의 사용도 고려되고 있다[5-9].



2.1.3 광학적 특성

ZnO의 광학적 성질은 일반적으로 He-Cd 레이저 ($\lambda = 325 \text{ nm}$)나 전자빔을 이용한 photoluminescence (PL)/cathodoluminescence (CL) 연구를 통하여 주로 이루어지고 있으며 near band edge emission (NBE)와 그림 2-2 에서 보듯이 산소 공공, 아연 공공, 그리고 침입형 아연 등의 많은 종류의 결함에 기인한 주황색, 녹색 발광이 관측된다. 흔히 관찰되는 녹색 (510 nm, 2.4 eV), 적색 (650 nm, 1.9 eV), 때로는 황색 (590 nm, 2.1 eV)등에 대한 발광의 원인에 대하여 많은 연구가 진행되고 있다. 이러한 결함에 의한 발광의 원인으로서는 기본적으로 비화학량론과 관련한 공공 및 침입형 결함 등의 내재적 결함 (intrinsic defect)에 기인하는 것과 시료 제작 시 공정상에서 주입되는 불순물에 의한 외부 결함 (extrinsic defect)으로 나눌 수가 있다. 내재적 결함으로는 주로 산소 공공 (V_O)과 침입형 아연 (Zn_i)에 의한 도너준위와 아연 공공 (V_{Zn}) 또는 산소 반자리 결함 (O_{Zn})등에 의해 억셉터 준위가 형성되는 것 등으로 알려져 있으나 얇은 도너 준위의 원천에 대하여는 아직도 많은 논란이 있다. Kroger 등은 [10] V_O , V_{Zn} 이 각각 얇은 도너 및 억셉터 준위와 관련이 있는 것으로 주장하였으나 V_O 는 실험적으로 측정된 적이 없다. 한편 전자상자성 공명법 (electron paramagnetic resonance)에 의해서 측정된 반에 의하면 V_O 는 깊은 도너 준위로 알려진 바도 있다[11]. Vanheusden 등에[12] 의하면 V_O 의 밀도보다 자유 전하의 밀도가 높아서 Zn_i 과 같은 다른 도너의 원인을 주장하기도 했다.

이외에도 반사율 측정, 광 여기 발광 스펙트럼, 이론적 밴드 계산 등을 통하여 도너, 억셉터의 에너지 준위를 구한 여러 가지 보고가 있고 약간의 에너지 차이를 보인다. ZnO의 녹색 및 오렌지색 발광은 각각 산소 공공 및 침입형 아연 도너 준위에서 억셉터 준

위로의 도너 - 억셉터 전이로 알려지고 있다.

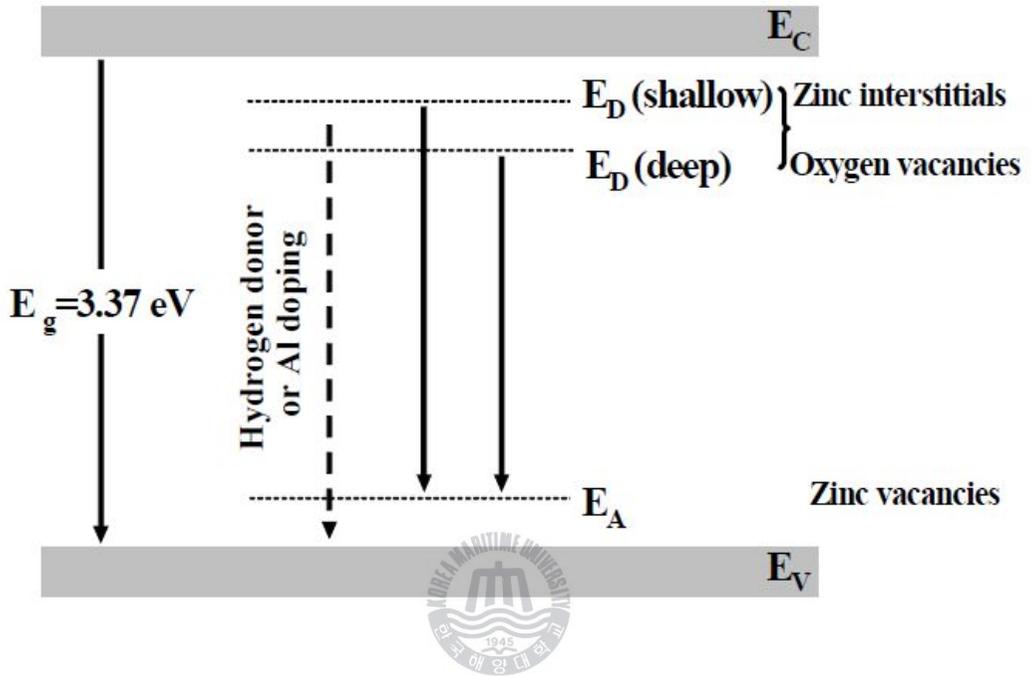


그림 2-2 ZnO 에너지 밴드 다이어그램

2.2 산화물 박막 트랜지스터

2.2.1 산화물 박막 트랜지스터의 배경

박막 트랜지스터는 가장 일반적으로 “절연성 기판 위에 반도체 박막을 이용하여 만든 전계 효과 트랜지스터 (field effect transistor, FET)” 로 정의 할 수 있다.

전계효과트랜지스터와 마찬가지로 박막트랜지스터는 게이트, 드레인 및 소스의 세 단자를 가진 소자이며, 가장 주된 기능은 스위칭 동작이다. 박막트랜지스터의 동작원리는 전계효과트랜지스터와 매우 유사하다. 소스와 드레인 사이에 흐르는 전류를 제3의 전극인 게이트에 인가하는 전압을 조절하여 on/off 상태로 스위칭 동작을 한다. 박막트랜지스터는 센서, 기억소자, 광소자 등에도 응용되지만, 주된 사용 분야는 능동 행렬형 (active matrix, AM) 평판 디스플레이의 화소 스위칭 소자이다.

액정을 이용한 평판 디스플레이는 상부와 하부의 직선형 전극 띠를 교차하여 화소를 구성하거나 미리 정해진 전극 모양에 따라서 표시하는 형태가 주류를 이루었지만 최근 능동 행렬 액정 표시장치 (active matrix liquid crystal display, AM - LCD)를 이용한 정보 디스플레이가 발전하고 있는 추세이다. AM - LCD에서는 화소 내의 각각의 박막 트랜지스터에 의해 구동 전압이 조절되어 화소의 켜짐과 꺼짐 그리고 투과도를 변화시킨다.

특히 산업계에서는 비정질 실리콘을 채널로 이용한 박막트랜지스터가 대면적 AM - LCD의 스위칭 소자로 사용되며, 이러한 비정질 실리콘 박막은 기판온도 350°C 이하에서 성장이 가능하기 때문에 저가의 대면적 유리 기판을 사용할 수 있는 이점이 있다. 또한 비정질 실리콘 박막트랜지스터는 스캔 라인의 수가 1000 개 이상인 디스플레이에서도 전하를 공급할 수 있을 정도로 드레인 전류가 크고, 한 프레임 동안에 전하의 방전이

거의 없을 정도로 off 전류가 낮다. 따라서 대비비가 100:1 이상의 디스플레이를 가질 수 있는 장점이 있다.

다 년간 여러 가지 능동 행렬 기술들이 개발되었음에도 불구하고, 오늘날 가장 많이 사용되는 디스플레이는 비정질 실리콘 박막트랜지스터와 저온 다결정 실리콘 박막트랜지스터를 이용한 AM - LCD이다. AM - LCD에 대한 아이디어가 매우 일찍 제안되었음에도 불구하고 최초의 상업 제품은 1982년에 생산된 다결정 실리콘 박막 트랜지스터를 이용한 포켓TV이다.

디스플레이 산업은 점차 고정밀 미세 화소를 제어하는 방향으로 발전하였다. 그래서 각 화소에 스위칭 소자인 박막트랜지스터를 연결하여 전체의 화면을 형성하는 AM - LCD처럼 정밀 제어를 위한 스위칭은 비선형 소자인 다이오드 구동, 근래에는 트랜지스터를 이용한 화소 표시로 발전하였다. AM - LCD에는 디스플레이 기술, 반도체 기술 및 액정 기술이 종합적으로 이용되고 대면적 유리 기판을 사용한다는 특징을 갖는다.

박막 트랜지스터의 역사는 1930년 미국의 Lilienfeld가 “Method and apparatus for controlling electronic currents” 라는 제목으로 최초의 박막형태 트랜지스터에 대한 특허를 출원하였다[13-14]. 그 후 1935년에 영국의 O. Heil이 박막트랜지스터의 구조 특허를 취득하고, 1961년에 박막트랜지스터의 기본 개념이 나온 이래 [15], 1970년대에 기본적인 연구가 진행되었다. 1971년에 Lechner가 행렬 디스플레이의 각 화소를 독립적으로 스위칭하면 100:1 혹은 그 이상의 고대비 비율을 얻을 수 있을 것이라고 제안하는 등의 AM-LCD의 기본 개념을 발표하였다. 1971년에 최초의 AM-LCD가 Brody 등에 의해서 발표되었으나 [16], 이때의 박막트랜지스터는 CdSe 박막트랜지스터였다. CdSe는 대면적화 장애요소와 Cd이라는 중금속 성분, 박막 제조의 재현성 어려움 때문에 이동도가 높은 특성에도 불구하고 현재까지 그 당시의 연구수준에 머무르고 있다.

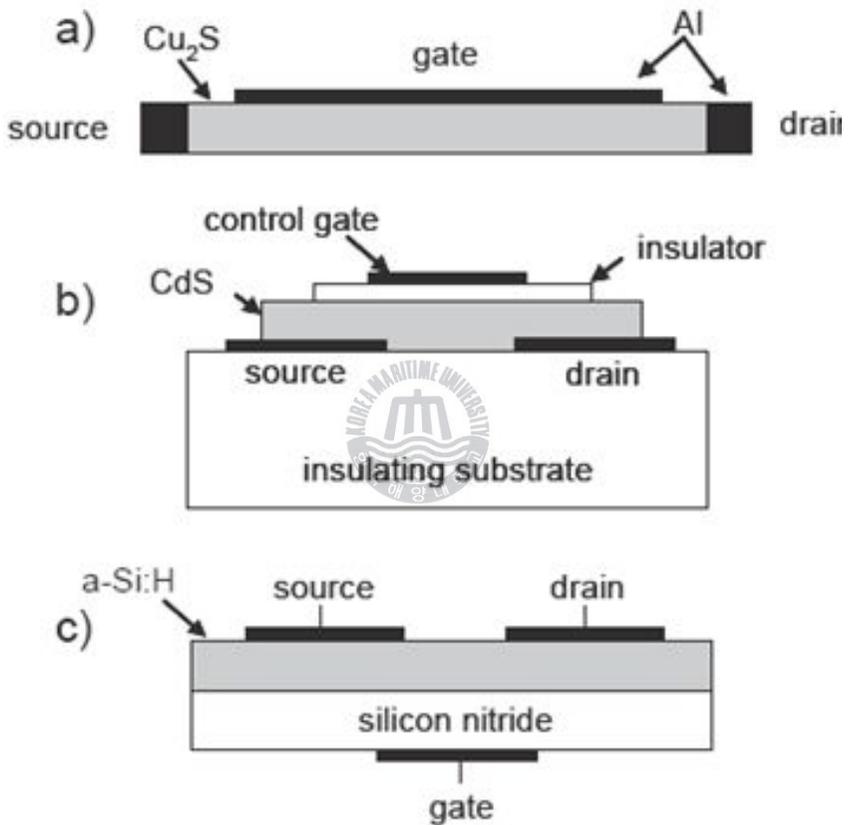


그림 2-3 박막 트랜지스터의 단면도. (a) 1930년 U.S.Patent, Lilienfeld에 의해 제시된 모델 [13], (b) 1962년 IRE, Weimer에 의해 제시된 모델 [15], (c) 1979년 IEE, Spear와 LeComber에 의해 제시된 모델 [19]

1972년에 Spear와 LeComber가 글로우 방전 방법으로 수소화된 비정질 실리콘을 제작한 후에 [17-18] 1979년에 LeComber에 의해 수소화된 비정질 실리콘 박막트랜지스터가 개발되었다 [19]. 기존의 비정질 실리콘은 결함밀도가 높아서 전기적 특성 가변이 어려웠으나 수소를 포함한 실리콘 박막을 제조하여 결함밀도를 단위 부피당 10^5cm^{-3} 이상으로 축소함으로써 수소화된 실리콘 박막의 다양한 전자소자 응용을 가능하게 하였다.

또한 그는 이의 AM - LCD로의 적용을 제안하였다. 1970년대 말부터 1981년에 걸쳐 Geis와 Reif 등은 다결정 실리콘 박막 트랜지스터의 발전 계기를 마련하였다. Self-implantation에 의한 다결정 실리콘 박막 트랜지스터의 결정립 크기를 증가시키는 방법을 제안하여, 1980년대 초에는 다결정 실리콘과 비정질 실리콘 디바이스를 사용한 TFT - LCD가 일본의 여러 회사에서 개발되었다. 이때에 일본에서 주로 생산한 비정질 실리콘 박막트랜지스터를 이용한 LCD는 포켓 TV (3 ~ 5")용 이었다.

T. Matsumoto 등에 의해 1982년에는 엑시머 레이저 어닐링 (excimer laser annealing, ELA) 방법에 의한 다결정 실리콘 박막 트랜지스터가 발표되었으며, 1984년에는 T. P. Brody 등에 의해 직접 증착 다결정 실리콘 박막 트랜지스터가 보고되었다. 그 후, 1985년에 Morozumi에 의해 다결정 실리콘 박막 트랜지스터 드라이버 IC가 제안되었으며, 1980년대 후반에 다결정 실리콘 박막 트랜지스터에 대한 활발한 연구가 진행되어 다결정 실리콘 박막 트랜지스터의 누설 전류를 줄이려는 많은 시도가 진행되었다. 또한 1996년에는 J. Jang 등에 의해 누설 전류가 작고 안정성이 높은, Cl이 함유된 비정질 실리콘 박막 트랜지스터가 보고되었다 [20]. 이후, 디스플레이 시장의 박막 트랜지스터에 대한 연구는 대부분 비정질 실리콘을 기반으로 하여 진행되었으며, 최근 들어 차세대 디스플레이에 대한 연구가 활발히 진행되어감에 따라 좀 더 낮은 온도에서 좀 더 고성능의 박막 트랜지스터를 구현하기 위해 유기물 또는 산화물 반도체를 이용한 노력들이 진행되고 있다[21]. 유기물을 기반으로 한 박막

트랜지스터는 pentacene을 중심으로 연구가 진행되고 있다. 그러나 아직 만족할 만한 수준의 디바이스 성능은 얻지 못하고 있으며, 분위기에 따라 특성의 변화가 심하여 보호층이 고려되어야 하는 등의 문제를 안고 있다. 유기물과 더불어 각광받고 있는 것으로 높은 밴드갭 에너지를 갖는 산화물 반도체를 이용한 박막 트랜지스터가 있다. 이들은 가시광 영역에서 투명하기 때문에 현재 AM - LCD가 안고 있는 문제인 가시광에 대한 민감성, 열화 등의 문제점을 해결 할 수 있다. 뿐만 아니라 상온에서 높은 이동도를 갖는 박막트랜지스터가 구현됨에 따라 차세대 디스플레이의 응용에 많은 관심을 받으며 연구가 진행되고 있다.

2.2.2 산화물 박막 트랜지스터의 특성

최근 산화물 반도체를 바탕으로 한 투명 박막 트랜지스터는 넓은 밴드갭 에너지를 가지고 있기 때문에 가시광 영역에서 빛에 대한 민감성을 줄일 수 있고, 비정질 실리콘보다 높은 전계효과 이동도와 넓은 밴드갭 에너지로 인한 투명성, 그리고 낮은 온도에서 증착이 가능하다는 등의 장점들을 가지고 있다. 기존의 실리콘 기반의 불투명하고 빛에 대해 민감한 박막 트랜지스터는 빛 차단을 위한 블랙 매트릭스를 사용함으로써 능동구동 디스플레이의 개구율을 감소시키는 결과를 낳는다. 따라서 산화물 반도체를 사용하여 투명 박막 트랜지스터를 제작할 경우 이러한 문제점들을 해결할 수 있기 때문에 차세대 박막 트랜지스터로 각광받으며 많은 연구가 진행되고 있다. 그림 2-4은 ZnO 박막을 이용하여 제작된 투명 박막 트랜지스터를 나타낸다. 이러한 박막 트랜지스터는 여러 가지 산화물 반도체를 이용하여 제작되고 있으며, 이들 중 비정질 산화물 반도체와 다결정 ZnO를 이용한 박막트랜지스터에 대한 연구가 특히 많이 이루어지고 있다 [22-41].

먼저, 비정질 산화물 반도체를 이용한 박막트랜지스터는 기존의 공유

결합을 이루고 있는 비정질 산화물과는 다른 캐리어 이동 메커니즘을 나타내기 때문에 비정질 상을 가짐에도 불구하고 수십 cm^2/Vs 의 빠른 이동

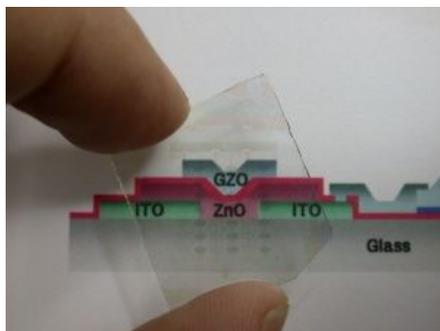


그림 2-4 ZnO 박막을 이용한 투명 박막 트랜지스터

도를 나타낼 수 있다. 공유결합을 이루고 있는 비정질 산화물의 캐리어 이동은 강한 방향성을 갖는 sp^3 오비탈을 가지기 때문에 구조적 무분별성이 결합의 겹침의 정도를 크게 감소시키며 따라서 이동도는 크게 줄어든다. 반면에, 전이후금속들이 포함된 비정질 산화물의 캐리어 이동은 그림 2-5와 같은 결합구조를 가짐에 따라 $2p$ 오비탈의 산소들의 기여는 작고, 이웃 금속들 간의 직접적인 겹침이 오히려 커짐으로써 비정질 상임에도 불구하고 결정질과 비슷한 정도의 이동도를 갖게 된다. 이러한 높은 이동도 이외에도 비정질은 낮은 온도에서 증착이 가능하고 막질도 우수하기 때문에 이를 이용한 많은 연구가 이루어지고 있다 [44].

그림 2-6은 이러한 비정질 산화물 반도체의 특성을 이용해 플라스틱기판 위에 제작된 수십 cm^2/Vs 의 이동도를 갖는 박막 트랜지스터를 나타낸다[44]. 이는 낮은 온도에서 ZnO 증착이 가능하고 막질도 우수한 특성을 가지기 때문에 이를 이용한 플렉시블한 트랜지스터에 대한 연구가 활발

히 진행되고 있다.

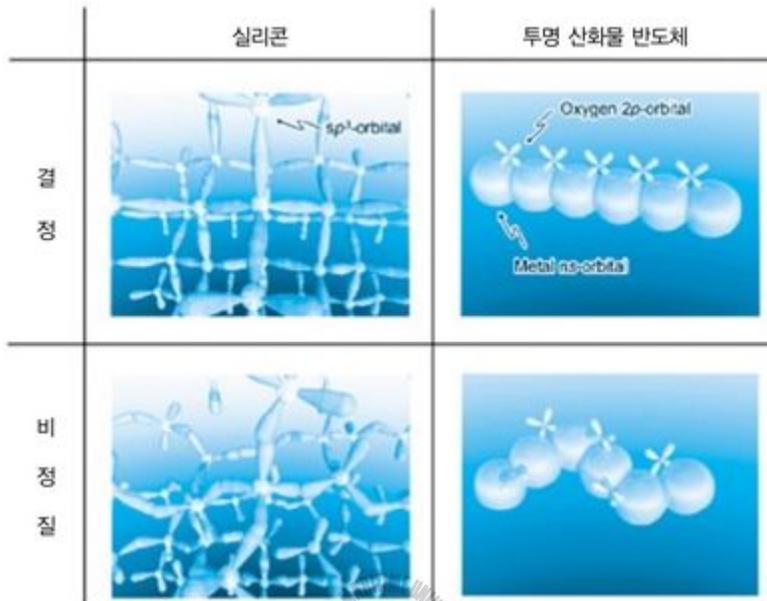


그림 2-5 Si과 산화물 반도체의 결합구조 [44]

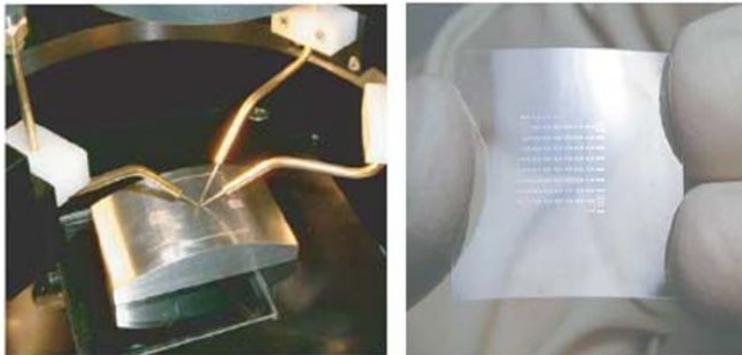


그림 2-6 비정질 산화물 반도체를 이용하여 플라스틱 기판위에 제작한 투명 플렉시블 트랜지스터 [44]

산화물 반도체를 이용하여 제작된 대부분의 트랜지스터는 그림 2-7의 모식도에서 볼 수 있는 구조를 채택하고 있다. 이는 Fortunato 등이 보고한 ZnO를 기반으로 제작한 투명 박막 트랜지스터로써 모든 층은 상온에서 증착되었고 투명성을 가지며, 제작된 전체 디바이스 또한 가시광 영역에서 80 %이상의 투과도를 가진다[30-32].

산화물 반도체를 이용하기 위해서는 응용에 적절한 특성을 갖도록 조절하는 것이 필요하다. 따라서 증착단계 혹은 후처리를 통하여 이들의 캐리어 농도를 높게 혹은 낮게 조절을 하며 응용 분야에 따라 적절한 특성을 내도록 조절하여 사용한다. 즉, 투명 전도성 산화물 (transparent conductive oxide, TCO)로의 응용을 위해서는 캐리어 농도가 최대한 높게 되도록 증착하며, 박막 트랜지스터의 채널로 사용 시에는 최대한 캐리어 농도를 낮추어 백그라운드의 전자를 최대한 낮추어 줌으로써, 전계 효과이동도가 최대한 커질 수 있도록 조절을 하여야 한다.

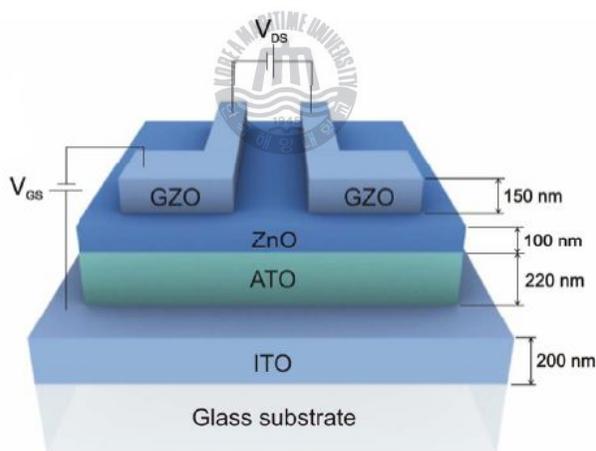


그림 2-7 ZnO 박막을 이용하여 상온에서 제작된 투명 산화물 박막 트랜지스터의 단면도 [30].

이러한 특성들을 갖는 산화물 반도체는 고효율의 디스플레이를 비롯하여 낮은 온도의 제작과 높은 이동도가 요구되는 차세대 디스플레이 응용

에 있어 중요한 역할을 할 수 있을 것으로 생각되지만, 아직 이들은 많은 부분에 있어서 문제점들을 가지고 있으며, 여러 특성들을 고루 만족시키는 디바이스가 구현되고 있지 않다. 따라서 이에 대한 많은 관심과 연구가 체계적으로 이루어져 할 것으로 생각된다.

2.2.3 산화물 박막 트랜지스터의 연구동향

ZnO를 이용한 박막 트랜지스터의 경우는 오랫동안 연구가 진행되어 왔기 때문에 여러 가지 접근이 이루어져 있으며, 비정질 산화물 반도체를 이용한 박막 트랜지스터는 최근에 들어서야 그들의 높은 이동도로 각광 받으며 많은 연구가 진행되고 있다. 아래의 내용은 산화물 반도체 박막 트랜지스터의 여러 가지 이슈들에 대한 연구동향에 대해 정리한 것이다.

- ◇ **채널층** - ZnO 증착 시 파워, Ar:O₂ 비율, 증착온도, 그리고 채널층의 두께 조절에 따른 디바이스 특성평가가 이루어지고 있다.
- ◇ **전계효과 이동도** - ZnO의 경우, 다결정임에도 불구하고 만족할 만한 전계효과 이동도를 얻고 있지 못하다. 그리하여 ZnO의 이동도 증가를 위해 다양한 열처리와 관련된 연구와 더불어 In, Ga, Al을 도핑을 통한 채널층의 캐리어 농도 변화에 따른 디바이스의 특성 연구가 늘어나고 있는 추세이다.
- ◇ **게이트 절연막** - SiO₂, SiN_x (+CaHfO₃), SiON, Al₂O₃, HfO₂, ATO, HfSiO_x, PVP, CTMA, BZN, BST, SiO₂/SiN_x, Ta₂O₅, SiON과 같은 다양한 게이트 절연막을 이용하여 제작된 디바이스의 특성평가가 이루어지고 있다. 고속 트랜지스터 제작을 위한 고유전율의 게이트 절연막이 사용되고 있으며, Zn 확산에 의한 게이트 절연막의 성

능 저하를 막기 위해 게이트 절연막을 이중으로 사용하기도 하며 유기물의 게이트 절연막을 사용하여 그 가능성을 확인하는 실험이 진행되고 있다.

- ◇ **디바이스 구조** - 상부와 하부 게이트, 두 가지 구조가 제작되고 있으며 디바이스를 제작하는데 있어서 채널을 에칭하여 제작된 디바이스는 거의 없으며, 주로 새도우 마스크를 사용하거나 리프트오프 방법을 사용하여 패턴을 형성되고 있다.
- ◇ **보호층** - 채널로서 사용되는 ZnO 박막은 오랫동안 공기 중에 노출 시, 산소원자의 흡착으로 인해 디바이스의 특성 변화를 초래할 수 있다. 따라서 이를 방지하기 위해 전체 디바이스의 제작 후, 채널 위에 적당한 막을 증착하여 채널의 특성변화를 막고자 하는 연구들이 보고되고 있다.
- ◇ **Ohmic contact** - 채널과 소스/드레인 간의 ohmic 특성을 유도하여 더 나은 특성의 디바이스를 제작하기 위한 노력들이 진행되고 있다. 보고된 대부분의 논문들은 소스와 드레인으로 높은 투명성과 전도도를 갖는 ITO를 주로 사용하고 있다. 또한, ZnO:Al(AZO), ZnO:Ga(GZO), 그리고 ZnO:In(IZO)가 사용되기도 하였으며, AZO나 IZO와 ITO를 동시에 사용하여 전기적 특성을 향상하는 방법들도 보고되고 있다.
- ◇ **기판** - 비정질 산화물 반도체를 이용하여 플라스틱 위에 트랜지스터를 제작한 논문이 보고되고 있으며, 최근에는 ZnO를 이용하여 플라스틱 위에 트랜지스터를 제작한 논문도 보고되어 상

온에서 제작한 플렉시블 한 트랜지스터의 제작과 디스플레이로의 적용 가능성을 제시하고 있다.

2.2.4 산화물 박막 트랜지스터의 문제점 및 해결방안

◇ **전계효과이동도** - 최근 투명 박막 트랜지스터의 채널로서 가장 각광 받고 있는 산화물 반도체로는 ZnO와 비정질 산화물 반도체가 있다. 이들 중, ZnO는 상온에서 증착 시에도 높은 이동도를 가질 수 있는 다결정이지만 그들 본래의 결함인 침입형 Zn와 산소 공공으로 인해 n형 특성을 갖기 때문에, n-p-n의 안정적인 트랜지스터의 구현이 어렵다. 따라서 대부분의 연구들은 ZnO 박막의 백그라운드 전자의 농도를 최대한 줄이는 방법을 택하고 있다. 진성 ZnO는 $10^{17} \sim 10^{20} \text{cm}^{-3}$ 정도의 캐리어 농도를 가질 수 있지만 박막 트랜지스터로 사용하기 위해서는 10^{16}cm^{-3} 이하의 낮은 캐리어 농도가 요구된다. 그리하여 스퍼터링을 이용한 증착 시 Ar:O₂ 비율, RF 파워, 기판온도, 그리고 채널 두께 등의 파라미터 조절을 통하여 원하는 캐리어 농도를 갖는 ZnO 박막을 증착하였고 이를 통한 디바이스 제작에 대한 연구들이 보고되었다. 하지만 이렇게 백그라운드의 전자의 농도를 줄여 줌에도 불구하고 대부분의 연구결과에서 보고되고 있는 ZnO 박막 트랜지스터는 만족할 만한 수준의 전계효과이동도를 내고 있지 못하다. 다결정임에도 불구하고 진성 ZnO의 n형 특성 때문에 한계점을 드러내고 있는 부분이며, 파라미터 조절과 더불어 좀 더 확실한 접근이 이루어져야 할 부분인 것으로 생각된다. 가장 좋은 해결 방법은 n-p-n의 구조를 갖는 디바이스의 제작하는 것인데, (Zn, Mg)O를 이용한 FET의 구현을 제외하고는 이에 대한 연구 결과는 보고되고 있지 않다. 반가운 것은 최근 p형 ZnO의 구현이 LED부분에서 상당수 이루어지고 있다는 것이며, 이 기술을 트랜지

스터의 제작에 잘 접목시키면 다결정 ZnO의 높은 이동도를 살릴 수 있는 고성능의 ZnO 박막 트랜지스터의 제작이 가능할 것으로 생각된다. 하지만, 높은 후처리 온도와 도핑 데미지 등의 문제점을 갖고 있기 때문에 어려운 접근이 될 수도 있을 것으로 생각된다.

◇ **투과도** - 최근 80 % 정도의 투과도를 갖는 산화물 반도체를 이용한 박막 트랜지스터에 대한 연구들이 보고되었다. 하지만 몇몇의 논문을 제외하고는 게이트 또는 소스와 드레인의 컨택 문제, 게이트 절연막의 막질 문제들을 거론하며 주로 안정적인 특성을 위하여 불투명한 실리콘 기판과 금속 패드 등을 사용하였음을 보고하고 있다. 글라스 기판과 투명한 산화물 패드를 사용한 투명 박막 트랜지스터가 아직은 신뢰성을 얻고 있지 못한 부분이기 때문에 이에 대한 활발한 연구가 필요하다 하겠다.

◇ **문턱전압** - 문턱전압은 소자 구동 시 소비전력과 많은 관계를 갖고 있는 부분이다. 우선 그 값이 (+)값을 갖느냐 (-)값을 갖느냐에 따라 “normally off” 상태의 증가형 모드 작동을 하느냐 “normally on” 상태의 공핍형 모드 작동을 하느냐를 결정한다. 이는 off 구동 시 소자가 불필요한 전압의 인가 없이 off 상태를 가질 수 있음이 소비전력을 크게 낮출 수 있기 때문에 중요한 사항이라 할 수 있다. 또한 문턱전압의 값이 너무 클 경우, 동작 전압이 커지기 때문에 이 또한 소자의 소비전력을 증가시키기 때문에 최대한 낮으면서 증가형이 되도록 제작하는 것이 매우 중요하다. 하지만, 몇몇의 그룹을 제외하고는 보고된 디바이스의 문턱전압이 상당히 크거나 상당히 작거나 하는 양상을 보여 왔다. 주목할 만한 부분은, ZnO를 이용한 박막 트랜지스터의 제작에 있어서 대부분의 논문들이 200 nm이상의 게이트 절연막을 사용해 왔다는 점이며, 이로

인한 문턱전압의 영향도 상당함을 알 수 있는 부분이다. 이에 대한 확실한 이유를 알 수는 없으나, 10에 가까운 유전상수를 갖는 게이트 절연막을 사용하는 경우에도 두껍게 증착하여 특성을 평가하는 것은 글라스의 거칠기에 따른 막질의 영향을 최소화하고 Zn 확산 등에 의한 절연막의 손상으로 인한 특성의 저하를 최소화하려는 것으로 생각된다. 하지만, 좀 더 상용화에 다가설 수 있는 고성능의 디바이스 구현을 위해서도 실험실 수준에서가 아닌 실제 구동을 위한 산업체 수준의 연구가 이루어져야 할 것으로 판단 된다.

◇ **디바이스 구조** - 현재까지 투명 박막 트랜지스터는 주로 하부 전극 형식의 구조로 연구가 진행되어 왔으며, 상부 전극 형식의 구조도 몇몇 보고되었다. 하부 전극 형식의 구조가 상부전극 형식의 구조에 비해 더욱 많이 보고되고 있는 것은 구조제작이 더 용이하기 때문이며, 상부전극에 비해 덜 세밀한 작업과 에칭공정을 피할 수 있기 때문에 선호되어 온 것으로 생각된다. 이에 비해 상부전극 형식의 경우 디바이스 제작 시 복잡한 공정을 거쳐야 하며, 채널의 에칭을 실시해야 하는데 모든 층이 산화물로 구성되어 있는 투명 박막 트랜지스터의 경우, 선택성이 떨어지기 때문에 디바이스 성능에 적지 않은 영향을 주게 되는 것으로 알려져 있다. 실제로도 보고된 논문들의 대부분은 패터닝을 형성하기 위하여 리프트오프 방법이나 새도우 마스크를 이용하고 있다. 뿐만 아니라 하부전극 형식으로 제작된 디바이스가 상부전극 형식으로 제작된 것들에 비하여 성능이 매우 좋게 나타나고 있다.

◇ **신뢰성 및 안정성** - 채널로서 사용되는 산화물 반도체는 오랫동안 공기 중에 노출 시, 산소원자의 흡착 혹은 탈착으로 인해 디바이스의 특성 변화를 초래할 수 있다. 시간이 지남에 따라 변화되는 특성

은 소자의 수명을 떨어뜨리고 나아가 제품의 수명도 떨어뜨릴 수 있다. 이에 대한 내용을 다루고 있는 논문은 산소원자의 흡착 또는 탈착으로 인해 채널 표면에 원래의 전류의 패스 외의 패스가 생성되며 이로 인해 소자의 특성이 크게 바뀔 수 있음을 설명하였다. 또 다른 논문은 최초 제작된 디바이스의 특성을 측정하고 6개월이 지난 후의 특성을 측정하여 보고하였고 이들의 특성이 크게 변하지 않았음을 보이며 신뢰성을 보여주기도 하였다. 신뢰성과 안정성은 디바이스 구현에 있어서 중요한 부분이며 최초의 특성을 최대한 오래 갖도록 하는 보호막의 사용이 좀 더 체계적으로 연구되어야 할 부분인 것으로 생각 된다.

◇ **플렉시블 트랜지스터** - 최근 말수 있고 구부릴 수 있는 디스플레이 구현을 위하여 플라스틱 기판 위에 안정적인 트랜지스터 제작을 위한 연구들이 많이 진행되고 있다. 최근 글라스 기판과 비슷한 특성을 내도록 하는 기판의 보호 층 처리와 같은 여러 가지 연구가 이루어지면서, PES (poly-ethersulfone) 기판을 중심으로한 플렉시블한 전자 소자에 대한 연구가 더욱 탄력을 받고 있다. 산화물 반도체를 이용한 트랜지스터도 최근 몇몇 연구팀들에 의하여 PI (poly-imide) 와 PET (poly-ester) 위에 성공적으로 제작되었는데 초기 단계인 만큼 만족할 만한 수준의 결과를 얻지는 못하고 있다. 기판의 문제를 논외로 하고, 플렉시블 트랜지스터에서는 기판과 트랜지스터 층들 사이의 안정적인 밀착력이 트랜지스터의 특성에 있어 가장 큰 이슈가 될 것이며, 기판을 구부렸을 경우 그 관계는 더욱 밀접해 진다. 구부리지 않았을 경우 대부분의 논문들이 채택하고 있는 하부 게이트 구조의 방식은 큰 문제가 없을 것으로 생각되지만, 구부림에 따른 특성에 있어서는 기판과의 밀착력을 위해 더욱 세밀한 패턴을 갖는 디바이스의 제작이 필요할 것으로 판단된다.

제 3 장 실험

3.1 RF 스퍼터의 파워변화와 플라스틱 기판위에 증착된 ZnO 박막

본 연구에서는 RF 스퍼터를 이용하여 PC (polycarbonate) 와 PES (polyethersulfone) 플라스틱 기판 위에 ZnO 박막을 증착하였다. 직경이 4 inch 크기인 ZnO (4N) 타겟을 사용하여 상온에서 증착하였고 증착 시 챔버 내의 캐리어 가스인 Ar가스의 유량은 55 sccm을 흘려주었고, 진공도는 5 mTorr를 유지시켰다. 증착전 ZnO 타겟의 표면오염을 제거하기 위하여 Ar 분위기에서 30분 동안 예비적으로 스퍼터를 행하였고 스퍼터의 파워는 100 W ~ 200 W 범위에서 25 W씩 증가시키며 1시간 동안 증착하였다. 증착 시 새도우 마스크를 이용하여 ZnO가 증착되지 않는 지역을 형성하여 ZnO 박막의 두께를 측정하였다. 박막의 두께는 알파 스텝 장치 (Dektak 3st)을 통하여 측정하였고 XRD (X-ray diffraction, D/MAX 2100H, Rigaku) θ - 2θ 측정법으로 ZnO 박막의 결정성 및 배향성을 알아보았다. AFM (atomic force microscope, SPA-400, NITECH) 장비의 접촉 방식으로 ZnO박막의 표면상태를 조사하였고 UV-visible photometer (carry 5000, Varian)를 이용하여 가시광영역 (400 ~ 800 nm)에서 ZnO 박막의 광투과도를 측정하였다. 그림 3-1은 ZnO 박막 증착에 사용된 RF-Sputter의 모식도이다.

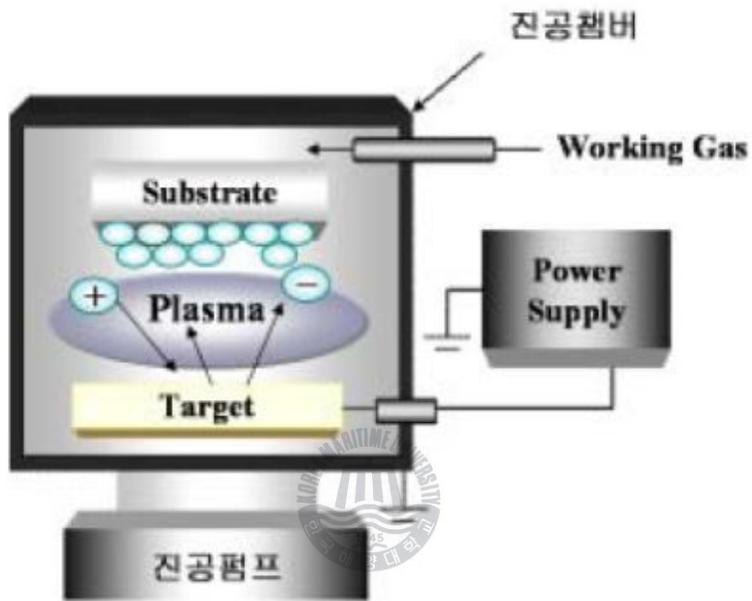


그림 3-1 RF - sputter의 구조

3.2 ZnO 박막 트랜지스터의 제작

본 연구에서 제작된 ZnO-TFT의 구조와 증착조건을 각각 그림 3-2와 표 1 에 나타내었다.

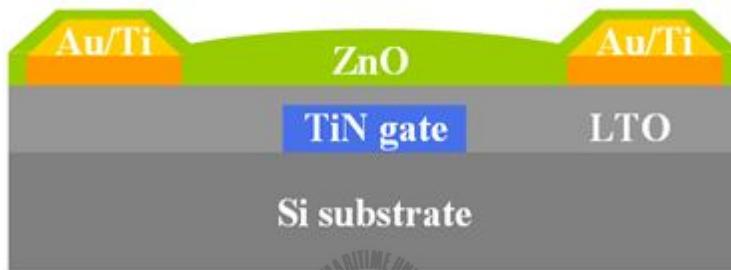


그림 3-2 제작된 ZnO-TFT의 구조

TFT Fabrication Process		
gate	TiN (5nm)	E-beam
Insulator	LTO (300nm)	LPCVD
metal	Au/Ti (50nm)	E-beam
channel	ZnO (55nm)	RF-Sputter

표 1 ZnO-TFT 제작의 증착조건

3.2.1 전극 및 산화막 증착

본 실험에서는 비저항이 0.005 Ω 인 n-Si(100) 기판위에 Bottom gate 형태로 5 nm 두께의 TiN 전극을 형성하였다. 전극 증착 전에 기판을 아세톤과 메탄올 용액에 초음파 세척기로 5분간 유기세척 하였고, $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2$ (1:1:3) 용액에서 표면처리 후 HF를 이용하여 기판위의 자연 산화막을 제거하고 N_2 가스로 세척한 기판을 건조시켰다. TFT의 채널 폭(W)은 100 μm , 채널길이(L)는 10 μm 인 TFT 마스크와 Photolithography 공정을 통해 전극 패턴을 형성하였고 thermal evaporator를 이용하여 전극을 증착시켰다. Gate 전극 형성 후에는 LPCVD (Low-pressure chemical vapor deposition)방법으로 300 nm 두께의 SiO_2 산화막을 증착하였다. 산화막 증착을 위하여 400 $^\circ\text{C}$ 의 온도에서 SiH_4, O_2 를 소스로 사용하였고 증착 동안 각각 160 sccm, 260 sccm을 흘려주었다. 산화막 증착 후 Gate 전극과 같은 방법으로 50 nm 두께의 Au/Ti 소스, 드레인 전극을 형성하였다. 그림 3-3은 전극, 절연층, 채널층이 모두 형성 된 후의 TFT의 사진이며 그림 3-4는 전극 형성에 사용된 thermal evaporator의 구조도이다.

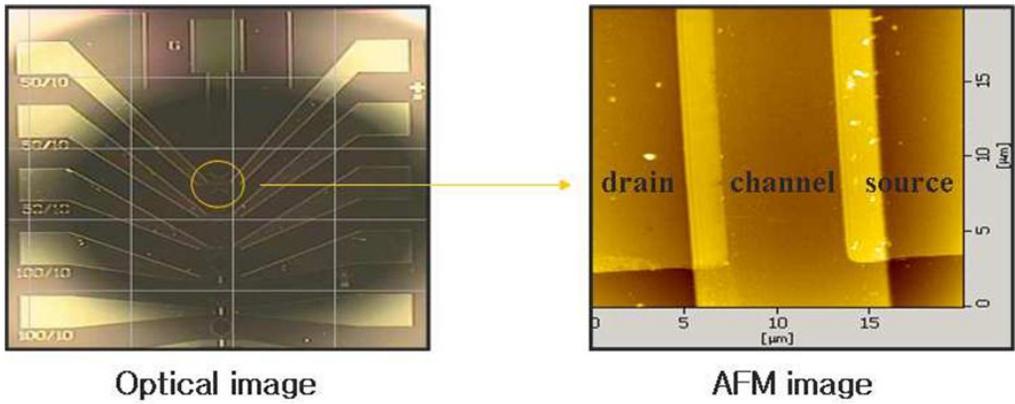


그림 3-3 전극 형성 후 TFT의 광학(좌) 및 AFM(우) 이미지

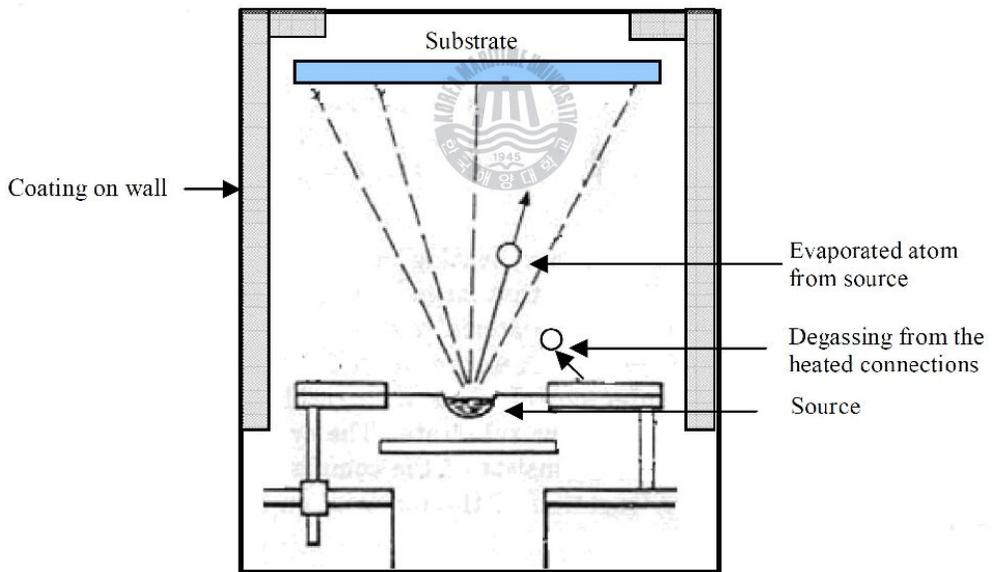


그림 3-4 thermal evaporator의 구조도

3.2.2 ZnO 박막 증착

전극 형성 후 RF-Sputter 장비를 이용하여 55 nm 두께의 ZnO박막을 증착하였다. 직경이 4 inch 크기인 ZnO (4N) 타겟을 사용하여 상온에서 증착하였고 증착 시 챔버 내의 캐리어 가스인 Ar가스의 유량은 55 sccm, 진공도는 5 mTorr, 스퍼터 파워는 200 W로 유지시켰다. 증착 전 ZnO 타겟의 표면오염을 제거하기 위하여 Ar분위기에서 30분 동안 예비적으로 스퍼터를 행하였다. 증착된 ZnO박막의 두께는 박막두께 측정기 (DEKTAK 3st)를 통해 측정되었다.



3.3 ZnO 박막 트랜지스터의 여러 가지 후속 열처리

ZnO-TFT의 제작 후, 소자의 낮은 열적부담과 특성향상을 위하여 furnace를 이용한 저온 열처리와 레이저 후속 열처리를 행하였다.

3.3.1 저온 열처리

Thermal oxidation furnace를 이용하여 N_2 , O_2 분위기에서 $300\text{ }^\circ\text{C}$, $500\text{ }^\circ\text{C}$ 온도로 각각 후속 열처리를 하였다. 먼저 열 산화로 내부에 분위기 가스를 흘려주고 열처리 하고자 하는 온도까지 올라가면 입구를 열고 시료를 장착하여 열처리 하였다. 그림 3-5와 표 2 는 각각 열 산화로의 구조와 열처리 증착조건을 나타낸다.



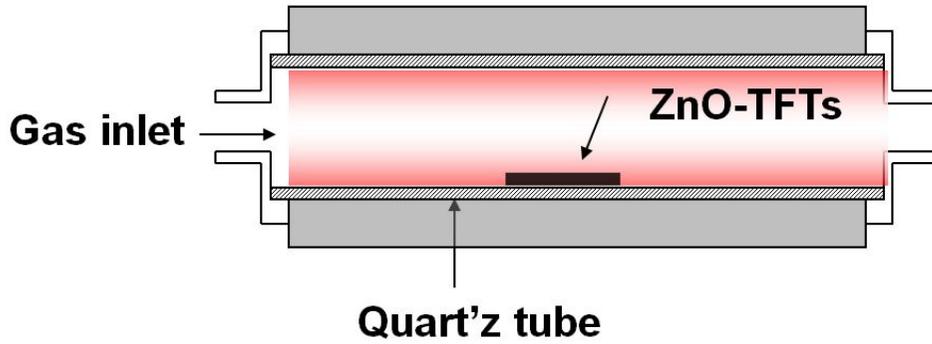


그림 3-5 열 산화로 (Thermal oxidation furnace)의 구조



표 2 제작된 TFT의 후속 열처리 조건

Thermal oxidation furnace	
Temperature (°C)	Ambient
300	N ₂
	O ₂
500	N ₂
	O ₂

3.3.2 레이저 열처리

제작된 ZnO-TFT들을 상압에서 파장이 248 nm인 KrF 엑시머 레이저를 이용하여 후속 열처리 하였다. 100 mJ/cm² 파워크기의 레이저가 1Hz의 주기로 25 ns 동안 각각 100회와 200회 주사되었다. 그림 3-6 와 표 3 은 각각 레이저 열처리 시스템 구조와 레이저 열처리 증착조건을 나타낸다.



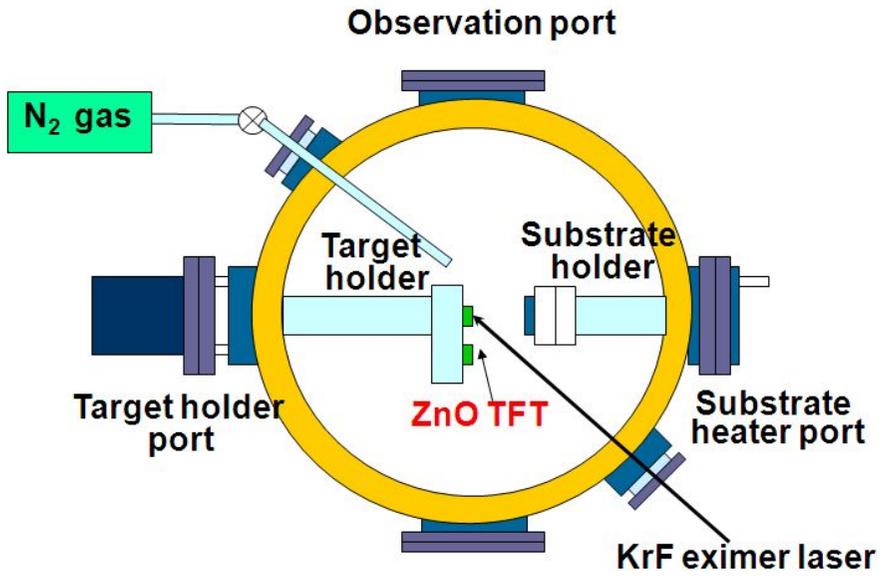


그림 3-6 레이저열처리 시스템의 구조

<레이저 조건 >

Duration time: 25 ns

Power : 100 mJ /cm²

Repetition rate : 1 Hz

표 3 레이저열처리 조건

3.4 특성평가

3.4.1 ZnO 박막의 특성평가

증착된 ZnO 박막의 구조적 특성은 다음과 같은 분석틀을 이용하여 분석하였다.

□ **표면분석** : atomic force microscopy (AFM) [SPA-400, Nitech],
contact mode

AFM은 Tip이라고 부르는 작고 날카로운 침을 물질표면에 2차원적으로 주사 (Scanning)하여 각 표면위치에서의 정보를 전달받아, 3차원적인 표면정보를 얻는다. AFM은 물질 각 표면에 대한 높이에 대한 정보를 측정할 수 있는데, 이로 얻어지는 각 표면의 3차원 화상 정보를 통해 재료의 거칠기와 회절패턴을 분석하여 표면의 규칙적인 구조와 그 분포, 배향성, 그리고 결정구조 등을 확인할 수 있다.

□ **결정성분석** : X-ray diffraction (XRD) [D/MAX 2100H, Rigaku],
 $2\theta = 20 \sim 80^\circ$

특성 X-선을 분석하려고 하는 시료에 입사한 후 회절 되어 나온 X-선 빔의 각도를 검출하여 시료의 결정구조, 화학결합구조, 정량 및 정성, 입자크기, 내부응력, 박막의 성장방향 및 구조특성을 알 수 있다.

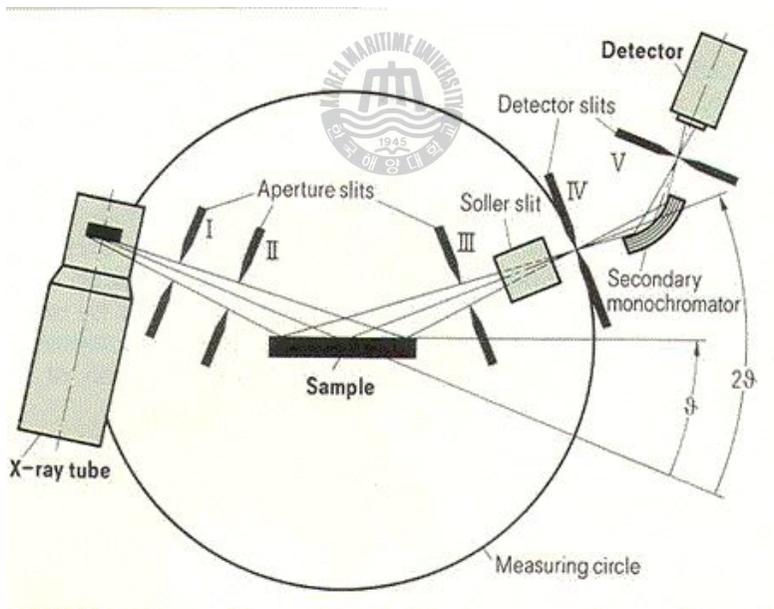
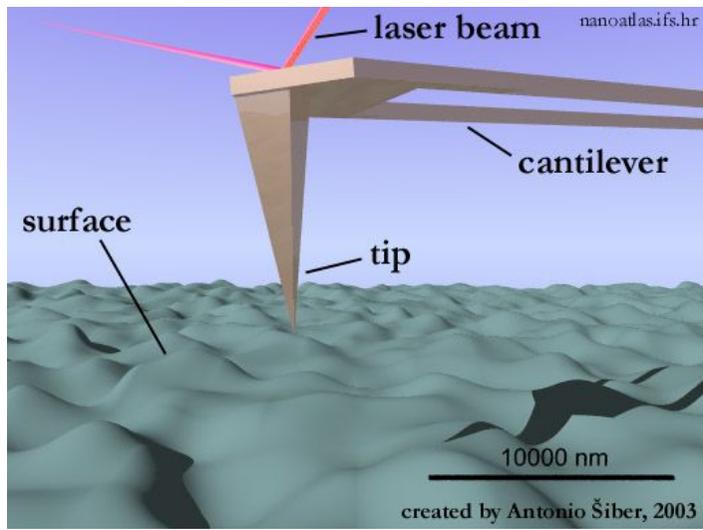


그림 3-7 AFM (위)와 XRD (아래)의 구조

3.4.2 박막 트랜지스터의 특성평가

Semiconductor parameter analyzer [HP4145B]을 이용하여 측정된 디바이스의 전기적 특성은 아래의 박막 트랜지스터의 기본동작원리와 이론을 바탕으로 분석되었다.

박막 트랜지스터의 동작 영역은 MOSFET에서와 마찬가지로 크게 선형영역 (linear region)과 포화영역 (saturation region)의 두 가지로 구분된다. 드레인 전압이 작을 때는 드레인과 소스 사이의 특성이 기본적으로 ohmic 특성을 나타내며, 결과적으로 드레인 전류는 드레인 전압에 비례하게 된다. 한편, 높은 드레인 전압에서는 드레인 전류가 드레인 전압의 증가에 관계없이 일정한 값을 가지는 특성을 나타낸다.

① 선형영역 (linear region)

그림 3-8은 박막 트랜지스터의 전기적 특성 분석은 선형 채널 근사화 기법 (gradual-channel approximation)을 사용하게 되는데, 이는 그림에서와 같이 x방향 (수직축)의 전기장은 채널을 형성시키고, y방향 (수평축)의 전기장은 비정질 실리콘을 통한 드레인 전류를 흐르게 하는 역할을 하며 채널의 축이 소스에서 드레인 쪽으로 천천히 변화한다. 즉, 채널의 폭은 x축에 있는 게이트 전압에만 영향을 받고 y축에는 무관하다는 가정이다.

이제 게이트 전압이 문턱 전압 (V_{TH})보다 클 경우, 즉 채널 내에 전하가 유도되었을 경우 유도 전하, Q_I 와 게이트 전압 V_G 사이의 관계는 다음과 같이 나타낼 수 있다.

□□□□

□□□□□□

$$Q_I = -C_{SiN_x}(V_G - V_{TH}) \quad (3.1)$$

여기서 C_{SiN_x} 는 채널에서의 게이트 절연막 정전 용량이다. 위 식은 채널

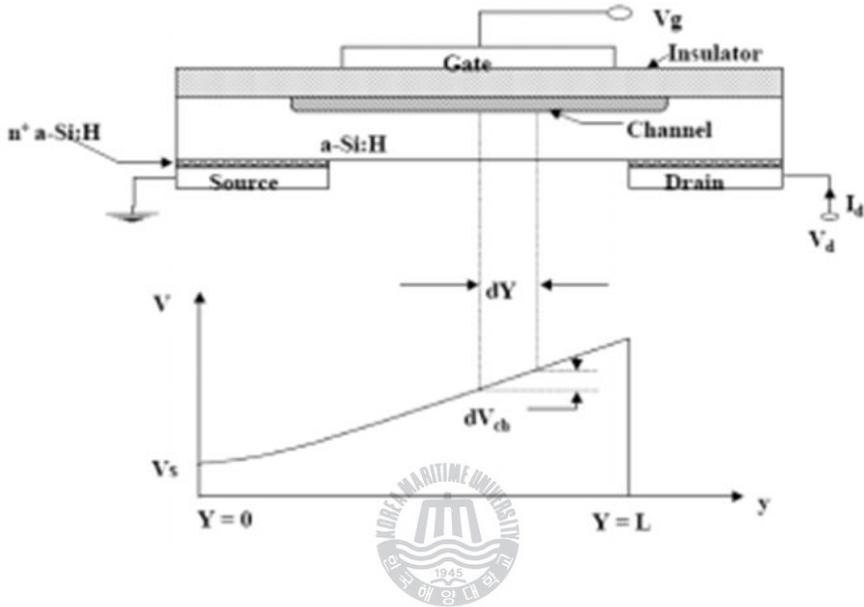


그림 3-8 박막 트랜지스터의 단면도(위)와 선형 채널 근사화 기법(아래)

전압이 0 V인 경우인데, 실제로도 y에 드레인 소스 사이의 바이어 (bias)에 의해서 전압 V가 형성되어 있으므로 채널에 유도된 전하는 다음과 같이 수정된다.

□□□□□□

$$Q_I = -C_{SiN_x}(V_G - V_{TH} - V) \quad (3.2)$$

한편 채널 전류는 다음과 같이 쓰일 수 있다.

$$I_D = W\mu_n Q_f E_y \quad (3.3)$$

여기서 W 는 채널의 폭이며, μ_n 은 전자 이동도, Q_f 는 유도 전하량, E_y 는 y 방향 전기장이다. 이제 $E_y = -dV/dy$ 와 두 번째 식을 \square 세 번째 식에 대입하면,

$$I_D dy = W\mu_n C_{SiN_x} (V_G - V_{TH} - V) dV \quad (3.4)$$

이고, 이를 $y=0$ 에서 L 까지, $V=0$ 에서 V_D (드레인 전압)까지 적분하면,

$$I_D = C_{SiN_x} \mu_n \frac{W}{L} [(V_G - V_{TH}) V_D - \frac{1}{2} V_D^2] \quad (3.5)$$

을 얻을 수 있다. 위 식에서 V_D 가 매우 작은 선형 영역 ($V_D < 1V$)에서는

$$I_D = C_{SiN_x} \mu_n \frac{W}{L} (V_G - V_{TH}) V_D \quad (3.6)$$

로 표시된다. 따라서 위 식으로부터 박막 트랜지스터 전류 전압 특성에 영향을 주는 요소는 절연 박막의 용량, 전자 이동도, 트랜지스터 채널 길이와 폭, 게이트 전압, 트랜지스터 문턱 전압 등이 있을 수 있다. 표 4은 트랜지스터 특성에 영향을 주는 요소를 요약정리 한 것이다.

② 포화영역 (saturation region)

만약 드레인 전압이 커져서 게이트 전압이 중성화되면 채널이 드레인 쪽으로 사라지게 되고 (pinch off), 드레인 전류가 더 이상 증가하지 않

는 결과가 나타나게 된다. 그러므로 앞에서 구한 선형 영역에서의 드레인 전류가 더 이상 맞지 않게 된다. 이러한 상황은 Q_I 를 0으로 놓음으로써 다시 만족될 수 있고 결국 $V = V_G - V_{TH} = V_D$ 을 아래 두 번째 식에 대입하면,

$$I_D = \frac{C_{SiNx} \mu_n W}{2L} (V_G - V_{TH})^2 \quad (3.7)$$

표 4 트랜지스터의 특성에 영향을 주는 요소

특 성	요 소
On current	<ul style="list-style-type: none"> ◆ W/L ◆ Mobility ◆ Interface ◆ Ohmic contact ◆ Gap states ◆ Back surface (or interface)
Off current	<ul style="list-style-type: none"> ◆ W/L ◆ Fermi level (a-Si:H) ◆ Interface ◆ Ohmic contact ◆ Band gap ◆ Back surface (or interface)
Mobility	<ul style="list-style-type: none"> ◆ Width of band tails ◆ Interface states
Gate voltage swing	<ul style="list-style-type: none"> ◆ Gap states (defect states) ◆ Interface states

이 된다. 위 식을 이용하여 포화 영역에서의 전계 효과 이동도를 구할 수 있다. 박막 트랜지스터의 특성은 채널박막의 특성 (상태 밀도, 밴드 이동도 등), 채널층과 절연막 사이의 계면특성, 채널층과 금속과의 접촉, 소자의 형상 등에 의해 영향을 받는다.

게이트 전압 스윙 (swing voltage, S)는 드레인 전류 I_d 를 10배 증가 시키는데 필요한 게이트 전압 V_g 로서 다음 식이 사용된다.

$$S = \frac{dV_g}{d(\log I_d)} \quad (3.8)$$

상호전달컨덕턴스 (mutual trans-conductance, gm)를 이용하여 전계효과 이동도를 구하는 방법은 MOSFET나 박막트랜지스터에서 주로 사용하며, 정의는 다음과 같다.



$$g_m \equiv \left. \frac{\partial I_d}{\partial V_g} \right|_{V_d = \text{const.}} = \frac{W}{L} C_i \mu_n V_d (V_d < V_{dsat}) \quad (3.9)$$

이때의 I_d 는 드레인 전류, V_g 는 게이트 전압 그리고 V_d 는 드레인 전압이다. W 와 L 은 박막트랜지스터 채널의 폭과 길이이고, C_i 는 게이트 절연막의 단위 면적당 커패시턴스이고 μ_n 는 전계 효과 이동도이다. V_{dsat} 는 드레인 전류가 포화될 때의 드레인 전압이다.

제 4 장 결과 및 고찰

4.1 RF 스퍼터 파워변화에 따른 플라스틱 기판위에 증착된 ZnO 박막의 특성

본 연구에서 ZnO 박막은 플라스틱 기판 위에 물리적으로 매우 안정되고 잘 흡착되었다. 그림 4-1 (a) 와 (b)는 다양한 스퍼터 파워에서 PC 와 PES 기판 위에 증착된 ZnO 박막의 XRD 패턴을 보여준다. XRD 패턴에서는 ZnO 박막이 스퍼터 파워크기와 기판의 종류와 관계없이 2θ 는 34.4° 근방에서 매우 강한 피크가 나타나는 것을 볼 수 있다. 이 피크는 육방정계 구조를 가지는 ZnO의 (002) 면에 의한 피크이고 기판 위에 ZnO 박막이 c-축으로 우선배향 증착되는 것을 의미한다. PC 와 PES, 두 기판 모두에서 스퍼터 파워가 100 W 에서 175 W로 증가할수록 순차적으로 높은 XRD 피크강도를 보였다. 스퍼터 파워가 175 W일 때 가장 높은 피크강도를 보였는데 이때의 (002) 피크강도를 기준으로 다른 파워에서 얻은 XRD 피크강도와의 상대적인 비율을 구한 결과 그림 4-2 와 같이 PC 기판에서는 0.1, 0.5, 0.89, 1의 비율과 PES기판에서는 0.09, 0.34, 0.8, 1의 비율로 증가하는 것을 확인하였다. 하지만 더 높은 스퍼터 파워인 200 W에서 증착된 ZnO 박막에서는 XRD 피크가 크게 감소하여 PC, PES 기판에서의 피크 강도가 각각 0.06, 0.33의 비율을 나타내었다.

그림 4-3은 스퍼터 파워변화에 따른 XRD (002) 면 피크의 반치폭값 (full width at half maximum, FWHM)과 두께변화를 보여준다. 스퍼터의 파워가 증가할수록 두께도 증가하였으며 PC, PES 두 기판 모두에서 반치폭 값이 각각 0.92° 에서 0.75° 로, 0.89° 에서 0.72° 로 감소하였다. 특히 175 W 파워에서 XRD (002) 면 피크의 반치폭 값이 약 0.7° 정도로 가장 작게 나타나는데, 이는 Si 혹은 SiO_2 기판 위에 상온으로 증착된 ZnO 박막에서 얻은 반치폭 값과 비교 될 만하다. 그러나 주목할 만

한 것은, 200 W 파워에서 증착된 박막의 (002) 면 반치폭 값은 100 W 에서의 (002) 면 반치폭값 만큼 크게 나타났다. 스퍼터 파워에 따른 박막의 결정립 크기변화를 확인하기 위하여 XRD 측정결과를 통한 Scherrer formula를 이용하였다.

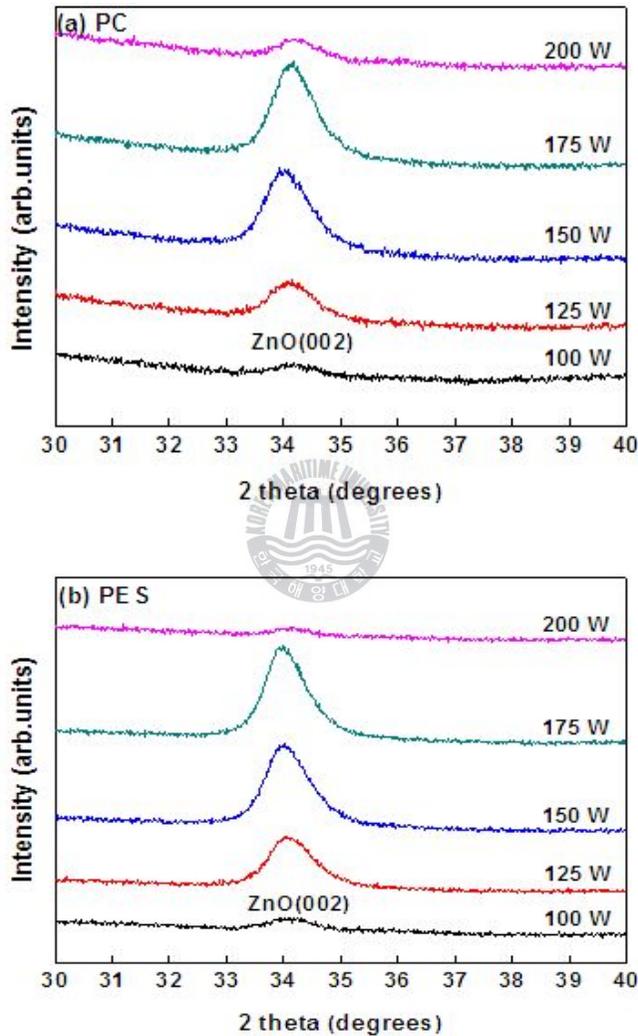


그림 4-1 여러 가지 스퍼터 파워에 따라 플라스틱 기판에 증착된 ZnO 박막의 XRD 이미지; (a) PC 기판, (b) PES 기판

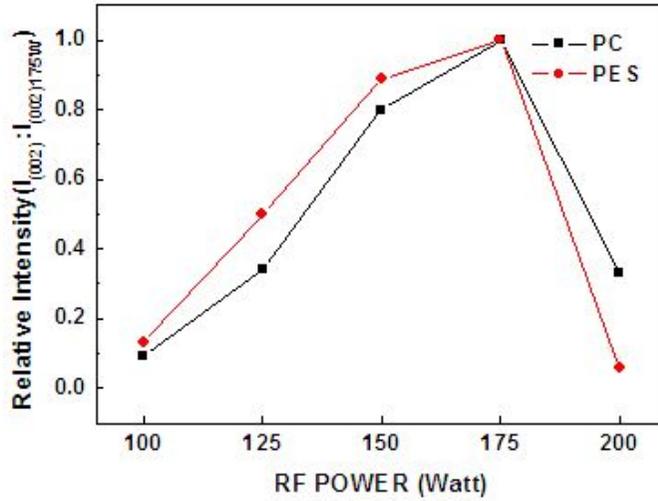


그림 4-2 스퍼터 파워 변화에 따른 ZnO 박막의 (002)면 회절 피크의 상대적 강도

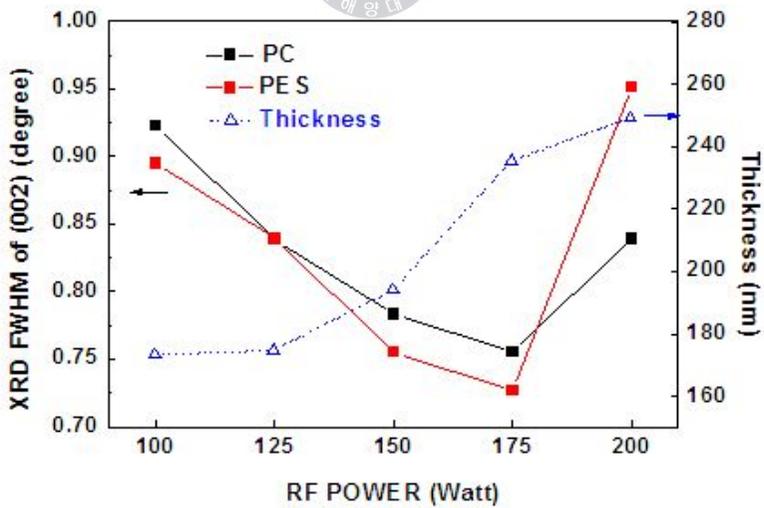
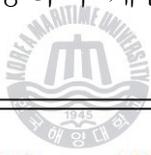


그림 4-3 스퍼터 파워변화에 따른 (002)면 회절 피크의 반치폭 값과 박막의 두께

$$D = 0.9\lambda / (B \cos \theta) \quad (4.1)$$

여기서 D는 결정립 크기, λ 와 B, θ 는 각각 X선의 파장 (1.54 Å)와 (002) 면 피크의 반치폭값, 브래그 회절각을 의미한다. 계산된 결정립의 크기를 표 5 에 요약하였다. 두 기관 모두에서 스퍼터의 파워가 증가할 수록 결정립의 크기는 약 9 nm 에서 11 nm 로 증가하였지만 200 W 파워의 PC, PES 기관에서는 결정립의 크기가 각각 9.9 nm, 8 nm로 감소하였다. 이러한 결과를 통해 스퍼터 파워증가로 인한 XRD 피크의 반치폭값 감소는 두께증가로 인한 결정성향상 때문이며 지나치게 높은 파워인가는 큰 에너지를 가진 입자들의 영향으로 오히려 박막의 결정성을 퇴화시키는 것을 확인하였다.

표 5 Scherrer's formula를 이용하여 계산된 ZnO 박막의 결정립 크기



Sputtering Power (Watt)		100	125	150	175	200
Grain size (nm)	PC	9	9.9	10.6	11	9.9
	PES	9.2	9.9	11	11.5	8

그림 4-4 는 다양한 스퍼터 파워로 PC (a) 과 PES 기관 (b) 위에 증착된 ZnO 박막의 표면을 AFM으로 측정된 사진이다. ZnO박막의 표면 입자들은 매우 연속적이고 조밀하였으나 200 W의 파워로 PES 기관 위에 증착된 ZnO 박막 사진에서는 다른 시료들과 다르게 표면 형상이 뚜렷하게 나타나지 않았다. 이는 높은 플라즈마 열로 인하여 발생된 플라스틱 기관의 변형이 AFM 표면 측정을 부정확하게 만든 것으로 판단된다. 그림 4-4 로 부터 얻은 스퍼터 파워에 따른 ZnO 박막의 결정립 크기와 표면 거칠기를

각각 그림 4-5 (a) 와 (b)에 나타내었다. 두 기판 모두 150 W 파워 이하에서는 결정립의 크기가 감소 후 증가하였고, 150 W 이상의 파워에서는 결정립의 크기가 점차 감소하였다. 이러한 결과는 반치폭이 작을수록 결정립이 커진다는 XRD 결과와는 상반되었다. 이러한 현상의 원인으로

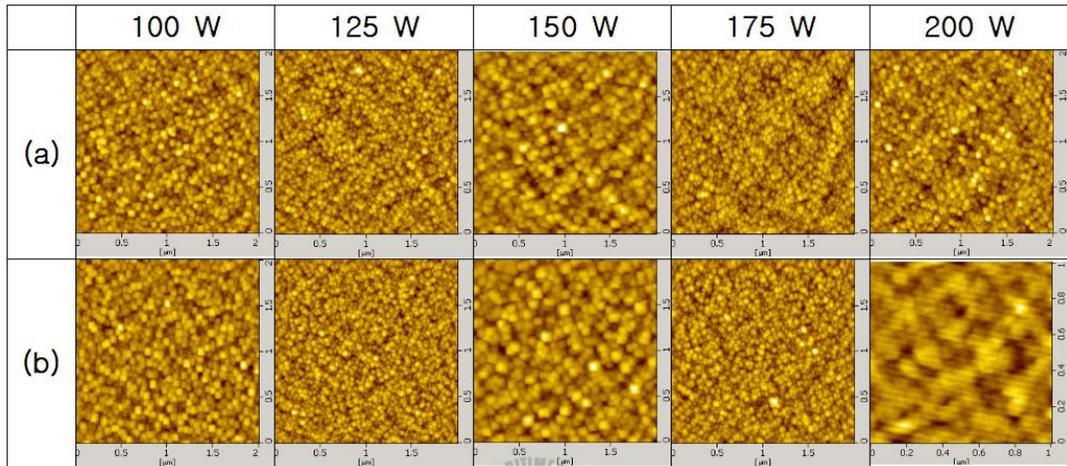


그림 4-4 다양한 스퍼터 파워변화에 따라 (a) PC 와 (b) PES 기판 위에 증착 된 ZnO 박막의 AFM 표면 이미지

스퍼터 파워 100 W ~ 175 W 범위에서 증착 시 낮은 기판온도 또는 초기 결정성장에서 발생하는 고 에너지 입자로 인한 플라스틱기판의 손상이 ZnO 박막의 c-축 성장 방향을 무질서하게 유도하여 부정확한 결정립 크기 측정을 야기 시키는 것으로 판단된다. 175 W 이상의 파워에서는 박막의 증착이 결정의 성장보다 우선하여 급격한 두께증가와 결정립 크기의 감소가 나타났는데 이는 XRD의 결과와 일치하였다. 스퍼터 파워와 결정립 크기변화에 관하여 Kim 그룹에서는 증가하는 스퍼터 파워로 인한 기판온도의 상승이 약간의 결정립 크기증가에 기여할지라도 스퍼터 파워 80 W ~ 250 W 범위 내에서는 결정립의 크기가 스퍼터의 파워에 크게 의존하지 않는다고 보고하였다 [42]. 박막의 표면 거칠기를 의미하는 RMS

(root mean square) 값은 스퍼터 파워증가로 인한 결정립 크기에 비례하여 증가하였지만 175 W 이상에서는 급격한 두께증가 효과 (Buffer층 효과)로 인해 크게 감소하였다. 기판에 따른 박막의 RMS 값은 PES 기판이 PC 기판보다 작게 나타났다. 특히, 스퍼터 파워 200 W로 PES 기판에 증착된 ZnO 박막의 RMS 값이 급격히 증가하는 것을 볼 수 있었다. 이것은 플라스틱 기판소재의 열적특성인 치수변화율 (coefficient of thermal expansion)로 인한 기판의 변형과 박막의 손상 때문에 발생한 것으로 판단된다. 그림 4-6은 다양한 스퍼터 파워로 PC (a) 과 PES 기판 (b) 위에 증착된 ZnO 박막의 광투과율을 나타낸다. 500 nm 이상의 파장영역에서는 200 W 파워로 PC 기판에 증착한 ZnO 박막을 제외하고는 두 기판 모두에서 80 % ~ 90 % 이상의 높은 광투과율을 보였으며 300 nm ~ 500 nm의 파장영역에서는 스퍼터의 파워가 증가할수록 광투과율이 감소하였다. 아래의 식(4.2) 은 박막의 두께와 광투과율의 관계를 보여준다.

$$T = A \exp(-\alpha d) \quad (4.2)$$

여기서 A는 상수, α 는 흡수계수, 그리고 d 는 박막의 두께를 나타낸다. 식(1)을 통하여 박막의 두께증가로 인해 광투과율이 감소하는 것을 확인할 수 있다. 또한 두 기판 모두에서 스퍼터의 파워가 증가할수록 ZnO 박막의 광 흡수단이 장파장 영역으로 이동하였다. 직접 천이형 반도체의 밴드전이를 위한 광학적 에너지값 E_g 는 아래의 식(2)을 이용하여 흡수계수 α 를 통하여 구할 수 있다.

$$\alpha h\nu = A'(h\nu - E_g)^{1/2} \quad (4.3)$$

여기서 $h\nu$ 는 광자 에너지이며 흡수계수 α 는 식 (4.2)의 $\alpha =$

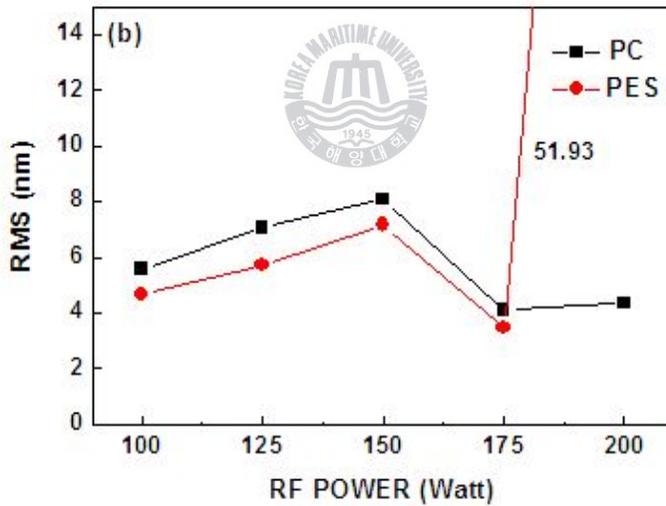
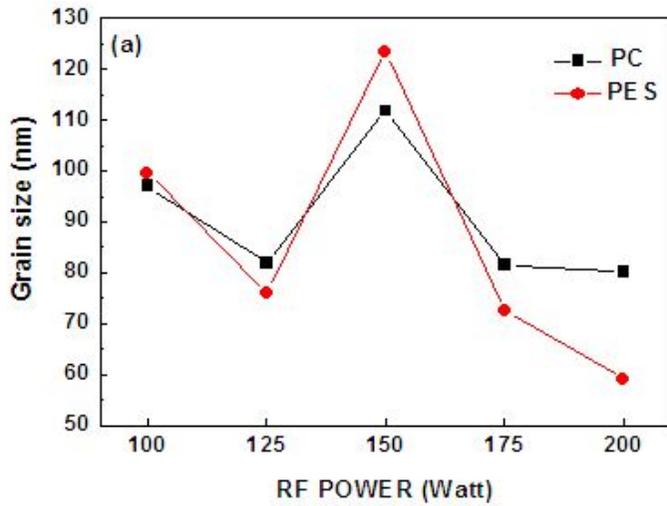


그림 4-5 여러 가지 스퍼터 파워 변화에 따라 플라스틱 기판 위에 증착된 ZnO 박막의 (a) 결정립 크기 와 (b) 표면 거칠기

$\ln(1/T)/d$ 를 이용하여 투과율 T 로부터 구할 수 있다. 그림 4-7 은 위의 식 (4.2), (4.3) 을 이용하여 얻어진 광자에너지에 대한 $(ah\nu)^2$ 의 그래프이다. 이 그래프에서 곡선의 변곡점으로부터 연장선을 그은 직선과 $h\nu$ 축이 만나는 접점이 광밴드갭을 의미한다. 이러한 방법을 통하여 얻어진 ZnO 박막의 광밴드갭 에너지를 표 6 에 요약하였다. 박막두께에 따른 광밴드갭 에너지변화를 보다 정확하게 알기 위하여 플라스틱 기판에 열적으로 변형을 일으키는 200 W의 값은 제외하였다. 두 기판 모두 스퍼터의 파워가 증가할수록 광밴드갭 에너지의 크기는 감소하였다. 이는 비정질 구조의 입자들이 더 큰 내부 원자공간 및 불규칙한 배열로 인해 큰 밴드갭을 가지는데, 본 실험에서는 두께증가로 인한 결정성 향상으로 인하여 밴드갭이 감소된 것으로 판단된다 [43]. 스퍼터 파워에 따른 광투과율의 변화는 PES 기판 위에 증착된 ZnO 박막이 PC 기판보다 더 적게 나타나는 안정적인 특성을 보였다. 광학적 특성은 150 W와 같이 일정 이상의 파워가 주어져야 좋아지는 구조적 특성과는 다르게 가장 낮은 파워에서 가장 좋은 결과를 얻었다. 이는 100 W 이상의 높은 스퍼터 파워로 성장시키면 기판 또는 초기박막에 손상이 발생하여 [44] 다양한 파장영역에서 광흡수가 일어나 결과적으로 광학적 특성을 떨어뜨리는 것으로 보인다. 그러므로 플라스틱 기판 위에서는 낮은 파워의 박막성장 이후에 스퍼터의 파워를 높여 증착하는 이단계 증착법이 보다 양질의 ZnO 박막을 얻을 수 있을 것으로 판단된다.

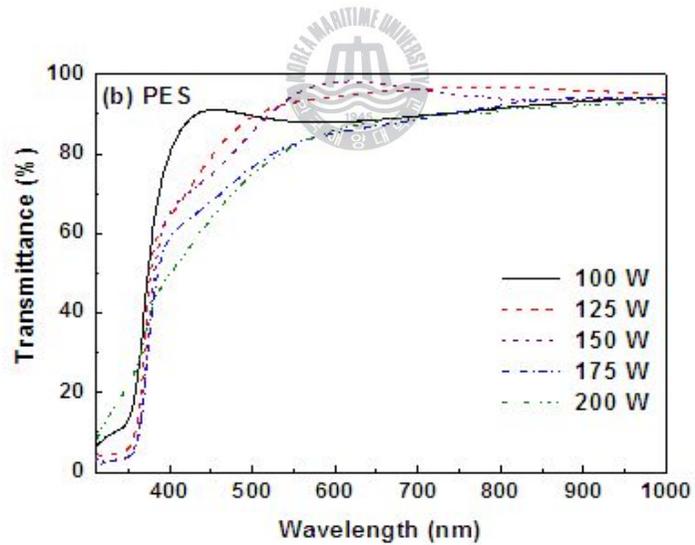
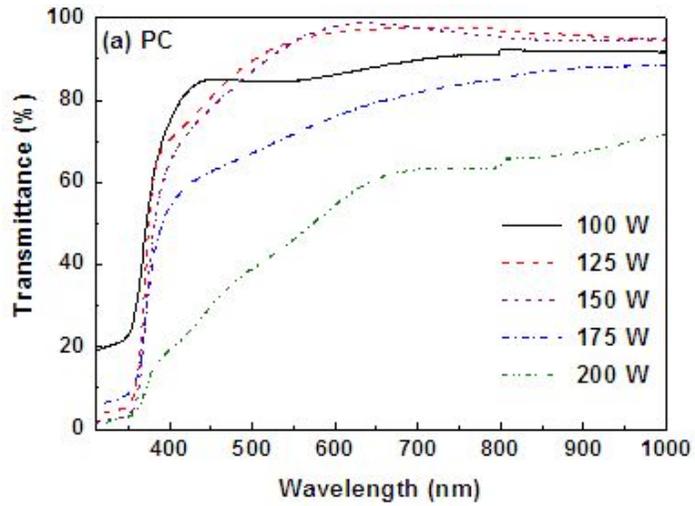


그림 4-6. 여러 가지 스피터 파워변화에 따라 증착된 ZnO 박막의 광학적 투과 스펙트럼; (a) PC, (b) PES

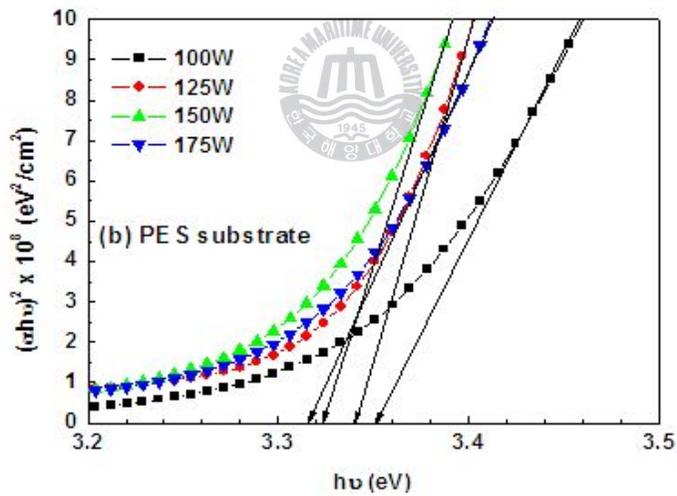
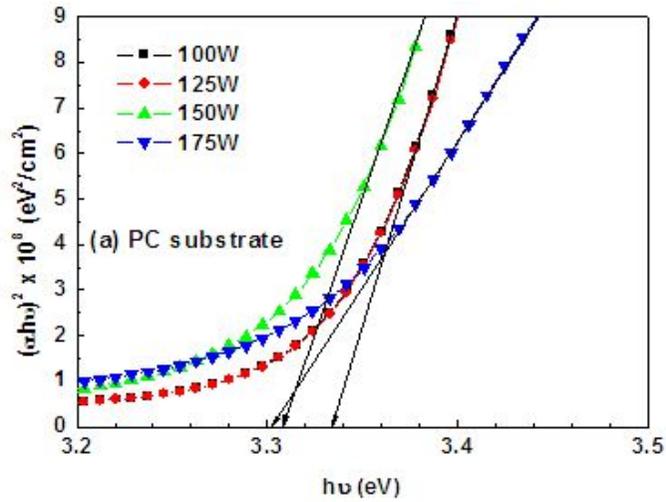


그림 4-7 여러 가지 스퍼터 파워에 따라 (a) PC와 (b) PES 기판위에 증착된 ZnO 박막의 광학 밴드갭 에너지

표 6 여러 가지 스퍼터 파워에 따라 PC와 PES 기판위에 증착된 ZnO 박막의 광학 밴드갭 에너지

Sputtering Power (Watt)		100	125	150	175
Optical	PC	3.33	3.33	3.31	3.30
Band gap (eV)	PES	3.35	3.34	3.32	3.31



4.2 저온 열처리에 따른 ZnO 박막 트랜지스터

4.2.1 ZnO 박막의 특성

그림 4-8 은 상온에서 sputtering 법에 의해 SiO₂/Si 기판 위에 증착된 ZnO 박막의 XRD 패턴이다. $2\theta = 34^\circ$ 근방에서 나타나는 피크는 hexagonal ZnO 결정구조의 (002)면에 의한 피크 값과 일치하며 이는 ZnO 박막 증착시 기판과 수직인 c-축으로 (002) 결정면이 우선 성장하는 것을 의미한다. $2\theta = 32.98^\circ$ 와 $2\theta = 38.3^\circ$ 피크는 각각 Si 기판의 (200) 결정면과 전극으로 사용된 Au의 (111) 면을 나타낸다.

그림 4-9는 상온에서 증착된 ZnO 박막의 AFM 사진이다. 증착된 ZnO박막의 표면 거칠기 값은 약 0.65nm 였고 결정립의 평균 크기는 약 87 nm 였다. 이러한 결과는 ZnO박막의 표면은 매우 부드럽지만 매우 많은 결정립의 경계가 존재하며, 이로 인해 제작된 TFT에서는 전자산란으로 인한 전자 이동도가 감소하는 것을 의미한다[42-43].

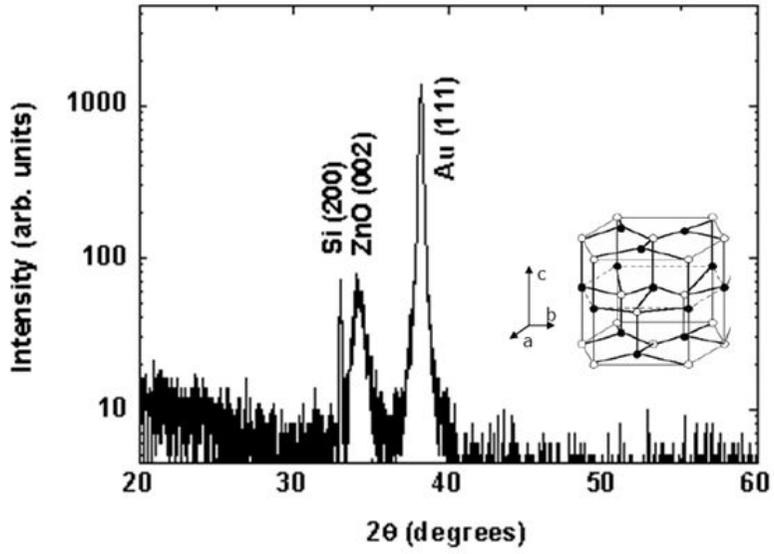


그림 4-8 ZnO 박막의 XRD 패턴

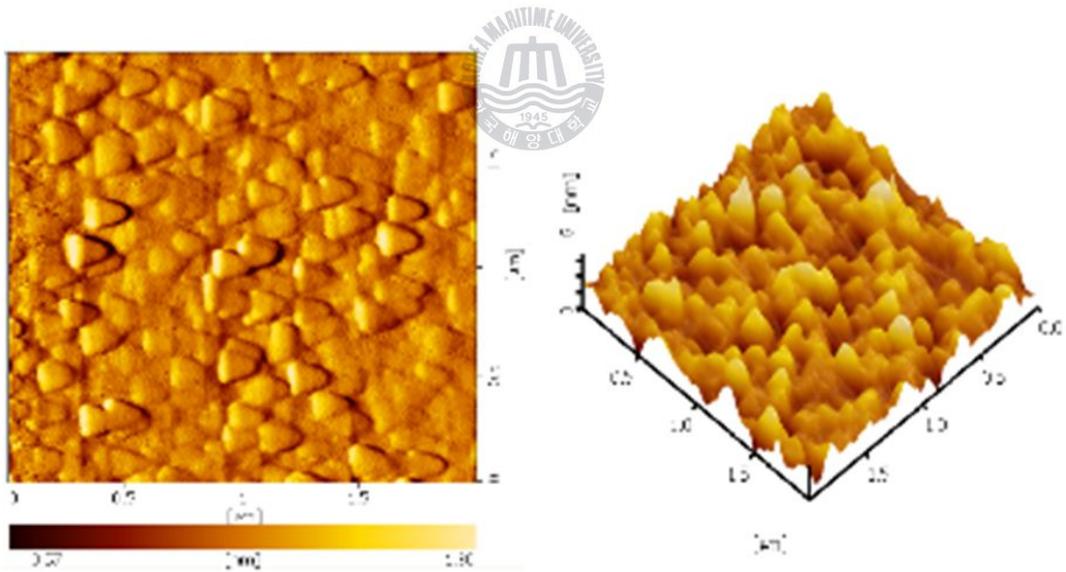


그림 4-9 상온에서 증착된 ZnO 박막의 AFM 사진

표 7 여러 가지 열처리조건에 따른 ZnO 박막의 결정립 크기와 (002) 피크의 반치폭 (FWHM) 값

Annealing conditions		Grain size (nm)	FWHM (°)
Un-annealed		87	0.98
Air	300 °C	159	0.65
	500 °C	140	0.41
N ₂	300 °C	99	0.57
	500 °C	179	0.57

표 7 은 여러 가지 열처리조건에 따른 ZnO 박막의 결정립 크기와 (002) 피크의 반치폭 (FWHM) 값을 나타낸다. N₂분위기에서는 열처리 온도가 증가 할수록 결정립의 크기가 증가하였지만, air 분위기에서는 300 °C 이상의 온도에서는 열처리 온도가 증가 할수록 결정립의 크기는 오히려 다소 감소하였다. 하지만 반치폭 값은 air와 N₂ 열처리 분위기 모두에서 박막의 열처리 온도가 높아질수록 다소 감소하였다. 이러한 결과는 열처리 온도가 다소 낮을지라도 열처리를 통하여 ZnO 박막의 결정 품질이 개선된 것을 의미한다.

4.2.2 ZnO 박막 트랜지스터의 특성

그림 4-10 (a)는 제작된 ZnO-TFT의 출력특성 그래프 ($I_{DS}-V_{DS}$)이며 그림 4-10 (b)는 전이특성 그래프 ($I_{DS}-V_{GS}$)이다. 제작된 ZnO-TFT의 전계효과 이동도(μ_{FE})는 식 3-7을 통하여 계산되었고 문턱전압(V_{TH})은 $I_{DS}-V_{GS}$ 전이특성 그래프에서 I_D 의 제곱근의 곡선에 접한 직선의 기울기로 나타내어졌다. 제작된 ZnO-TFT는 양의 V_{GS} 전압이 인가 될 때 전자가 생성되는 n형 채널을 가졌으며 증가모드 특성을 가졌다. 약 13.7 V의 문턱전압과 $0.024 \text{ cm}^2/Vs$ 의 전계효과 이동도를 보였고 약 $1.12 \times 10^{-8} \text{ F/cm}^2$ 의 게이트 정전용량 (C_i)값을 가졌다. 제작된 TFT의 높은 문턱전압은 게이트 절연체의 두꺼운 두께와 게이트-절연체 경계면에서의 결함이 원인인 것으로 판단된다. [47]

여러 열처리 분위기에서 후속 열처리된 ZnO-TFT들의 특성을 표 8에 요약하였다. 게이트 전압 40 V, 드레인 전압이 30 V 일때 측정된 ZnO-TFT의 포화전류 (I_{SAT})값은 air 분위기에서는 열처리 후에 크게 감소하는 반면, N_2 분위기에서 열처리 후에는 크게 증가하였다. 이러한 결과는 아래의 식 4.4와 같이 ZnO 채널층의 저항 (R_{ch})과 관련된다.

$$R_{CH} = \rho \frac{L}{Wt}$$

$$\rho = \frac{1}{Ne\mu} \quad (4.4)$$

t 는 박막의 두께, ρ 는 비저항, e 는 전자의 전하를 의미한다. air 분위기에서 열처리 시 결정면의 경계에 산소의 흡착이 일어나고 캐리어의 농도를 감소시켜 채널층의 저항을 증가시키지만 반대로 N_2 분위기에서의 열처리는 산소의 흡착을 막아 캐리어 농도를 증가시키고 채널의 저항을

감소시키는 것이다. 또한 air 분위기에서 열처리된 ZnO-TFT들의 문턱전압은 큰 변화가 없었지만 N₂분위기, 500 °C에서 열처리된 ZnO-TFT의 문턱전압은 12.5 V로 다소 감소하였다.

일반적으로 전계효과 이동도는 (μ_{FE})는 ZnO 채널층의 결정성에 매우 영향을 받는다. 하지만 본 실험에서 전계효과 이동도는 ZnO 박막의 결정립의 크기에 비례하지 않았으며 N₂ 분위기에서 열처리된 ZnO-TFT가 약간의 결정립 크기 증가와 낮은 표면 거칠기로 인해 열처리 전의 ZnO-TFT와 비교하여 높은 전계효과 이동도를 보였다.

저온 열처리 후 ZnO-TFT는 평균 off current (I_{OFF})는 약 8×10^9 A의 값을 가졌지만 N₂ 분위기에서 300 °C의 온도로 열처리된 ZnO-TFT에서는 6.064×10^{-10} A의 가장 낮은 off current 값을 가졌고 이로 인해 2×10^3 의 높은 on-off current ratio ($I_{ON/OFF}$)를 나타내었다.

또한 본 실험에서는 그림 4-11 (b)와 (d) 같이 열처리 분위기와 상관없이 500 °C 이상의 온도에서 TFT의 current-crowding 현상이 사라졌다. 이는 500 °C 이상의 온도에서 소스와 드레인 전극이 ZnO 채널층과 가장 좋은 접촉특성을 보이는 것을 의미한다.

본 연구에서는 N₂ 분위기에서의 저온 열처리를 통해 ZnO-TFT의 I_{SAT} , μ_{FE} , $I_{ON/OFF}$ 특성이 향상되는 것을 확인하였다. 이러한 결과는 비록 매우 낮은 후속 열처리 공정을 통해서도 열처리 분위기 조절을 통하여 높은 특성의 TFT 소자의 제작이 가능하며 차후 플라스틱 기반의 플렉시블한 TFT의 제작에도 매우 유용한 공정임을 의미한다.

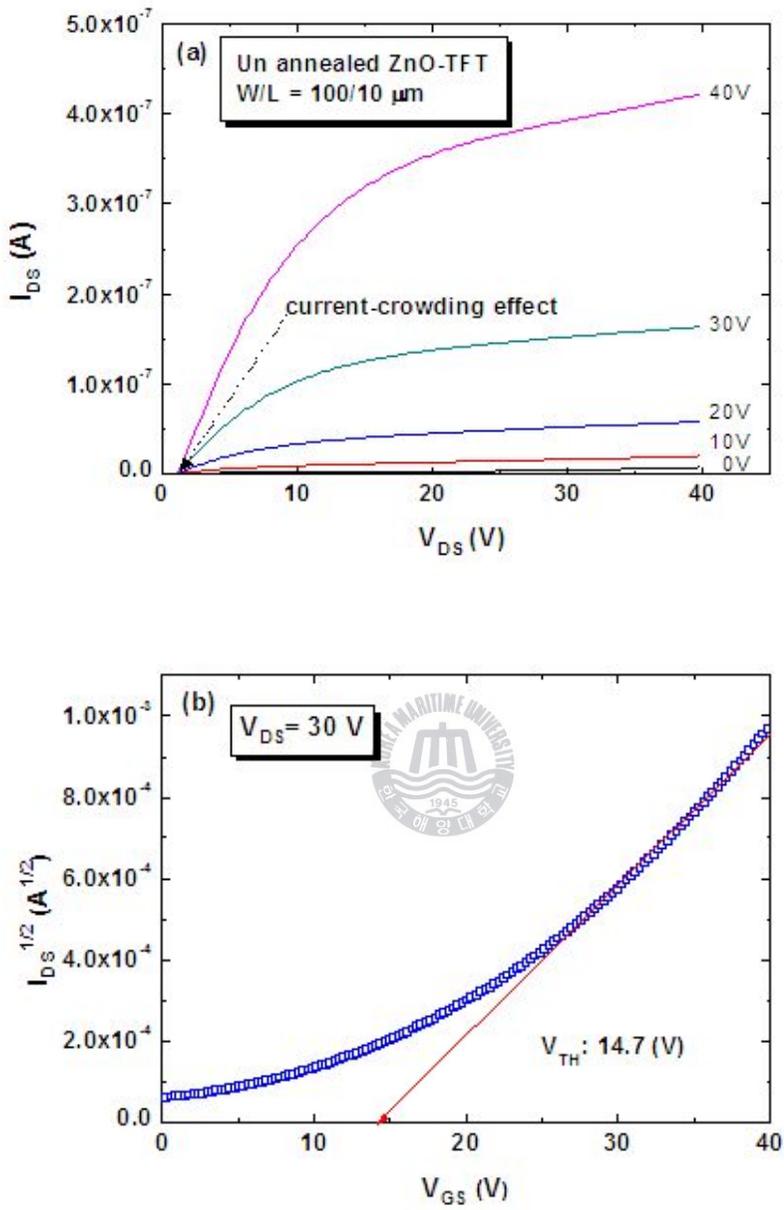
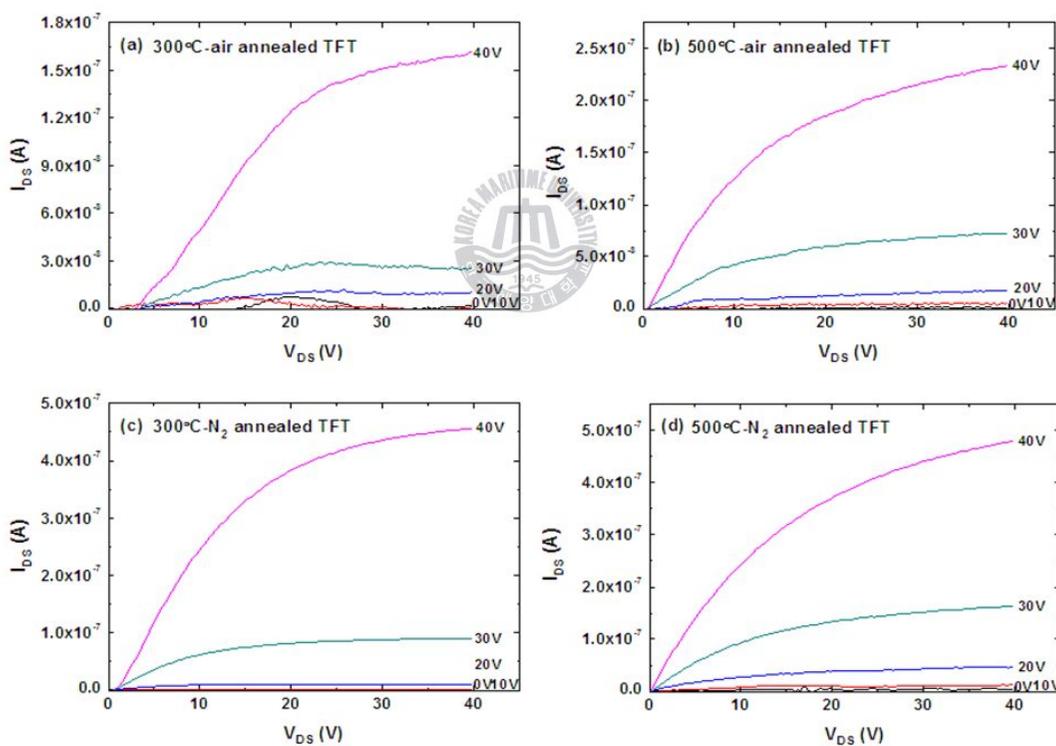


그림 4-10 (a) 제작된 ZnO-TFT의 출력특성 그래프 (I_{DS} - V_{DS}), (b) 전이특성 그래프 (I_{DS} - V_{GS})

표 8 여러 열처리 분위기에서 후속 열처리된 ZnO-TFT들의 특성

Annealing conditions	I_{SAT} (A) [$V_{GS}=40$ V, $V_{DS}=30$ V]	V_{TH} (V)	μ_{FE} (cm^2/Vs)	I_{OFF} (A) [$V_{GS}=0$ V, $V_{DS}=30$ V]	I_{ON}/I_{OFF}
Un-annealed	9.38×10^{-7}	13.7	0.024	4.09×10^{-9}	229
Air					
300 °C	5.24×10^{-7}	13.7	0.013	1.42×10^{-9}	364
500 °C	5.82×10^{-7}	13.8	0.015	5.69×10^{-9}	102
N ₂					
300 °C	1.38×10^{-6}	17.3	0.047	6.06×10^{-10}	2×10^3
500 °C	1.04×10^{-6}	12.5	0.024	8.15×10^{-9}	129



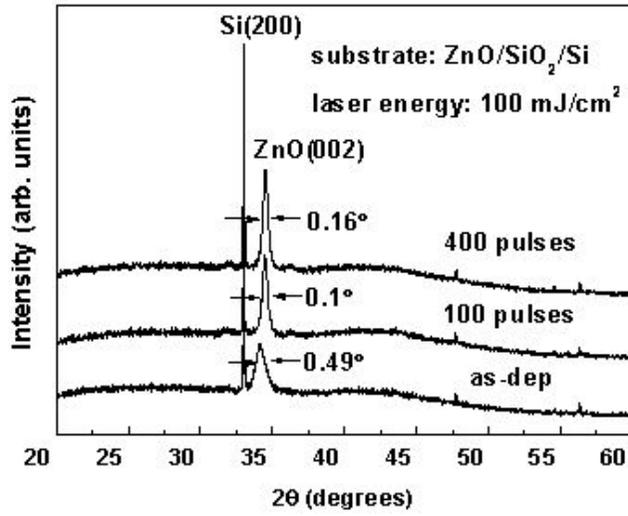
4-11 다양한 열처리 조건에 따른 ZnO-TFT의 특성

4.3 레이저 열처리에 따른 ZnO 박막트랜지스터의 특성

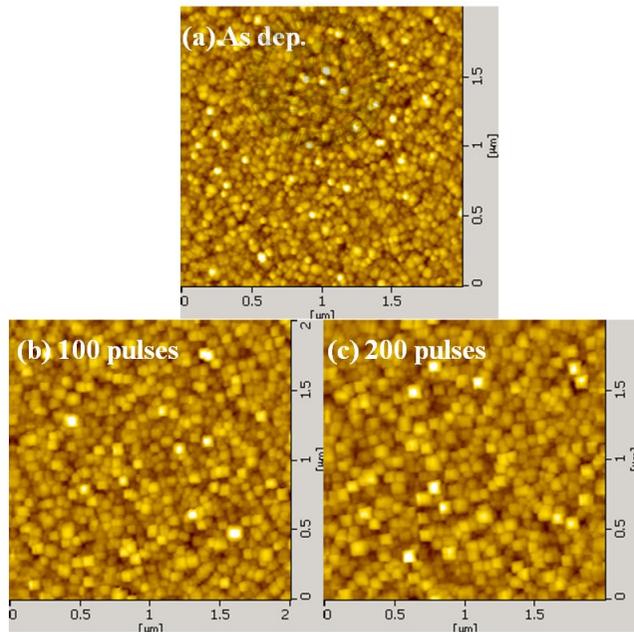
4.3.1 ZnO 박막의 특성

그림 4-12 은 레이저 열처리 열처리에 따른 SiO₂/Si 기판 위에 증착된 ZnO 박막의 XRD 패턴과 ZnO (002)면 회절피크의 반치폭 값을 보여준다. 레이저 조사 횟수와 상관없이 $2\theta = 34^\circ$ 근방에서 ZnO (002)면의 피크가 나타났다. ZnO (002)면 회절 피크의 강도는 레이저 조사 횟수가 증가 할 수록 증가하였다. ZnO박막의 (002)면 회절 피크의 반치폭 값은 100 회의 레이저 조사 후 0.49° 에서 0.1° 로 감소하였으나 400 회 레이저 조사 후에는 약간 증가하였다. 이러한 반치폭의 감소는 레이저의 조사로 전이와 같은 ZnO 박막의 결함 감소나 결정립 크기 증가로 인하여 결정성이 좋아지는 것을 의미하며 이러한 반치폭 값의 크기는 800°C 의 고온에서 열처리된 ZnO 박막에서 얻을 수 있는 반치폭 값과 견줄 만하다. [48]

그림 4-13 은 ZnO 박막의 AFM 사진이며 이는 박막에 레이저 주사 횟수가 100 회에서 400 회로 증가 할수록 결정립의 크기는 72 nm에서 400 nm로 증가하는 것을 보여준다. 그림 4-14 는 레이저 조사 횟수 증가에 따른 ZnO 박막의 표면 거칠기와 결정립 크기의 변화를 보여준다. 일반적으로 퍼니스를 이용하여 높은 온도에 박막을 열처리하게 되면 박막의 재성장과 재결정화로 인해 결정크기가 증가하면서 표면 거칠기도 증가하게 된다. 하지만 본 실험에서는 레이저 열처리 후 결정립의 크기는 증가 하였지만 박막의 표면 거칠기는 5.4 nm에서 4.6 nm로 감소하였다. 이러한 XRD와 AFM 결과를 통하여 레이저 열처리는 박막에 매우 낮은 열적부담으로 박막의 결정성과 표면 거칠기를 동시에 향상 시킬 수 있는 방법임을 알 수 있다.



4-12 ZnO 박막의 XRD 패턴



4-13 레이저 열처리에 따른 ZnO 박막의 AFM 사진

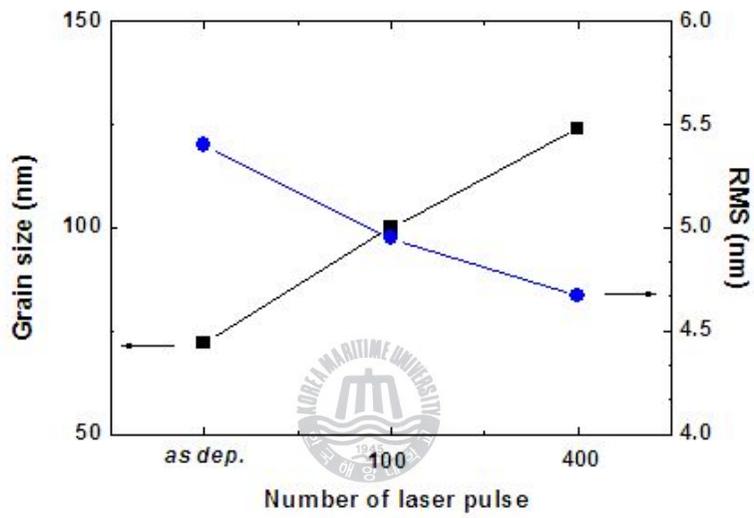


그림 4-14 레이저 열처리에 따른 ZnO박막의 표면 거칠기와 결정립 크기의 변화

4.3.2 ZnO 박막 트랜지스터의 특성

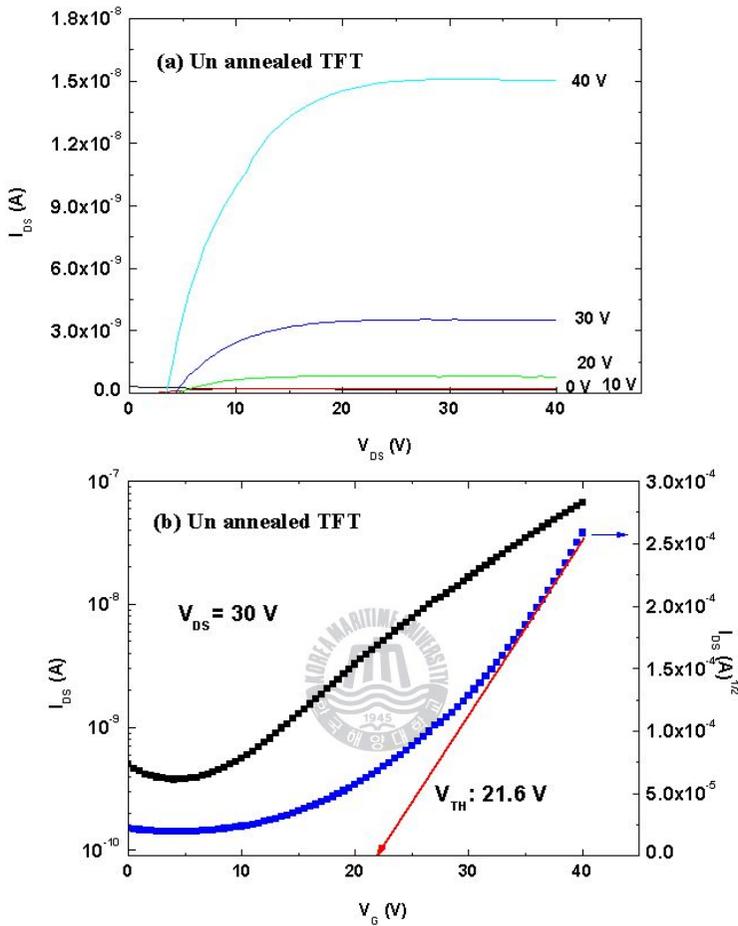


그림 4-15 (a) 레이저 열처리 전의 ZnO-TFT의 출력특성 그래프 (I_{DS} - V_{DS}), (b) 전이특성 그래프 (I_{DS} - V_{GS})이며

그림 4-15 (a)와 (b)는 각각 레이저 열처리 전의 ZnO-TFT의 출력특성 그래프 (I_{DS} - V_{DS})와 전이특성 그래프 (I_{DS} - V_{GS})이며 그림 4-16 와 그림 4-17은 각각 레이저 열처리 후의 ZnO-TFT의 출력특성 그래프와 전이특성 그래프이다. 여러 가지 열처리에 조건에 따른 ZnO-TFT의 특성을 표 9 에

요약하였다.

100 mJ/cm² 의 레이저 파워로 각각 100회 조사된 ZnO-TFT (A₁)와 200회 조사된 ZnO-TFT의(A₂)은 레이저 열처리 전의 TFT (A)와 비교하여 특성이 매우 향상 되었다. 레이저 조사 후 ZnO-TFT의 포화전류 (I_{SAT})값은 6.6×10^{-8} A에서 5.7×10^{-6} A 로 증가 하였으며, 전계효과 이동도 (μ_{FE})는 0.004 에서 0.14 cm²/Vs 로 증가하였다. 이러한 결과는 레이저 열처리로 인한 ZnO 채널층의 결정성 증가가 박막의 이동도를 증가시켰으며 증가된 이동도가 ZnO박막의 저항을 감소시켜 ZnO-TFT의 전류값을 증가 시킨 것이다. 또한 레이저 열처리 후 문턱전압은 (V_{TH})는 21.6 V에서 13.4 V로 감소하였는데 이는 레이저 열처리로 인해 채널과 유전체 경계에서의 결함농도 감소가 원인인 것으로 판단된다.

본 연구에서는 ZnO-TFT의 레이저 열처리 효과를 더욱 정확히 알기위하여 air 분위기, 400 °C 의 온도로 퍼니스에서 후속열처리를 하였고 후속 열처리된 ZnO-TFT를 다시 레이저 열처리하여 특성을 비교하였다.

200회 레이저가 조사된 ZnO-TFT (A₂)의 특성은 400 °C 퍼니스에서 열처리된 ZnO-TFT (B₁) 만큼의 우수한 특성을 보였으며 400 °C 퍼니스에서 열처리 후 레이저가 200회 조사된 ZnO-TFT(B₂)는 포화전류 값이 4.4×10^{-4} A, 문턱전압 0.6 V, 전계효과 이동도가 5.08 cm²/Vs 로 매우 우수한 소자특성을 나타내었다. 이러한 결과는 레이저 열처리가 매우 낮은 열적부담으로 매우 우수한 특성의 소자를 제작 할 수 있음을 의미한다. 하지만 본 연구에서는 레이저 열처리로 인한 결정성의 향상이 ZnO-TFT의 off current (I_{OFF}) 또한 증가시켜 TFT의 낮은 on-off current ratio (I_{ON/OFF}) 특성을 나타내었다.

또한 본 연구에서는 레이저 열처리에 따른 ZnO-TFT의 누설전류(I_G) 값을 측정하였고 그림 4-18 에 나타내었다. 레이저로 100회 (A₁)조사과 400 °C에서 후속 열처리된 ZnO-TFT(B₁)의 누설전류는 열처리 되지 않은 ZnO-TFT (A) 보다 낮은 값을 보였지만 레이저로 200회 조사된 (A₂)와

(B₂)는 높게 나타났다. 그러므로 차후 연구로써는 ZnO-TFT의 높은 이동도와 낮은 off current 와 누설전류를 가질 수 있는 최적의 레이저 조건을 찾는 것이 필수적이다.

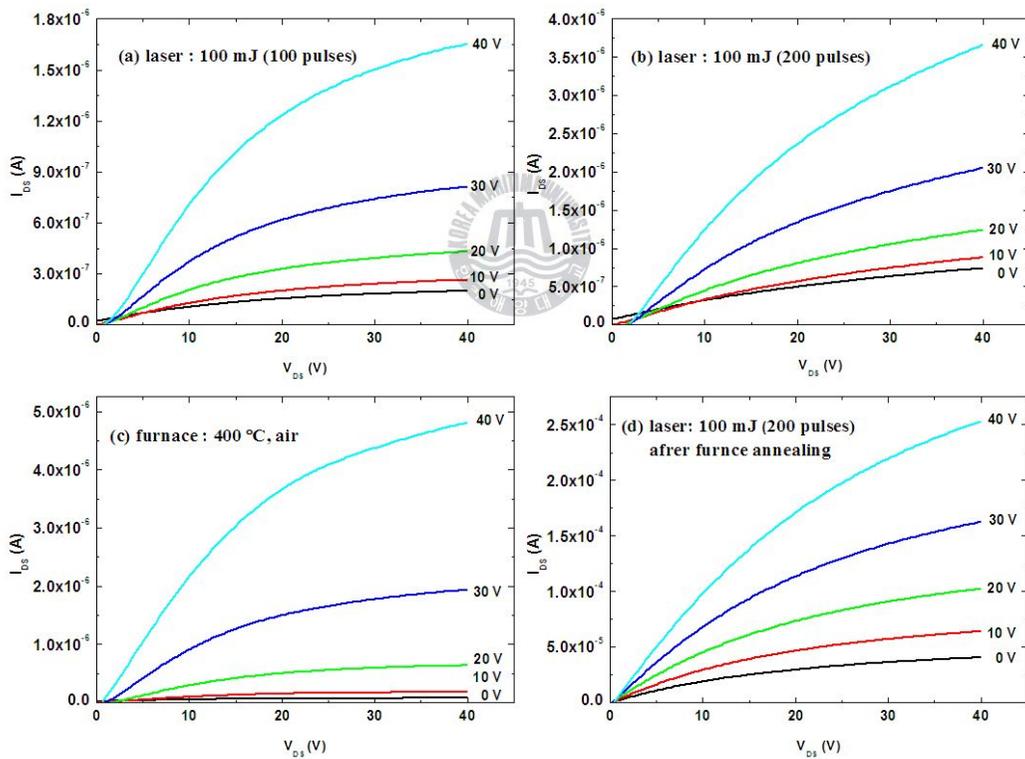


그림 4-16 레이저 열처리 후 ZnO-TFT의 출력특성 그래프

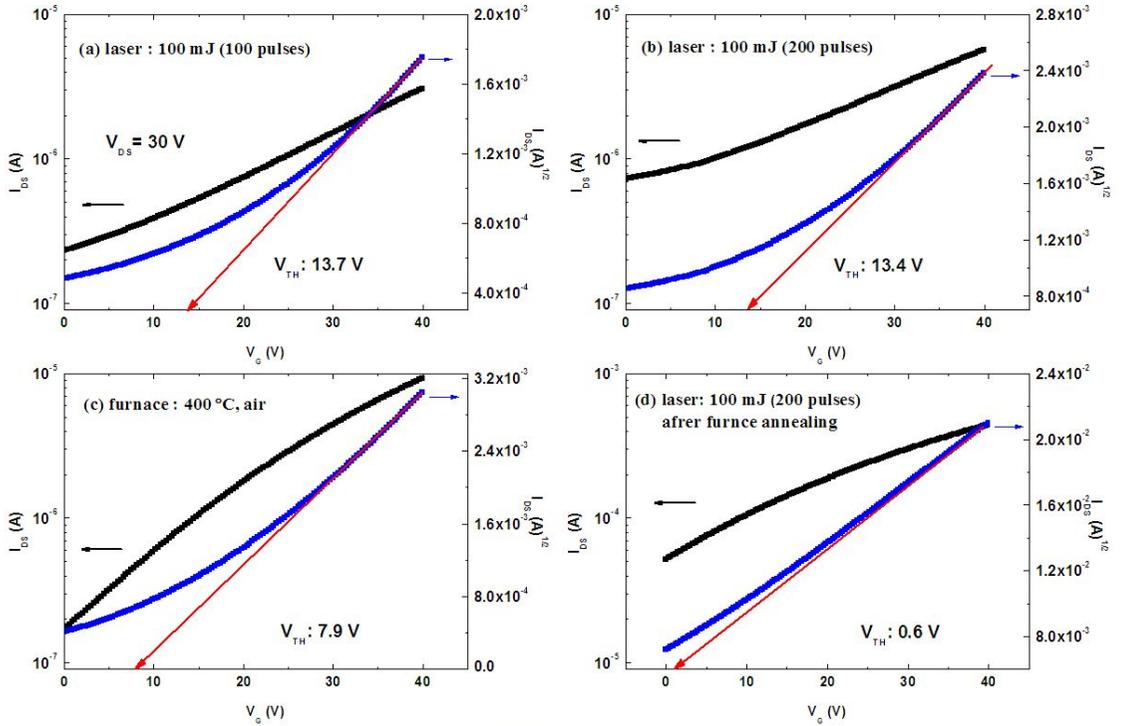


그림 4.17 레이저 열처리 후 ZnO-TFT의 전이특성 그래프

표 9 여러 가지 열처리에 조건에 따른 ZnO-TFT의 특성

Sample	I_{SAT} (A) [$V_G=40V, V_{DS}=30V$]	V_{TH} (V)	μ_{FE} (cm^2/Vs)	I_{ON}/I_{OFF}
A	6.6×10^{-8}	21.6	0.004	134
A ₁	3.0×10^{-6}	13.7	0.08	13.2
A ₂	5.7×10^{-6}	13.4	0.14	7.80
B ₁	9.2×10^{-6}	7.9	0.16	53.1
B ₂	4.4×10^{-4}	0.6	5.08	8.49

A. Unannealed; A₁. LA 100 mJ/cm², 100 pulses
A₂. LA 100 mJ/cm², 200 pulses; B₁. Furnace, Air, 400 °C
B₂. LA 100 mJ/cm², 200 pulses after Furnace, Air, 400 °C

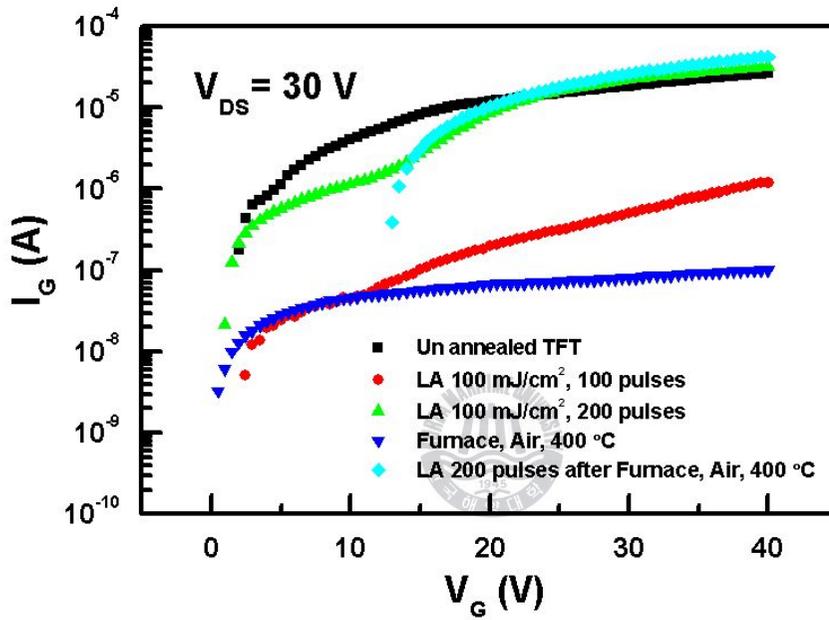


그림 4-18 레이저 열처리에 따른 ZnO-TFT의 누설전류(I_G)

제 5 장 결론

본 논문은 차세대 투명하고 플렉시블한 디스플레이를 구현하기 위한 기초 연구로써 가장 먼저 스퍼터 파워변화에 따라 플라스틱 기판위에 증착된 ZnO 박막의 특성을 연구하였다. 상온에서 스퍼터 파워를 100 W에서 200 W까지 변화시키며 PC 와 PES 기판 위에 ZnO 박막을 증착하였다. 기판의 종류와 관계없이, ZnO 박막은 기판에 수직인 c-축으로 우선배향 증착되었고 스퍼터의 파워가 증가할수록 박막의 결정성이 향상되었다. 175 W 파워에서 증착된 ZnO 박막이 가장 큰 결정립과 낮은 표면 거칠기를 나타내어 우수한 구조적 특성을 보였으며 200 W 파워에서는 큰 에너지를 가진 입자들의 영향으로 오히려 박막의 결정성이 퇴화되는 것을 확인하였다. 광학적으로는, 기판종류에 관계없이 스퍼터의 파워가 증가할수록 박막의 결정성이 향상되어 밴드갭이 감소되었고 100 W에서 증착된 ZnO 박막이 가시광 영역에서 평균 85 % 이상의 높은 광투과율과 안정적인 광 특성을 보였다. 기판에 따른 특성으로는 PES 기판 위의 ZnO 박막이 PC 기판 위의 박막보다 보다 더 우수한 결정성과 광학적 투과율을 보였지만, 강한 스퍼터 파워에 의한 박막의 표면손상은 PES 기판이 PC 기판보다 더 민감한 것으로 나타났다.

또한 본 논문에서는 ZnO 박막을 트랜지스터의 활성층으로 사용하여 ZnO-TFT를 제작하였고 제작한 ZnO-TFT의 저온 열처리와 레이저 열처리와 같은 후속 열처리에 따른 트랜지스터의 특성에 관하여 연구하였다.

본 연구에서 ZnO-TFT의 제작에서는 Si(100) 기판 위에 bottom gate 형태의 5 nm 두께의 TiN 전극을 형성하였으며, gate 절연체로 300 nm 두께의 SiO₂ 산화막과 소스와 드레인 전극으로는 50 nm의 Au/Ti이 사용되었다. TFT의 채널 폭(W)은 100 μ m, 채널길이(L)는 10 μ m 이고 채널층으로 사용된 ZnO 박막은 RF-sputtering 방법으로 상온에서 55nm 두께로 증착되었다. 제작된 ZnO-TFT는 n형 채널특성을 가지고 증가모드로 동작하였

으며 13.7 V의 문턱전압과 $0.024 \text{ cm}^2/\text{Vs}$ 의 전계효과 이동도, 2×10^2 의 on-off current ratio 특성을 보였다.

N_2 와 air 분위기에서 저온 열처리된 ZnO-TFT의 특성연구 결과로는 저온 열처리 분위기에 따른 ZnO채널 박막의 캐리어농도 변화가 TFT성능을 변화시켰고 O_2 분위기에서 열처리된 ZnO-TFT의 특성은 큰 변화가 없었으나 N_2 분위기에서 후속 열처리된 ZnO-TFT가 12.5V의 문턱전압과 $0.047 \text{ cm}^2/\text{Vs}$ 의 전계효과 이동도, 2×10^3 의 on-off current ratio로 특성이 향상되는 것을 확인 할 수 있었다. 또한 열처리 분위기와 상관없이 $500 \text{ }^\circ\text{C}$ 이상의 온도에서 ZnO 채널층과 소스와 드레인 전극이 가장 좋은 접촉특성을 나타내어 TFT의 current-crowding 현상이 사라졌다.

100 mJ의 파워로 레이저 열처리된 ZnO-TFT는 레이저 주사 횟수가 증가할수록 박막의 결정성이 향상되어 ZnO-TFT의 소자특성이 향상되었고 $400 \text{ }^\circ\text{C}$ 퍼니스에서 열처리 후 레이저가 200회 조사된 ZnO-TFT는 포화전류 값이 $4.4 \times 10^{-4} \text{ A}$, 문턱전압 0.6 V, 전계효과 이동도가 $5.08 \text{ cm}^2/\text{Vs}$ 로 매우 우수한 TFT특성을 나타내었다. 하지만 본 연구에서는 레이저 열처리로 인한 결정성의 향상이 TFT의 off current (I_{OFF}) 또한 증가시켜 TFT의 낮은 on-off current ratio ($I_{\text{ON/OFF}}$) 특성을 나타내었다.

본 연구에서는 열처리 분위기를 조절을 통한 저온 후속 열처리와 레이저를 이용한 열처리 방법이 제작된 ZnO-TFT 성능을 매우 향상시키는 것을 확인하였고 이러한 방법은 차후에 열적으로 매우 민감한 플라스틱을 기반의 플렉시블한 디스플레이의 제작에 있어 매우 유용한 방법이 될 것으로 판단된다.

참고문헌

- [1] K. M. Groom, A. I. Tartakovskii, D. J. Mowbray and M. S. Skolnick
Appl. phys. Lett. 81, 1 (2002).
- [2] J. B. Webb, D. F. Williams, and M. Buchanan, Appl. Phys. Lett. 39,
640-42 (1981).
- [3] M. J. Brett, R. W. McMahon, J. Affinito, and R. R. Parsons: J. Vac.
sci. Tech., A1 [2] 352-55 (1983).
- [4] J. Sato, T. Minami, Y. Tamura, S. Sakata, T. Mori, and N. Ogawa:
Thin Solid Films, 246, 86-91 (1994).
- [5] T. Matsumoto, H. Kato, K. Miyamoto, M. Sano, and T. Yao, Appl.
Phys. Lett. 82, 1231 (2002).
- [6] M. Zerdali, S. Jamzaoui, F. J. Teherani, and D. Rogers, Mater. Lett. 60,
504 (2006).
- [7] T. W. Kim, K. D. Kwack, J. K. Kim, Y. S. Yoon, J. H. Bahang, and
H. L. Park, Solid State Commun. 127,4376 (2003).
- [8] I. S. Kim, S. J. Heong, S. S. Kim, and B. T. Lee, Semicond. Sci.
Technol. 19, L29 (2004).
- [9] K. Keem, J. Kim, G. T. Kim, J. S. Lee, B. Min, K. Cho, M. Y.
Sung, and S. Kim, Appl. Phys Lett. 84, 4376 (2004).
- [10] W. W. Wenas, A. Yamada, and K. Takahashi, J. Appl. Phys., 70, 7119
(1991).
- [11] H. W. Kim, N. H. Kim, C. Lee, J. Ryu, and N. E. Lee, J. Korean
Phys. Soc. 44, 14 (2004).
- [12] T. Tatsumi, M. Fujita, N. Kawamoto, M. Sasajima, and Yoshiji
Horikoshi, Jpn. J. Appl. Phys. Part 1. 43, 2602 (2004).
- [13] J. E. Lilienfeld, U.S. Patent 1,745,175 (1930).

- [14] J. E. Lilienfeld, U.S. Patent 1,900,018 (1933).
- [15] P. K. Weimer, Proceedings of the IRE, p.1462 (1962).
- [16] T. P. Brody *et al.*, IEEE Trans. Electron Devices ED-20, 995 (1973).
- [17] W. E. Spear and P. G. LeComber, Solid State Commun. 17, 1193 (1975).
- [18] W. E. Spear and P. G. LeComber, Philos. Mag. 33, 935 (1976).
- [19] P. G. LeComber *et al.*, Electron. Lett. 15, 179 (1979).
- [20] Y. Kuo, Thin film Transistors—Materials and Processes, amorphous Silicon Thin film Transistors, vol. 1, Kluwer Academic Publishers (2004).
- [21] F. Garnier, Adv. Mater. 2, 592 (1990).
- [22] Y. Ohya *et al.*, Jpn. J. Appl. Phys., Part 1 40, 297 (2001).
- [23] S. Masuda *et al.*, J. Appl. Phys. 93, 1624 (2003).
- [24] R. L. Hoffman *et al.*, Appl. Phys. Lett. 82, 733 (2003).
- [25] P. F. Carcia *et al.*, Appl. Phys. Lett. 82, 1117 (2003).
- [26] P. F. Carcia *et al.*, Mater. Res. Soc. Symp. Proc. 769, H7.2.1 (2003).
- [27] J. Nishii *et al.*, Jpn. J. Appl. Phys., Part 2 42, L347 (2003).
- [28] B. J. Norris *et al.*, J. Phys. D: Appl. Phys. 36, L105 (2003).
- [29] E. Fortunato *et al.*, J. Non-Cryst. Solids 338-340, 806 (2004).
- [30] E. Fortunato *et al.*, Mater. Res. Soc. Symp. Proc. 811, E1.9 (2004).
- [31] V. Assunção *et al.*, Thin Solid films 442, 102 (2003).
- [32] E. M. C. Fortunato *et al.*, Appl. Phys. Lett. 85, 2541 (2004).
- [33] E. M. C. Fortunato *et al.*, Adv. Mater. 17, 590 (2005).
- [34] H. Hosono *et al.*, J. Non-Cryst. Solids 165, 198 (1996).

- [35] H. Hosono *et al.*, J. Non-Cryst. Solids 203, 334 (1996).
- [36] S. Narushima *et al.*, Phys. Rev. B 66, 035203 (2002).
- [37] K. Nomura *et al.*, Nature London 432, 488 (2004).
- [38] H. Q. Chiang *et al.*, Appl. Phys. Lett. 86, 13503 (2005).
- [39] N. L. Dehuff *et al.*, J. Appl. Phys. 97, 4505 (2005).
- [40] K. Nomura *et al.*, Science 300, 1269 (2003).
- [41] N. H. Kim and H. W. Kim, Materials Letters 58,938 (2004).
- [42] S. T. Tan, B. J. Chen, X. W. Sun, W. J. Fan, H. S. Kwok, X. H. Zhang and S. J. Chua, J. Appl. Phys.98, 013505 (2005).
- [43] B. Feddesa, A. M. Vredenberg, J. G. C. Wolkea and J. A. Jansen, Surface and Coatings Technology 185, 346 (2004).
- [44] K. Nomura, *t al.*, Nature, 432, 488 (2005).
- [45] P. F. Carcia, R. S. McLean, M. H. Reilly, G. Nunes Jr., Appl. Phys. Lett. 82,1117 (2003).
- [46] H. H. Jeon, K. S. Noh, D. H. Kim, M. H. Jeon, V. P. Verma, W. B. Choi, D. J. Kim, J. H. Moon, J. Korean Phys. Soc. 51,1999 (2007).
- [47] Elvira M. C. Fortunato, Pedro M. C. Barquinha, Ana C. M. B. G. Pimentel, Alexandra M. F. Gonçalves, António J. S. Marques, Rodrigo F. P. Martins, and Luis M. N. Pereira, Appl. Phys. Lett. 85,13 (2004).
- [48] E. S. Jung, J. Y. Lee, H. S. Kim, N. W. Jang, J. Korean Phys. Soc. 47 480 (2005).