

工學碩士 學位論文

적응 배열 안테나를 이용한 DOA 추정
알고리즘의 측정 평가에 관한 연구

A Study on Measurement Evaluation of DOA
Estimation Algorithm using Adaptive Array Antenna

指導教授 閔 庚 植

2004年 2月

韓國海洋大學校 大學院

電 波 工 學 科

朴 哲 權

本 論 文 을 朴 哲 權 의 工 學 碩 士 學 位 論 文 으 로 認 准 함 .

委 員 長 : 工 學 博 士 金 基 萬

委 員 : 工 學 博 士 趙 炯 來

委 員 : 工 學 博 士 閔 庚 植

2004年 2月

韓國海洋大學校 大學院

電 波 工 學 科

朴 哲 權

목 차

Abbreviations	iii
Abstract	iv
제 1 장 서론	1
1.1 연구배경 및 필요성	1
1.1.1 적응 배열 안테나	2
1.1.2 FPGA	4
1.1.3 SDR	8
1.2 연구목적	9
제 2 장 적응 배열 안테나 시스템 구성	11
2.1 수신기의 구조	11
2.1.1 기저대역 샘플링	11
2.1.2 IF 샘플링	13
2.2 A/D 컨트롤 박스	15
2.2.1 A/D 컨트롤 박스의 구성	15
2.2.2 FPGA의 회로구현	20
제 3 장 DOA 추정 알고리즘	21
3.1 서론	21
3.2 MUSIC 알고리즘	21
3.3 MATLAB을 이용한 시뮬레이션	24

3.3.1 DDC	24
3.3.2 NCO	24
3.3.3 LPF	25
3.4 A/D 컨트롤 박스의 성능수행	33
제 4장 DOA 측정시스템 구축 및 평가	34
4.1 배열 안테나의 제작 및 측정	34
4.2 DOA 추정 모델	40
4.3 측정시스템 성능평가	42
4.3.1 DOA 추정 결과	42
4.3.2 오차발생 원인 및 고찰	47
제 5 장 결 론	51
참고 문헌	52
발표 논문	54
감사의 글	55

Abbreviations

AAA	Adaptive Array Antenna
ADC	Analog Digital Converter
DAC	Digital to Analog Converter
DBF	Digital Beam Forming
DDC	Digital Down Conversion
DOA	Direction of Arrival
DSP	Digital Signal Processing
ESPRIT	Estimation of Signal Parameters via Rotational Invariance Techniques
FET	Field Effect Transistor
FF	Flip-Flop
FPGA	Field Programmable Gate Array
GUI	Graphic User Interface
I/Q	In/Quadrature phase
LAB	Logic Array Block
LO	Local Oscillator
LUT	Look-Up Table
LVDS	Low Voltage Differential Signaling
MPU	Micro Processing Unit
MUSIC	MUltiple SIgnal Classification
NCO	Numerically Controlled Oscillator
PIA	Programmable Interconnection Array
PLL	Phase Locked Loop
SDR	Software Defined Radio

Abstract

Wireless communication technologies have greatly progressed in recent years and the markets, especially in the mobile communication, have been growing enormously. Moreover the next generation communication services will use higher frequency band, and require more channel capacity and wider bandwidth for a high-speed data communication. As a large increase in channel capacity and high transmission rates for wireless communications, the technologies for the power saving and efficient frequency usability are required. To meet the requirements of the next generation wireless communications, a system capable to automatically change the directionality of its radiation patterns in response to its signal environment must be indispensable.

An adaptive array antenna system uses spatially separated antennas called array antenna and processes received signals with a digital signal processor after analog to digital conversion. The main concept of an adaptive antenna is the automatic or adaptive control of antenna's beam pattern by digital signal processing with a software algorithm. A digital device capable of high speed real-time processing, consuming low power and programmable is required for practical use of an adaptive antenna in wireless communications. In recent year using a FPGA(Field Programmable Gate Array) for the implementation of an adaptive antenna meets the requirements of high performance processing, programmability and low power consumption.

This thesis describes a DOA(Direction Of Arrival) estimation

algorithm using MUSIC(MUltiple SIgnal Classification) method with high resolution and evaluation of the DOA estimation measurement system using adaptive array antenna. The DOA estimation measurement system consists of linear array antenna, a DBF receiver, A/D control box and monitoring/control computer in the anechoic chamber. Transmitting part is composed broadband standard horn antenna and signal generator. The linear array antenna is fabricated and measured return loss is -16 dB and below at 2.09 GHz. The DBF(Digital Beam Forming) receiver is composed of 4-ch resistive FET mixer of low IF method. RF(Radio Frequency), LO(Local Oscillator) and an IF(Intermediate Frequency) signal considered in this thesis are 2.09 GHz, 2.08 GHz and 10 MHz, respectively. A/D control box has 12-bit resolution and sampling rates is up to 40 MHz. From results of the DOA estimation simulation using MATLAB, a zero IF is realized by DDC(Digital Down Conversion) and MUSIC algorithm with high resolution depends on the snapshot and antenna element number. In addition, A/D control box is implemented by MUSIC algorithm and IF signal generator. GUI(Graph User Interface) program for data control/monitoring in the computer is designed. From the results of the DOA estimation experiment, it confirms that a proposed DOA system is able to estimate the direction of incident wave.

제 1 장 서 론

1.1 연구배경 및 필요성

최근 무선통신 기술은 급속히 성장하고 있으며, 특히 휴대전화로 대표되는 이동통신 분야는 획기적인 발전을 거듭하고 있다. 휴대전화의 경우만 보더라도 사용자의 수요가 기하급수적으로 증가하고 있으며, 더욱이 차세대 무선통신 서비스에는 초고속 데이터 통신을 위해 높은 주파수 대역, 더 많은 채널 용량, 더 넓은 대역폭이 요구되고 있다. 이러한 요구를 만족시키기 위하여, 기지국은 신호 환경에 대해 안테나 방사패턴의 방향성을 실시간·적응적으로 제어할 수 있는 능동형 시스템이 필수적이다. 예를 들어 적응 배열 안테나 시스템이 적절한 후보이며, 인공지능 안테나를 의미하는 스마트 안테나, 소프트웨어 무선안테나, 디지털 빔형성 안테나와 같은 것들이 이에 속하며, 이들은 디지털 신호처리부와 결합된 형태이다[1]. 적응 배열 안테나 시스템은 소프트웨어 알고리즘에 의해 수신시스템에서 다중경로 페이딩 에너지를 제거할 수 있으므로 보다 높은 데이터 전송률로 서비스를 제공할 수 있다.

차세대 이동통신용 기지국에서는 수신된 사용자의 정보신호를 실시간으로 처리하기 위하여 시스템의 디지털 신호처리부가 매우 큰 비중을 차지한다. 하지만 배열 신호처리를 위한 DSP(Digital Signal Processing) 프로세서나 MPU(Micro Processing Unit)와 같은 일반적인 디지털 장치의 성능은 대용량 계산과 전력 소모가 크기 때문에 적합하지 못하다. 최근 적응 배열 안테나의 성능 향상을 위해 사용되는 FPGA(Field Programmable Gate Array)는 고성능처리, 프로그래머블, 저전력 소비의 요구를 만족시킨다[2].

1.1.1 적응 배열 안테나

배열 안테나는 원거리 신호원들의 위치를 파악하거나 그들로부터 나오는 신호들을 선택적으로 송수신하는데 이용되고 주변으로부터 들어오는 방해 전파를 제거하는데 이용된다. 적응 배열 안테나란 배열된 안테나의 위상을 제어하여 특정 신호(원하는 방향의 신호)를 선택적으로 송수신하고 간섭 신호의 영향을 최소화시킴으로써 가입자 상호간의 간섭을 대폭 감쇠시킨 것이다. 즉 셀 내의 각 단말기에 독립된 빔을 송수신간에 제공하고 원하는 단말기 방향으로 이들을 극대화되도록 빔을 형성시킴으로써 여타의 단말기 방향에 전파량을 극소화할 수 있다. 그러므로 수신 신호의 잡음을 대폭 감쇠시킨다. 적응 배열 안테나 시스템은 통화 채널간 방해 전파를 최소화하여 통화 품질을 향상시키고 가입자 수를 증가시킬 수 있는 시스템이며 원하는 방향으로 전파가 집중되어 각 단말기는 저전력으로 통화가 가능하므로 배터리 수명을 획기적으로 연장할 수 있는 기술이다. 결국 이 시스템은 각 단말기 방향으로 독립된 빔 패턴을 제공하여 통신 용량을 증대시키고 통신 품질을 대폭 개선할 수 있는 지능형 기지국을 실현하는 기술이다.

그림 1.1은 적응 배열 안테나 시스템의 구성을 나타낸다. 이 시스템은 배열 안테나, 아날로그 회로부, 빔 형성 계수, 적응 프로세서로 구성된다. 여기서, $x_K(n)$, w_K 는 각각 임의의 이산 시간을 n 이라고 할 때, K 개의 배열 안테나에 수신되는 신호와 수신신호의 진폭과 위상을 제어하는 빔 형성 계수에 해당된다. 적응 프로세서에는 사용자 정보신호의 DOA를 추정하기 위한 알고리즘으로 구현되는데, 이 알고리즘에 대한 수많은 연구가 활발히 진행중이며, MUSIC(Multiple Signal classification)이나 ESPRIT(Estimation of Signal Parameters via Rotational Invariance Techniques) 알고리즘 등이 대표적으로 이용되

고 있다.

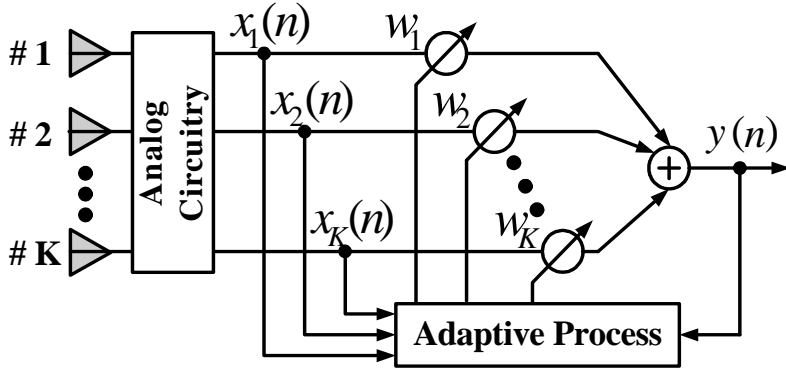


그림 1.1 적응 배열 안테나 시스템 구성도

Fig. 1.1 Adaptive array antenna system configuration.

적응 안테나 시스템을 이용하여 디지털 신호처리를 하기 위하여 그림 1.2와 같은 선형 배열 구조를 고려한다. 배열 안테나는 K 개의 안테나 소자와 등간격 선형 배열로 안테나에 수신되는 전자파는 근사적으로 평면파로 가정한다. 배열의 법선 성분과 수신신호의 입사 방향 사이를 θ 로 두고, 임의의 이산 시간이 n 일 때, k 번째 소자에 입사되는 입력신호는 식 (1.1)과 같다.

$$x_k(n) = s_k(n) \cdot \exp\left(-j \frac{2\pi}{\lambda} d_k \sin\theta\right) \quad (1.1)$$

여기서, $s_k(n)$, λ , θ , d_k 는 각각 입력신호의 진폭, 평면파의 주파수 파장, 입사각도, 안테나 소자간의 위치이며, 이 간격을 일반적으로 입사되는 전자파의 반파장($\lambda/2$)으로 한다. 그리고 $K=1, 2, \dots, k$ 이다. 적응 배열 안테나의 출력신호는 식 (1.2)에 나타낸 것과 같이 입력신호와 적

응 알고리즘에 의해 결정되는 최적 가중치와 내적의 합으로 표현된다.

$$y(n) = \sum_{k=1}^K w_k^* \cdot x_k(n) \quad (1.2)$$

위 식에서 윗첨자 *는 공액 복소수(Complex Conjugate)를 의미한다. 식 (1.1)과 (1.2)를 벡터로 표현하면

$$\widehat{X} = [x_1(n) \ x_2(n) \ \cdots \ x_K(n)]^T \quad (1.3)$$

$$y = \widehat{W}^H \widehat{X} \quad (1.4)$$

이 되고, 출력신호 y 는 Hermitian 공간내의 내적으로 표현된다.

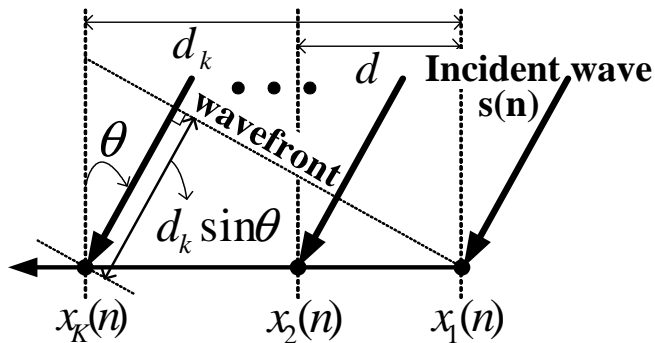


그림 1.2 K-소자 등간격 선형 배열

Fig. 1.2 K-element uniform linear array.

1.1.2 FPGA

적응 배열 안테나의 성능 향상을 위해 사용되는 FPGA는 PLD (Programmable Logic Device)의 한 종류로써 범용 DSP의 유연성과

ASIC(Application Specific Integrated Circuit)의 속도, 집적도, 저렴한 가격을 견비하고 있다. 그림 1.3은 FPGA의 구조를 나타내고 있다. 이 구조는 내부에 여러 개의 LAB(Logic Array Block)와 LAB의 연결선인 PIA(Programmable Interconnection Array)로 되어 있다. 이 LAB는 각각 복잡한 PAL과 같은 로직으로 되어 있으며, 몇 개의 Macrocell로 구성된다.

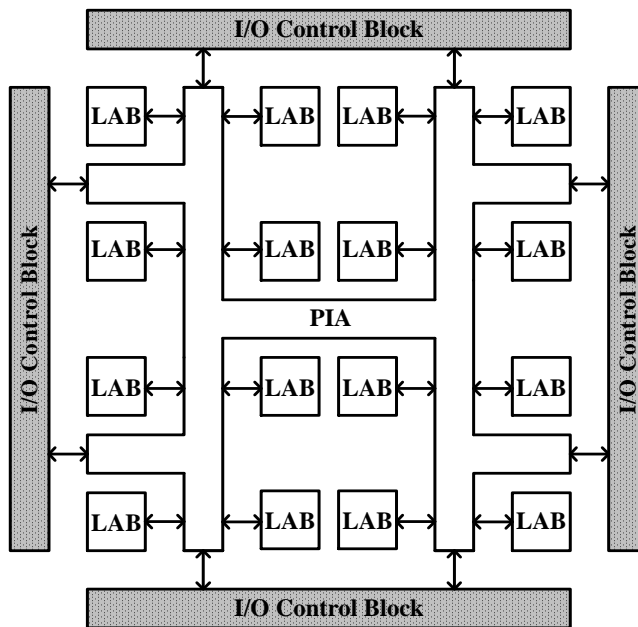


그림 1.3 FPGA의 구조

Fig. 1.3 Structure of FPGA.

그림 1.4와 같이 로직 블록은 보통 LUT(Look-Up Table)과 데이터를 저장하는 FF(Flip-Flop)으로 구성되어 있다. 데이터 입력은 LUT 입력 포트 또는 FF 입력 포트에 연결되어 있고, LUT의 출력은 로직 블록의 출력 포트에 연결되거나 FF의 입력 포트에 연결된다.

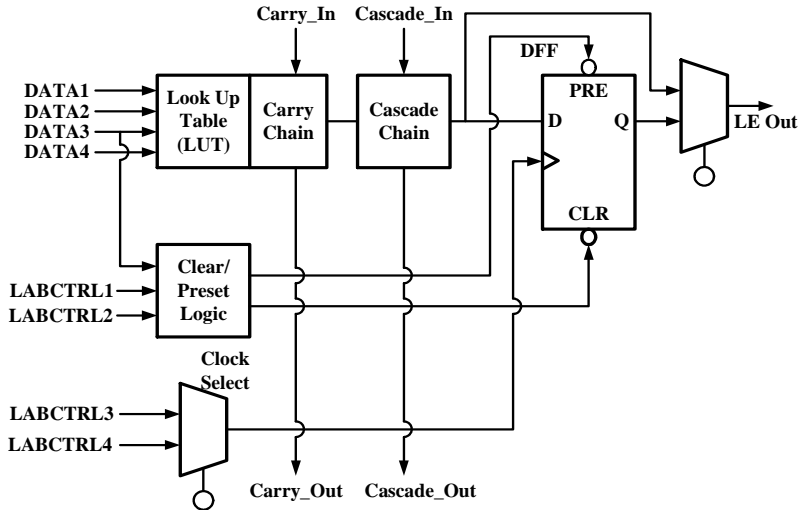


그림 1.4 FPGA의 로직 블럭

Fig. 1.4 Logic block of FPGA.

그림 1.5는 FPGA가 제공하는 융통성과 성능을 간략히 나타낸 것이다. 그림에서와 같이 FPGA는 특정 목적을 위한 전용 하드웨어로서의 성능과 프로그래머블 솔루션의 융통성을 가진다[3].

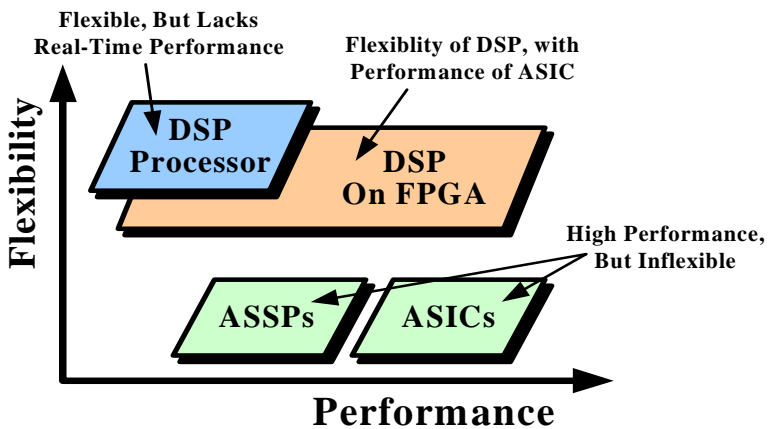


그림 1.5 FPGA의 융통성과 성능

Fig. 1.5 Flexibility and performance of FPGA.

FPGA 장치에서 이루어지는 디지털신호처리 수행은 표 1.1과 같은 이점이 있다. FPGA는 고성능, 융통성, 재구성 등의 장점으로 인해 적응 안테나나 SDR(Software Defined Radio)의 수행에 중요한 장치로 고려된다[4].

표 1.1 FPGA와 DSP 프로세서의 비교

Table 1.1 A comparison of FPGA and DSP processor.

	FPGA chip	DSP chip
Programmable Language	VHDL, Verilog	C, Assembly
Ease of S/W programming	Fairly easy	Easy
Performance	Very fast	limited by clock speed
Reconfigurability	SRAM-type FPGAs reconfigured infinity	Reconfigurable by changing program
Reconfiguration method	downloading data to chip	Reading a program at a different memory
Outperforming Area	Digital filters, FFT, correlator, etc.	Sequential processing
Power Consumption	Can be minimized if circuit is optimized	Cannot optimize
Implementation method of MAC	Parallel multiplier/adder distributed arithmetic	Repeated operation of MAC function
Speed of MAC	Can be fast if a parallel algorithm	Limited/ depends on the number of taps increases.
Parallelism	Can be parallelized to achieve high performance	Usually sequential and cannot be parallelized

1.1.3 SDR

SDR은 다양한 무선접속 환경에 유연하게 적용 가능한 시스템 구축을 위하여 개방형구조 단일 하드웨어 플랫폼상에 객체지향구조 응용소프트웨어를 다운로드하여 끊임 없이 전역 통신이 가능하게 하는 기술이며, 기존 시스템과의 역호환성 제공과 All-IP 기반 무선 멀티미디어를 추구하는 4세대 이동통신의 무선망 통합을 위한 해결 방안으로 고려되고 있다.

SDR은 수신된 신호의 디지털화를 안테나와 최대한 가까운 곳에서 실행하여 고정된 하드웨어 기능을 축소, 부분적으로 프로그램 가능한 하드웨어 부분을 확장하고 증대된 소프트웨어 프로그램 능력을 이용하여 시스템의 유연성을 증가시키는 무선기술로 정의하고 있다. SDR 기반 시스템은 기존의 시스템과는 달리 다양한 시스템 규격에 적응이 가능하여 사용자, 통신사업자, 제조업체들에게 시스템간의 상호 운용성, 제품수명의 최대화, 개발기간의 최소화와 같은 혜택을 제공함으로써 미래지향적 시스템을 구성할 수 있도록 해준다. 다중모드, 다중표준, 다중대역, 다중기능 서비스 제공이 가능할 SDR 기술은 개방구조 특성을 갖는 하드웨어 플랫폼 구성을 위하여 선형특성을 갖는 PA(Power Amplifier)/LNA(Low Noise Amplifier), 빠른 샘플링과 고해상도를 제공할 수 있는 ADC(Analog to Digital Converter), DAC(Digital to Analog Converter) 변환기 등 상용화된 제품개발이 선행되어야 하며, 디지털 IF단의 고속 신호처리를 위하여 낮은 소비전력과 규모가 작은 범용 디지털 신호처리 및 재구성 가능한 FPGA가 요구된다.

SDR은 그림 1.6과 같이 고속 DSP, 재구성 가능한 FPGA를 사용하여 기저대역에서 재구성 가능한 신호를 RF(Radio Frequency)/IF(Intermediate Frequency)단으로 천이시켜 기존 시스템과 새로운

시스템 규격에 적용 가능한 시스템 구성을 가능하게 하므로 시스템 간 상호 운용성, 제품수명 증대, 개발기간의 최소화 실현을 가능하게 한다. 하드웨어 동작에 크게 의존하였던 기존 시스템들은 재구성 가능한 하드웨어로의 대체로 응용소프트웨어 다운로드에 의하여 여러정정, 사용자에게 따른 서비스 변경, 새로운 서비스의 실시간 수용 등이 가능하다[5].

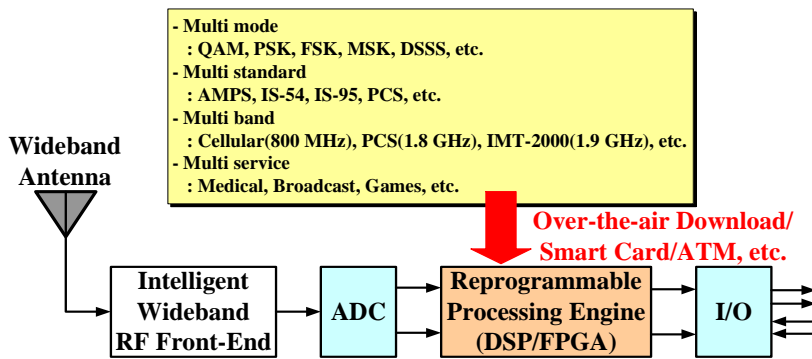


그림 1.6 다중 표준/서비스 SDR 시스템 구조

Fig. 1.6 Structure of SDR system with multi-standard/service.

1.2 연구목적

본 논문에서는 차세대 이동통신 기지국에 적용될 적응 배열 안테나의 DOA 추정 알고리즘의 수행 및 실험 결과를 제시하고 검토한다. 최근 휴대전화 소지자의 급진적 증가로 이동통신 분야는 하루가 다르게 발전하고 있다. 이와 더불어 다양한 정보 콘텐츠의 제공과 실시간 동영상 제공 등이 필요하게 되었다. 이는 기술적으로는 초고속의 데이터 전송과 다수의 이용자에게 정보를 제공할 수 있는

대용량의 정보전송을 해결해야 함을 의미한다. 대표적인 예로는 IMT-2000을 들 수 있으나 이용자의 폭발적 증가와 초고속·대용량의 정보 콘텐츠 및 실시간 동영상 서비스 제공을 하기 위해서는, 현재의 기지국만으로는 감당하기 어려운 실정이다. 더욱이 2005년 정도로 예상되는 제 4세대 이동통신에서는 20 Mbps 이상의 정보 전송이 필요하게 되고, 인구밀집지역인 대도시에서의 휴대전화 및 이동통신용 각종 단말의 사용이 급증하여 통신장애의 큰 문제로 부상할 것으로 예상된다.

따라서 본 논문에서는 이동통신 기지국용 시스템에 적용할 수 있는 적응 배열 안테나 시스템용 DOA 추정 알고리즘으로 MUSIC 알고리즘을 이용하였다. 또한 적응 배열 안테나의 field test를 위한 실험연구로써 전파암실에서 DOA 추정 측정시스템을 구축하였다. 그림 1.7은 전파암실에 구축된 DOA 추정 측정환경을 나타낸다. DOA 추정 측정시스템은 배열 안테나, DBF 수신기, A/D 컨트롤 박스, 제어 및 모니터링 할 수 있는 컴퓨터로 구성하였다. 본 논문에서는 구현된 알고리즘을 이용한 DOA 추정 실험 및 검토를 통하여 그 신뢰성을 입증하고자 한다.

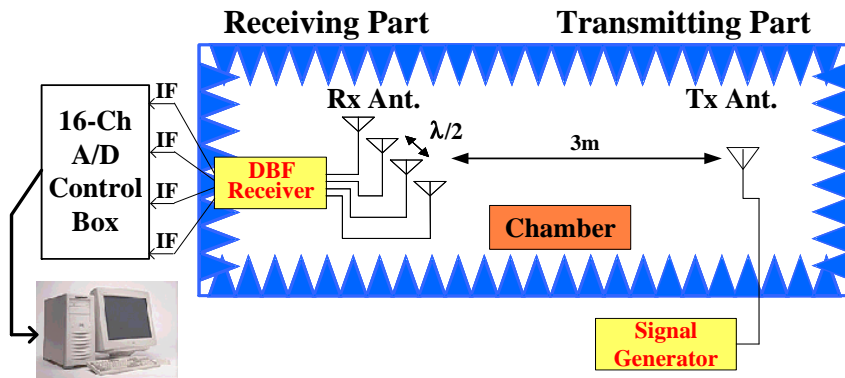


그림 1.7 DOA 추정 측정시스템

Fig. 1.7 DOA estimation measurement system.

제 2 장 적응 배열 안테나 시스템의 구성

2.1 수신시스템의 구조

적응 안테나 시스템의 구조를 분류하는 방법은 여러 가지가 있다. 그 중 한 가지 방법은 ‘얼마나 많은 다운컨버전 단을 가지고 있는가’이다. 수신시스템의 구조는 크게 두 가지로 나뉘어질 수 있다. RF 신호가 기저대역신호로 직접 변환되는 다이렉트 다운컨버전 방식과 RF 신호가 여러 개의 다운컨버전 단을 거쳐 IF 신호로 변환되고, 이 IF 신호가 기저대역신호가 되는 슈퍼헤테로다인 방식이 대표적이다. 또 다른 방법으로는 ADC가 ‘어디에 배치되어 있는가’에 따라 수신시스템의 구조가 결정된다. 일반적으로 ADC의 위치는 시스템 구조를 결정하는 중요한 요소가 된다.

2.1.1 기저대역 샘플링 구조

그림 2.1은 기저대역 샘플링 구조를 가지는 수신기의 블록도를 나타낸다. 안테나로부터 수신된 신호는 여러 단의 다운컨버전을 거치면서 기저대역 신호로 변환된다. 기저대역 I/Q 신호는 최종 다운컨버전된 IF 신호와 로컬 오실레이터와의 믹싱에 의해 출력된다. 이 시스템에서 ADC는 기저대역에 배치되어 있기 때문에 고속·고성능의 ADC를 필요로 하지 않는다. 일반적으로 이 시스템 구조는 다이렉트 컨버전 구조로 이용되고 있다. 이것은 현재 널리 이용되는 슈퍼헤테로다인 방식의 반대되는 개념을 위한 방식이다. 즉 IF 신호를 사용하지 않고 반송파를 기저대역으로 곧바로 하향/상향 변환시키는 방식이다. 종래의 통신방식은 다이렉트 컨버전 방식을 채택했어야 하지만, 채널 선택도를 비롯한 각종 문제로 인해 IF를 사용하는 방

식을 채택하게 된 것이다. 다시 말해서 다이렉트 컨버전 방식은 선택도와 감도가 떨어져서 사용하기에 무리수가 많다는 의미이다. 그런데 다이렉트 컨버전을 사용하면 IF 신호가 없기 때문에 각종 SAW(Surface Acoustic Wave) 필터와 믹서 등을 절약할 수 있기 때문에 단가절감, 무게경량화, 시스템 1칩화 등이 가능하다는 장점이 있다[6].

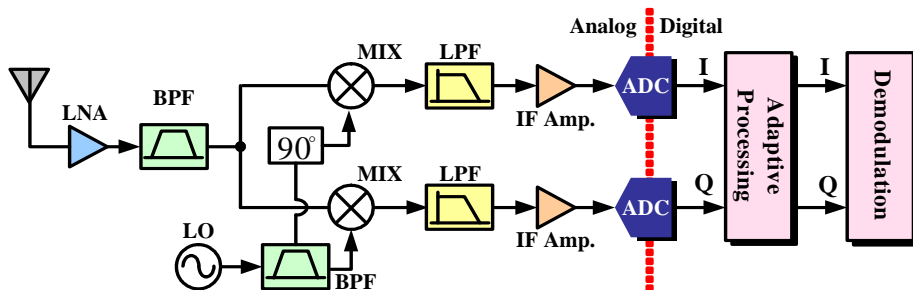


그림 2.1 기저대역 샘플링 방식의 수신시스템 구조

Fig. 2.1 Architecture of receiving system of baseband sampling.

대부분의 통신시스템은 슈퍼헤테로다인 방식을 이용하는데, RF 반송파 주파수를 기저대역으로 변환하기 전에 어떤 주파수로 한번 변환하여 상향/하향, 즉 주파수 변환을 두 번 하게 된다. 여기서 반송파와 기저대역의 중간에 위치하는 주파수를 IF, 즉 중간주파수라고 부른다. IF 신호를 사용하는 이유는 주로 채널 선택도와 관련되어 있다. 실제로 비선형 소자들로 인해 발생하는 시스템의 비선형적인 영상 주파수들이 중간주파변환을 통해 중심 주파수에서 멀어지게 되어 선택도가 높아지게 되는 것이다. 이렇게 채널을 선택한 후에 기저대역으로 변환하면 깨끗하게 원하는 채널 주파수의 신호만 끄집어낼 수 있으며, 이것은 IF 신호를 사용함으로써 얻을 수 있는 큰 장점이다. 또한 고주파는 파장이 매우 짧기 때문에 필터를 비롯한 각종 회로단을 통과하다보면 위상지연으로 인해 여러 가지 나쁜

영향들이 늘어난다. 그렇지만 초단에서 고주파 RF 반송파를 수신하고 IF로 낮추어서 처리하면 주파수가 낮아지기 때문에, 결과적으로 파장이 훨씬 길어져서 위상지연의 문제점들을 개선할 수 있다. 그리고 여러 다양한 반송파를 가지는 시스템에서, IF 신호를 통일해서 쓰면, RF 반송파 신호를 IF 신호로 다운컨버전 시키는 회로부만 다르게 하고, IF단을 공통으로 반복 이용할 수 있으므로 효율을 높일 수 있다. 즉 현대의 통신시스템은 주파수 단위별로 구분되는 채널구조를 기본적으로 사용하기 때문에, IF를 사용하는 것이 유리하다. 다만 IF를 사용하면 SAW 필터와 믹서 등이 많이 사용되어야 하기 때문에 구조가 복잡해지고 단가가 올라가게 된다. 그럼에도 불구하고 IF를 여러 단 사용하면 성능이 훨씬 좋기 때문에 슈퍼헤테로다인 방식이 현대 통신방식의 기준이 된 것이다[7].

2.1.2 IF 샘플링 구조

그림 2.2는 IF 샘플링 구조를 가지는 수신시스템의 블록도를 나타낸다. 이 구조는 다운컨버전된 IF 신호를 디지털신호로 변환한 뒤, 수치적으로 I/Q 신호로 분리하여 신호 처리가 이루어진다. 이 수신시스템은 고속 ADC, DDC(Digital Down Conversion), 적응 프로세서로 구성된다. 그리고 DDC는 NCO(Numerically Controlled Oscillator)와 디지털 LPF로 구성된다[8].

슈퍼헤테로다인 수신방식은 잡음특성이나 안정성이 우수한 반면 주파수 다운을 위한 IF 단이 여러 개 필요하며, 이로 인해 회로의 규모가 커지는 단점이 있다. 하지만, Low IF 방식은 안정도가 개선되어야 하는 단점이 있지만, 직접변환 방식으로의 접근이 쉽고, IF 단을 대폭 줄일 수 있어서 수신기의 저가, 소형화라는 측면과 멀티밴드화의 관점에서 유리하며, 수신된 RF 신호는 기저대역으로 신

호가 직접 변환된다[9].

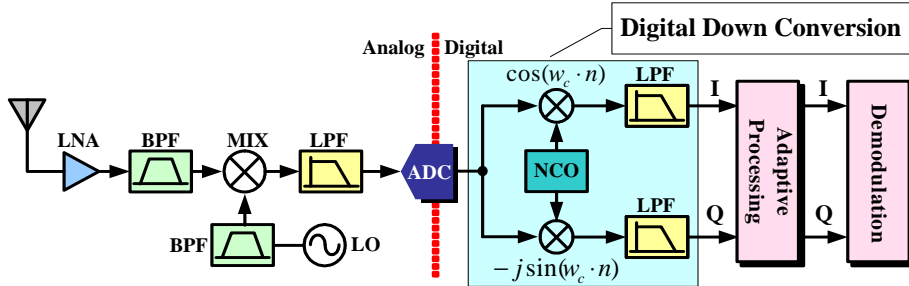


그림 2.2 IF 샘플링 방식의 수신시스템 구조

Fig. 2.2 Architecture of receiving system of IF sampling.

그림 2.3은 IF 샘플링의 실시간 처리 구조를 나타낸다. 각 안테나 소자에 수신된 RF 신호는 아날로그 회로에서 IF 신호로 다운컨버전되었다. 이 시스템은 디지털 신호처리에 의한 기저대역 다운컨버전 기능을 제공한다. 본 논문에서는 Low IF의 신호를 알고리즘적으로 Zero IF로 구현하여 디지털 필터링을 할 수 있는 기술을 개발하였다. 따라서 기존의 아날로그 IF 다운컨버전 회로를 줄일 수 있고, 시스템 크기의 소형화, 저전력 소비 및 ADC 수의 감소를 실현하는 결과를 얻었다. 또한 이 시스템은 실시간으로 4배의 오버샘플링을 할 수 있고, 이 때 IF 신호는 10 MHz까지 처리할 수 있어 아날로그 IF 다운컨버전 회로의 여유도를 구현할 수 있는 효과를 얻을 수 있다. 예를 들면, DBF 수신기에서 10 MHz의 IF 신호가 출력되어 이 시스템의 입력이 될 때, 이를 알고리즘적으로 디지털 다운컨버전시켜 Zero IF로 처리한 후, FPGA에서 DOA 연산을 수행하고 순차적으로 FIFO(First In - Frist Out) 메모리에 저장된다.

디지털 다운컨버전은 NCO와 디지털 LPF에 의해 수행되고, 이것은 채널당 1개의 NCO와 2개의 FIR 필터로 구성되어 있으며 정현파 발생기의 역할을 수행한다.

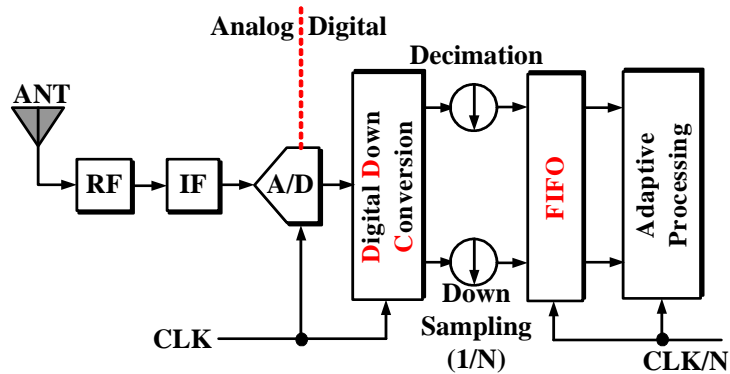


그림 2.3 실시간 처리 개념

Fig. 2.3 Real-time processing concept.

2.2 A/D 컨트롤 박스

적응 배열 안테나 시스템의 몇 가지 형태에 대해서 앞 절에서 언급하였다. IF 샘플링 구조가 기저대역 샘플링 구조보다 많은 이점을 가지고 있다. 또한, IF 샘플링 방식의 구조에서 DDC에 의한 신호처리는 SDR 시스템을 위한 중요한 신호처리과정이다.

본 절에서는 DDC 신호처리에 의해 FPGA에서 디지털적으로 I/Q 신호로 분리하여 신호처리가 되는 IF 샘플링 구조의 A/D 컨트롤 박스에 대해서 서술한다.

2.2.1 A/D 컨트롤 박스의 구성

A/D 컨트롤 박스는 다양한 적응 배열 안테나 시스템의 신호처리에 응용할 수 있도록 설계되었다. 그림 2.4는 설계된 시스템의 블록도를 나타낸다. 이 시스템은 고밀도 FPGA가 결합되어 있어 보다 복잡하고 대용량의 회로들을 구현하여 수행할 수 있으며, 각 FPGA

는 daisy chain 버스 구조로 연결되어 있다. Daisy chain 버스 구조는 예를 들어 어떤 장치 A가 B라는 장치에 연결되어 있고, 그 B라는 장치는 다시 C라는 장치에 연속하여 연결되어 있는 방식의 버스 결선방식을 말한다. 모든 장치들은 동일한 신호를 수신할 수도 있지만, 단순한 버스와는 현저히 다르게 체인 내에 속한 각 장치가 하나 이상의 신호를 다른 장치에 전달하기 전에 내용을 수정하는 경우도 있다[10].

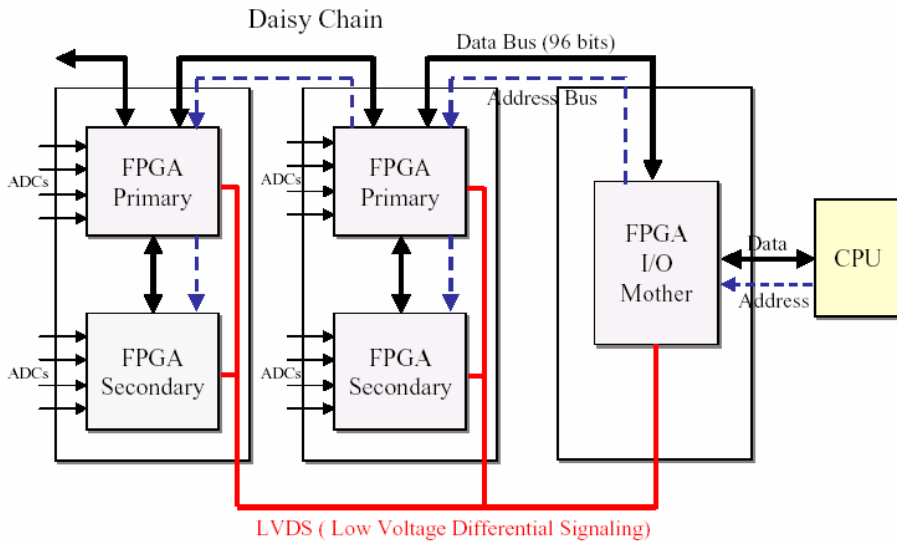


그림 2.4 A/D 컨트롤 박스의 구성

Fig. 2.4 Configuration of A/D control box.

A/D 컨트롤 박스는 FPGA에 코딩되어 있는 알고리즘 연산을 수행하는 CPU 보드, 입력된 아날로그 신호를 디지털 신호로 변환하여 디지털적으로 다운컨버전을 수행하는 A/D 보드, 그리고 이 A/D 보드의 입·출력을 관리하는 I/O 마더보드로 구성되어 있다. CPU 보드는 전체 시스템을 제어하는데 이용되고 이더넷이나 FTP를 통

하여 사용자 인터페이스를 지원한다. I/O 마더보드는 ADC에 의해 샘플링된 데이터의 입·출력 제어를 수행하고, 샘플링 클럭 조절과 다양한 전압을 공급한다. A/D 보드에는 2개의 FPGA가 장착되어 있고, 각각의 FPGA가 ADC의 4채널을 제어한다.

표 2.1은 A/D 컨트롤 박스의 세부 사항을 나타낸다. ADC는 12비트 분해능을 가지고 샘플링 레이트는 40 MHz이다. 이 시스템은 12비트 직렬 DAC에 의해 동작기준 전압이 제어되고, ADC의 효율적인 동작을 위해 입력 전압은 0 ~ 4.095 V 범위로 제어가 된다 [11][12]. 전체 16 채널로 구성하였으며, 사용된 FPGA는 모두 5개이며, 전체 게이트 수는 3,000,000 게이트가 된다.

표 2.1 A/D 컨트롤 박스의 세부 사항

Table. 2.1 Detail specifications of A/D control box.

ADC	Channel	16
	Resolution	12 bits
	Sampling Rates	Up to 40 MHz
DAC	Vhref, Vlref Control	Input : 12 bits Serial Output : 0 ~ 4.095 V
FPGA	I/O Mother(1)	APEX20KC600
	A/D board(2)	(About 600K Gates)
	A/D board(2)	× 5 = 3 M Gates
CPU	HITACHI SH4	-
	OS	NetBSD
User Interface	Ethernet	10BaseT

그림 2.5 (a) ~ (d)는 설계된 A/D 컨트롤 박스의 각 보드 사진을 나타낸다. IF 신호는 ADC에 의해 고속 샘플링되고, DDC에 의해

복소 기저대역 신호로 다운컨버전 된다. 그런 다음, A/D 보드에서 처리되었던 모든 데이터들은 I/O 마더보드의 FPGA에서 처리되어 디지털 적응 신호처리를 수행한다. 처리결과는 이더넷으로 연결되어 컴퓨터를 통하여 모니터링 할 수 있다.



(a) I/O 마더보드
(a) I/O Mother board



(b) 8 채널 ADC 보드
(b) 8-ch ADC board



(c) CPU 보드
(c) CPU board



(d) 시스템의 전면
(d) Front view of system

그림 2.5 A/D 컨트롤 박스의 외관

Fig. 2.5 Appearance of A/D control box.

적응 배열 안테나 시스템의 신호처리에 있어서 가장 중요한 파라미터는 각 채널간 위상차가 된다. 따라서 ADC의 샘플링 클럭의

2.2.2 FPGA의 회로구현

FPGA에서 모든 연산은 고정점 동작으로 이루어진다. 입·출력 데이터 설계는 Mentor Graphics사의 VHDL(Very high speed integrated circuit Hardware Description Language)를 사용하였다. VHDL은 ASIC이나 FPGA 상에서 상위의 동작 레벨에서부터 하위의 게이트 레벨까지 하드웨어를 기술하고 설계하도록 하는 CAD (Computer-Aided Design) 업계 및 IEEE 표준언어이며, 공인된 하드웨어 설계 언어이다. 논리 합성은 Exemplar Leonardo Spectrum 논리 합성 툴을 이용하여 생성된 EDIF(Electronic Design Interchange Format) netlist를 이용하여 수행하고 Altera사의 Quartus II로 회로를 구현하였다. DDC에서 MUSIC 알고리즘을 수행하기까지 모두 149 ms의 시간이 소요되었으며, A/D 컨트롤 박스에서 논리 합성에 사용된 게이트 수를 표 2.2에 나타낸다.

표 2.2 논리 합성에 사용된 게이트 수

Table 2.2 Used gate numbers for logic synthesis.

	Equivalent Gates (per channel)
DDC	About 43, 700 Gates
FIFO	12 bits × 1,024, I and Q 12 × 1,024 × 2 = 24,576 bits
MUSIC	About 53,850 Gates
Total Gates (16 Channels)	16 DDCs, 16 FIFOs and 16-ch MUSIC = 16 × 43,700 + 16 × 53,850 = About 1,560,800 Gates

제 3 장 DOA 추정 알고리즘

3.1 서론

일반적인 DOA 추정법은 빔형성과 널-조정(null-steering)의 개념을 이용한 것으로 수신 신호 벡터 모델 또는 신호와 잡음의 통계적 모델의 성질을 이용하지 않는다. 일반적인 DOA 추정법으로는 지연-합 법(Delay-and-Sum Method), 캐폰의 최소분산법(Capon's Minimum Variance Method) 등이 있다. 하지만 이러한 일반적인 빔형성을 이용한 방법은 방위분해능에 근본적 한계점이 있다. 이들 한계점의 대부분은 이들 방법이 입력 데이터 모델의 구조를 이용하지 않기 때문이다. Schmade, Beinvenu, Kopp는 임의의 형태의 안테나 배열에 보다 정확한 데이터 모델의 구조를 처음으로 이용하였다.

Schmidt는 잡음이 없는 경우 DOA 추정에 대한 전적인 기하학적 방법을 확대 적용하여 근사 해를 구하였다. Schmidt가 제안한 방법을 MUSIC 알고리즘이라 하며, MUSIC 알고리즘이 나온 이후로 철저히 연구되었다. MUSIC이 기초로 하는 기하학적 개념은 훨씬 광범위한 부류의 분할공간 알고리즘의 기본 개념이다. MUSIC과는 별개로 분할공간 알고리즘이 주로 이용한 참고자료는 Roy et al.이 제안한 ESPRIT와 Kumaresan과 Tufts가 제안한 최소-놈 법(Minimum-Norm Method) 등이 있다[15].

3.2 MUSIC 알고리즘

MUSIC법은 입사신호의 수, 각 신호의 DOA, 입사신호간의 크기와 상호상관, 잡음전력에 관한 정보를 제공하는 신호파라미터 관

별 알고리즘이다. 이 방법은 스티어링 벡터를 이용하며, K 소자 배열 안테나에 수신된 신호 $x(n)$ 는 L 개의 입사신호와 잡음의 선형 결합으로 모델화 할 수 있다. 이때, 입사파수 L 은 $K \geq L+1$ 의 조건을 만족해야 한다. 임의의 이산 시간 n 일 때, 입력신호 $x(n)$ 를 벡터로 나타내면

$$\widehat{X}(n) = A\widehat{F}(n) + \widehat{N}(n) \quad (3.1)$$

여기서, A , $F_l(n)$ 과 $\widehat{N}(n)$ 은 각각 l 파의 DOA을 가지는 방향행렬, 복소진폭, 배열 안테나 시스템 내부 열잡음 벡터이다. 단, $K=1, 2, \dots, K$ 이다. 수신된 입력신호에 대한 상관행렬은 식 (3.1)로부터

$$R_{xx} = E[\widehat{X}(n)\widehat{X}^H(n)] = ASA^H + \sigma^2 I \quad (3.2)$$

이 되고, S , σ^2 , I 는 각각 입력신호의 상관행렬, 열잡음 전력, 단위행렬이다. 식 (3.2)의 상관행렬 R_{xx} 의 고유치를 λ_i , 대응하는 고유벡터를 e_i 라 하면

$$(ASA^H + \sigma^2 I)e_i = (u_i + \sigma^2)e_i = \lambda_i e_i \quad (3.3)$$

과 같다. 단, $i=1, 2, \dots, K$ 이다. 고유벡터는 열잡음 성분과 무상관이므로 $\lambda_i = u_i + \sigma^2$ 에 대하여 상관행렬의 고유치는

$$\lambda_1 \geq \lambda_2 \geq \dots \geq \lambda_L > \lambda_{L+1} = \dots = \lambda_K = \sigma^2 \quad (3.4)$$

와 같은 관계식이 얻어진다. 따라서, 상관행렬의 고유치를 구하고,

열잡음 전력 σ^2 보다 큰 고유치의 값으로부터 도래파수 L 을 추정한다. 또한, 고유치에 대응하는 고유벡터는

$$a^H(\theta_l)e_i = 0 \quad (3.5)$$

이 되고, $a^H(\theta_l)$ 은 L 개의 방향벡터 $\{a(\theta_1), \dots, a(\theta_L)\}$ 이다. 단, $i = L+1, \dots, K$, $l=1, 2, \dots, L$ 이다.

상관행렬 R_{xx} 의 고유벡터는 신호 부공간과 잡음 부공간이라고 부르는 2개의 직교 부공간 중 어느 한 곳에 속함을 알 수 있다. DOA에 해당하는 방향 벡터는 신호부공간 내에 있으므로 잡음 부공간에 직교한다. 잡음 부공간을 찾아내기 위해서는, 잡음 고유벡터를 포함하는 행렬을 다음과 같이 구성한다.

$$E_n \equiv [e_{L+1}, \dots, e_K] \quad (3.6)$$

신호성분에 해당하는 방향 벡터는 잡음 부공간 고유벡터에 직교하므로, DOA에 해당하는 θ 에 관해 $a^H(\theta)E_nE_n^H a(\theta) = 0$ 이다. 이때 다수의 입사신호의 DOA는

$$P_{MUSIC} \equiv \frac{a^H(\theta)a(\theta)}{a^H(\theta)E_nE_n^H a(\theta)} \quad (3.7)$$

로 주어지는 MUSIC 스펙트럼의 최대치 위치를 찾으면 알 수 있다. $a(\theta)$ 와 E_n 간의 직교성은 분모를 최소로 하므로, 식 (3.7)에 정의된 MUSIC 스펙트럼에 최대치를 발생시킨다. MUSIC 스펙트럼에서 L 개의 최대치는 배열에 입사하는 신호들의 DOA에 해당한다[16].

3.3 MATLAB를 이용한 시뮬레이션

3.3.1 DDC

그림 3.1은 DDC의 블록도를 나타낸다. DDC에서 w_c 는 IF 신호의 반송파 주파수이고, n 은 샘플링 수이다. 입력된 IF 신호는 ADC에 의해 샘플링되고 DDC를 거쳐 Zero IF 신호로 다운컨버전 된다. 그리고 적응 프로세서는 이 신호를 이용하여 수신신호의 DOA를 추정하게 된다.

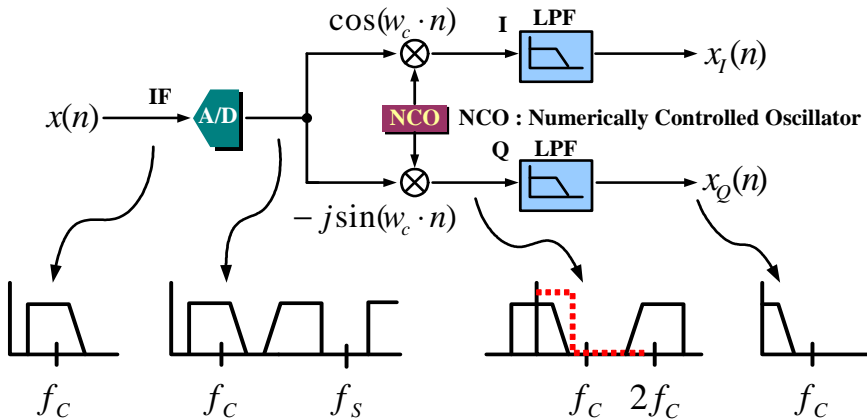


그림 3.1 디지털 다운컨버전의 블록도

Fig. 3.1 Block diagram of DDC.

3.3.2 NCO

그림 3.2는 DDC에서 샘플링된 신호를 직교신호로 분리하기 위한 NCO와 믹서의 수행 과정을 나타낸다. NCO는 순차 스위칭 회로 (0, 1, 0, -1)로 간단히 구현된다. 다운컨버전 처리는 대역통과된 신호와 NCO에 의해 발생하는 디지털 cos/sin의 곱으로 이루어진다.

그리고 샘플링 주파수는 IF 중심주파수의 4배로 설정하였다.

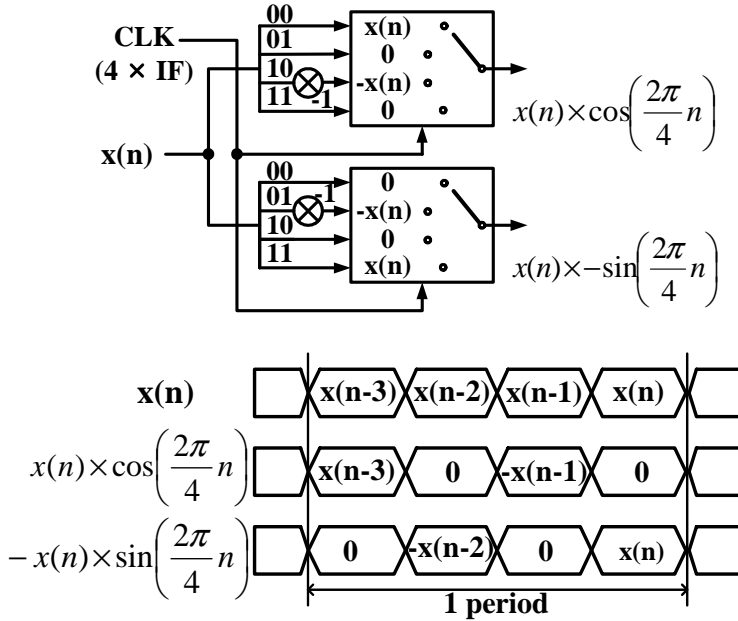
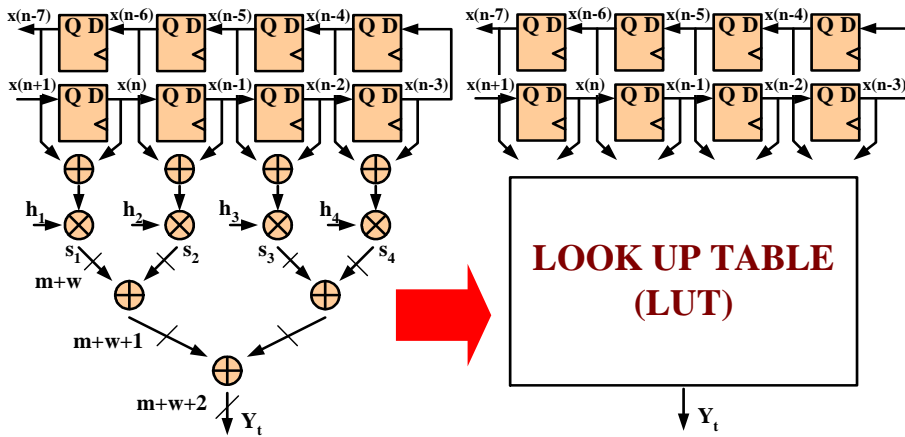


그림 3.2 NCO와 믹서의 수행

Fig. 3.2 Implementation of mixer and NCO.

3.3.3 LPF

LPF의 입력은 NCO와 샘플링된 신호가 곱해진 신호가 되고, 출력은 복소 기저대역 신호가 된다. LPF는 직교성분으로 분리된 신호의 고조파 성분을 억제하고, 주파수는 기저대역으로 변환된다. 그림 3.3(a),(b)는 일반적인 선형 위상 응답을 가지는 FIR(Finite Impulse Response) 필터를 나타낸다. 이 필터는 탭이 중심값을 기준으로 상하 대칭인 구조를 가진다. 그림 3.3(a)의 일반적인 FIR 필터는 LUT를 이용하여 그림 3.3(b)와 같이 최적화할 수 있으며, 필터의 곱셈과 덧셈은 LUT를 사용하여 병렬로 처리된다[17].



(a) 일반적인 FIR 필터 (b) LUT을 이용한 FIR 필터
(a) conventional FIR filter (b) FIR filter using LUT

그림 3.3 디지털 LPF

Fig. 3.3 Digital LPF.

표 3.1은 DDC 및 MUSIC 알고리즘에 적용된 시뮬레이션 파라미터를 나타낸다. 4소자 배열 안테나에 3개의 신호원이 -30° , 0° , 10° 로 수신된다고 가정하였다. 이 때 IF 주파수는 10 MHz이고, ADC의 분해능은 12비트, 샘플링은 40 MHz로 하였다.

표 3.1 시뮬레이션 파라미터

Table 3.1 Simulation parameters.

Antenna element	Incident waves	IF Freq.	Sampling Freq.	DOAs	Input SNR	Element spacing
4	3	10 MHz	12 bits 40 MHz	$-30^\circ, 0^\circ, 10^\circ$	20 dB	0.5λ

그림 3.4는 그림 3.1에 보인 DDC를 4채널로 구성하여 ADC에 의해 샘플링된 IF 신호를 나타낸다. 표 3.1에 나타난 시뮬레이션 파라미터를 이용하여 시뮬레이션한 결과이다. 입력된 신호는 ADC에 의해 4배 오버샘플링 되었다. 그림 3.5는 DDC에 의해 샘플링된 IF 신호가 \cos 과 \sin 의 직교성분의 신호로 분리되는 결과를 나타낸다. 이것은 샘플링된 IF 신호와 NCO에 의해 발생하는 정현파 신호를 곱한 것이다. 실선은 \cos 이 곱해진 in-phase 성분, 점선은 \sin 이 곱해진 quadrature-phase 성분의 신호이다. 그림 3.6은 디지털 LPF에 의해 다운컨버전된 신호를 나타낸다. 8탭의 FIR 필터의 입력은 대역 통과된 신호와 디지털화된 정현파 신호의 곱으로 생성된 신호이고 출력은 고조파 성분이 제거된 Zero IF 신호이다. 실선과 점선은 각각 LPF를 통과한 in-phase 성분의 신호와 quadrature-phase 성분의 신호이다.

그림 3.7은 표 3.1의 시뮬레이션 파라미터를 이용한 MUSIC 알고리즘의 시뮬레이션 결과를 나타낸다. 4소자 배열 안테나에 수신되는 -30° , 0° , 10° 의 신호를 모두 추정하는 것을 확인할 수 있다. 그림 3.8은 입력된 신호의 snapshot 수를 각각 4, 20, 40으로 시뮬레이션한 결과를 나타낸다. 4소자 배열 안테나에 수신되는 신호의 DOA를 -30° , 0° , 10° 을 정확히 추정하고 있다. 그리고 snapshot 수가 증가함에 따라 사용된 알고리즘의 분해능이 향상되는 것을 알 수 있다. 그림 3.9는 snapshot 수를 20으로 고정하고 안테나의 소자 수를 변화시켰을 때의 분해능을 계산한 것을 나타낸다. 그림 3.9로부터 소자 수가 증가할수록 도래파에 대한 DOA 분해능이 향상됨을 알 수 있다.

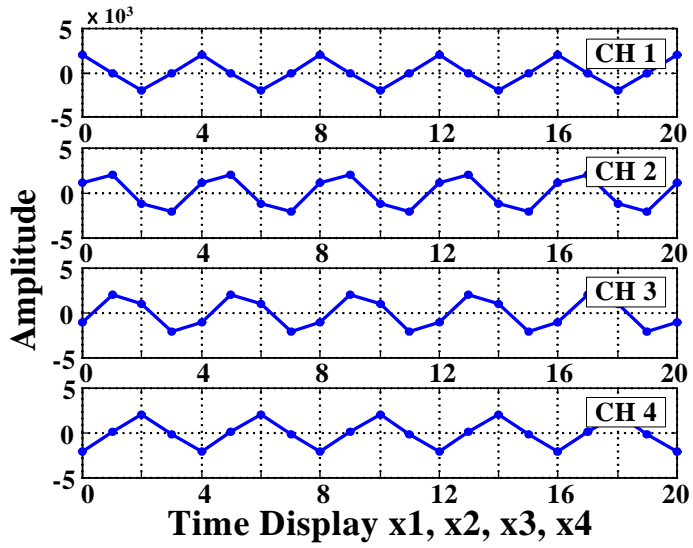


그림 3.4 IF 신호 샘플링

Fig. 3.4 IF signal sampling.

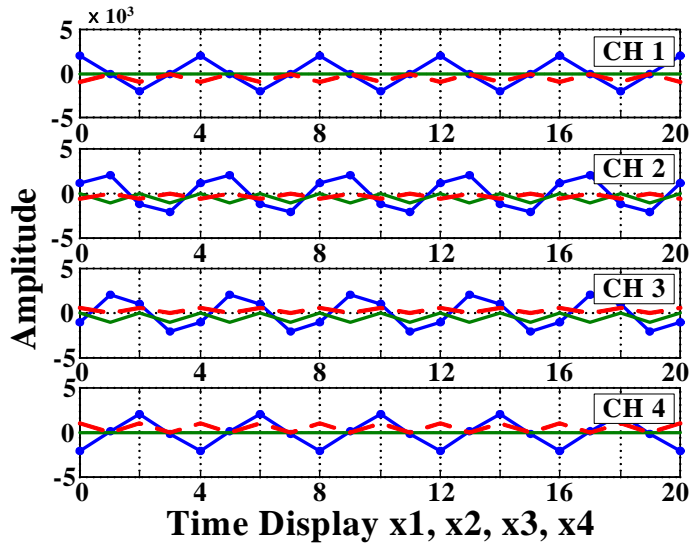


그림 3.5 실제 통과대역 신호

Fig. 3.5 Real passband signal.

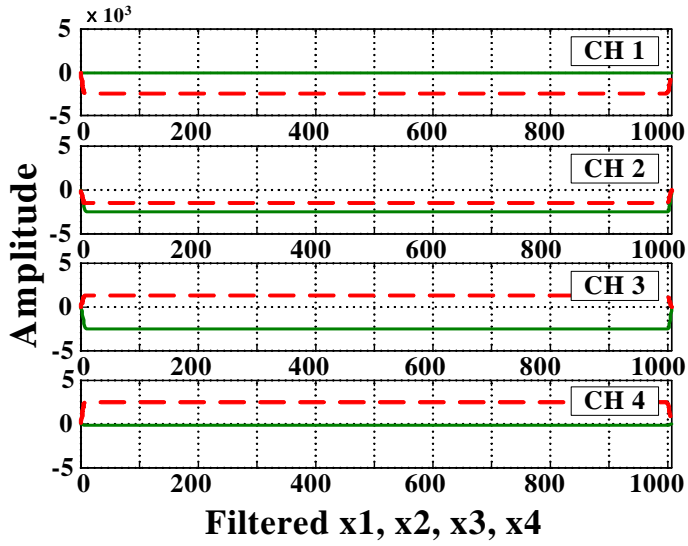


그림. 3.6 복소 기저대역 신호

Fig. 3.6 Complex baseband signal.

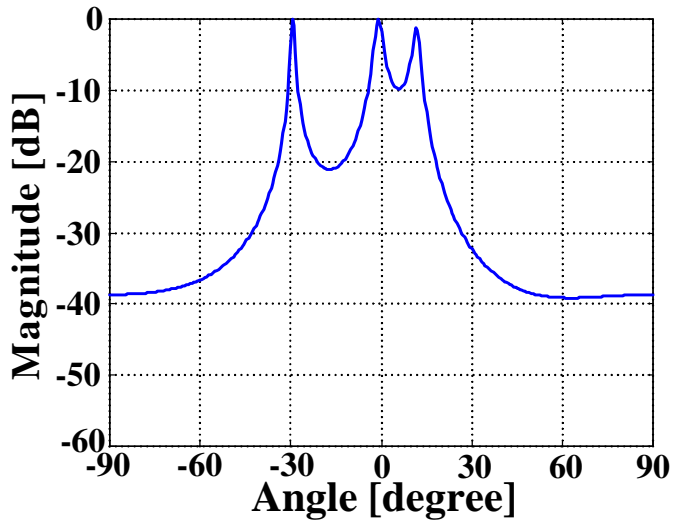


그림 3.7 MUSIC에 의한 DOA 추정 결과

Fig. 3.7 Result of DOA estimation by MUSIC.

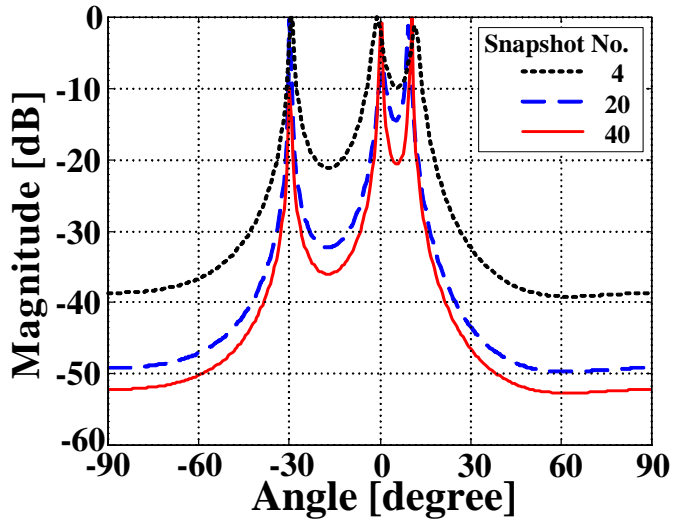


그림 3.8 여러 가지 snapshot 수를 가지는 MUSIC의 DOA 추정
 Fig. 3.8 DOA estimation by MUSIC with various snapshot number.

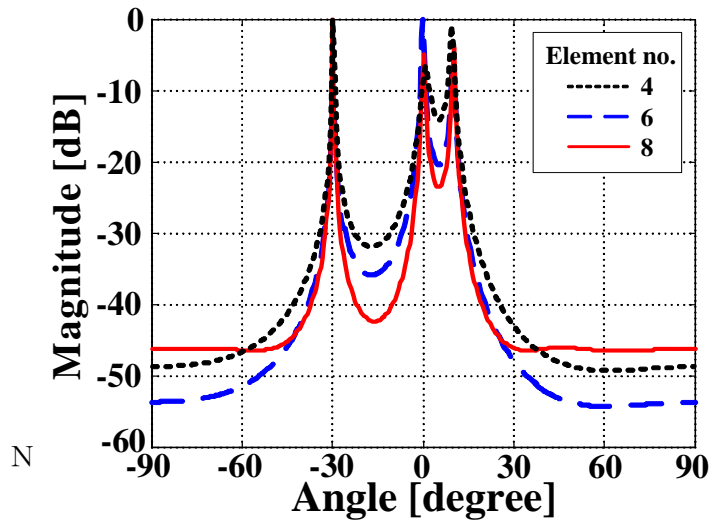


그림 3.9 안테나 소자 수에 따른 MUSIC의 DOA 추정
 Fig. 3.9 DOA estimation by MUSIC with various antenna elements.

3.4 A/D 컨트롤 박스의 성능수행

그림 3.10은 수신기 대신에 IF 신호발생기(Function Generator)를 이용하여 A/D 컨트롤 박스로 신호를 입력하고, 이를 이더넷으로 연결된 컴퓨터와 연동하여 A/D 컨트롤 박스의 성능 수행을 나타낸다. 적응 배열 안테나 수신시스템이 하드웨어적으로 구축되지 않아도 DOA를 실시간으로 확인할 수 있도록 GUI(Graphic User Interface) 방식으로 Visual 프로그램을 제작하였다. 이 프로그램은 채널선택 기능, A/D 샘플링 윈도우, 디지털 다운컨버전 윈도우 및 MUSIC 알고리즘 윈도우 등으로 구성하였다. 또한, A/D 컨트롤 박스에서 실시간 DOA 추정이 정확히 수행되는지 확인하기 위해 컴퓨터 상에서 A/D 컨트롤 박스를 제어하고 모니터링할 수 있도록 하였다.

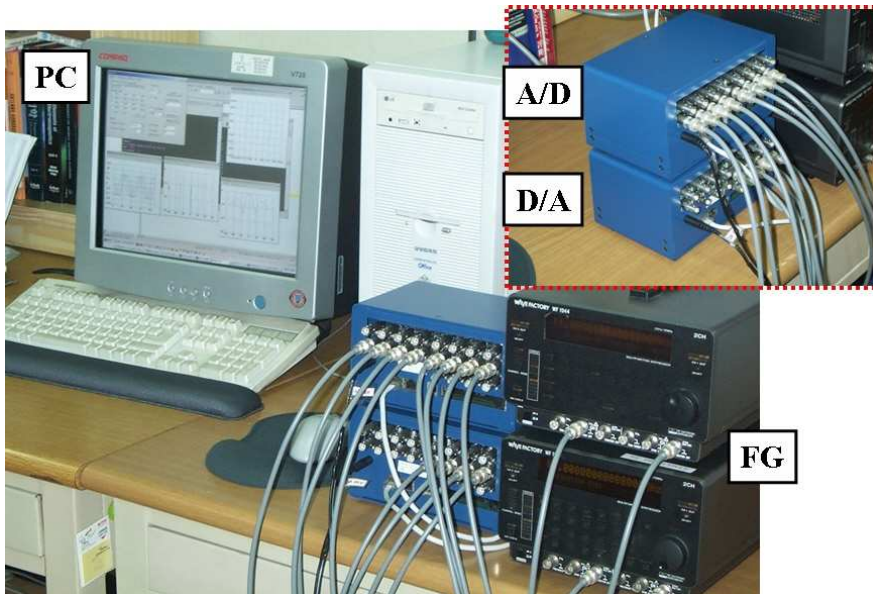


그림 3.10 IF 신호발생기를 DOA 평가 시스템

Fig. 3.10 DOA evaluation system using IF signal generator.

그림 3.11은 제작된 GUI 프로그램의 전체 구성도를 나타낸다. 디스플레이 윈도우에서 채널 선택, 샘플링, 도래파수 등을 지정할 수 있도록 하였고, 결과를 나타내는 윈도우로써 샘플링된 신호가 디지털 다운컨버전된 신호를 나타내는 DDC 윈도우, 디지털적으로 분리된 I/Q 신호를 보여주는 I/Q 디스플레이 윈도우, MUSIC 스펙트럼을 이용하여 DOA 추정 결과를 보여주는 MUSIC 스펙트럼 윈도우 등으로 구성하였다.

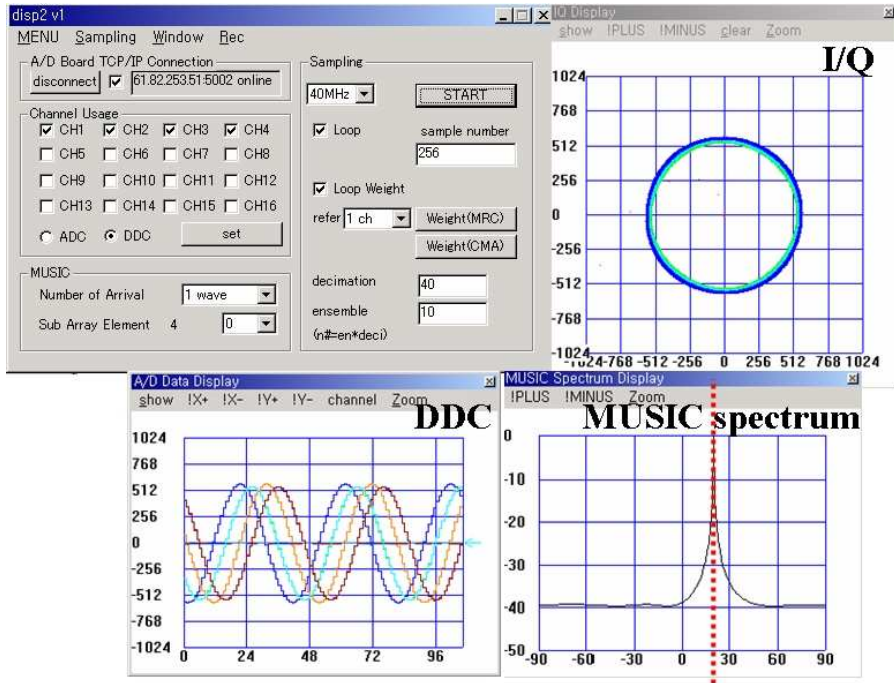


그림 3.11 GUI 방식을 이용한 Visual 프로그램
 Fig. 3.11 Visual program using GUI method.

그림 3.11은 4소자 배열 안테나에 1개의 도래파가 입사할 때에 대한 A/D 컨트롤 박스에 의해 수행된 결과를 나타낸 것이고, 도래파가 2개인 경우에 대한 수행 결과를 그림 3.12에 나타낸다. 그림

3.11와 그림 3.12의 결과에서 보면 알 수 있듯이 IF 신호발생기를 이용한 DOA 추정 실험 테스트에서 MUSIC 알고리즘의 우수한 특성을 보인다.

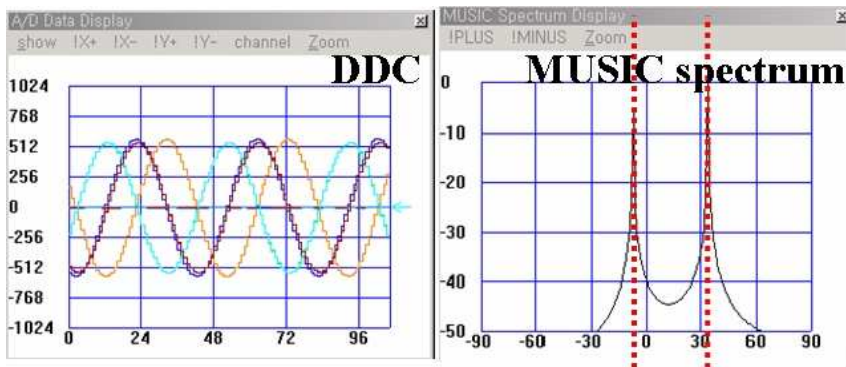


그림 3.12 두 신호원에 대한 DOA 추정 결과

Fig. 3.12 Results of DOA estimation for 2 signal source.

제 4 장 DOA 측정시스템 구축 및 평가

DOA 추정 실험 및 평가하기 위해 전파암실에 DOA 추정 측정 시스템을 구축하였다. 그림 4.1은 전파암실에서 구축된 DOA 추정 측정시스템의 전체 구성도를 나타낸다. 송신안테나부는 표준 혼 안테나와 신호 발생기를 사용하여 구성하였으며, 수신안테나부로는 4 소자 모노폴 배열 안테나, DBF 수신기, A/D 컨트롤 박스, 제어 및 모니터링할 수 있는 컴퓨터로 구성하였다. 그리고 송·수신 안테나 간 거리는 far-field를 충분히 만족하는 3 m로 배치하였다.

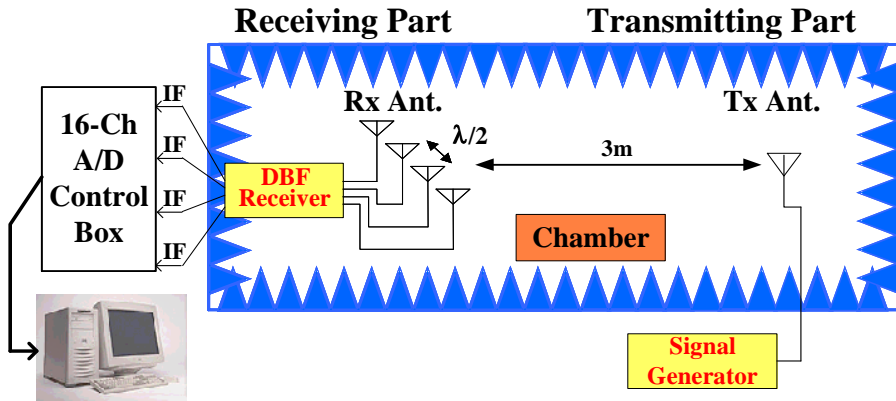


그림 4.1 DOA 추정 측정시스템의 구성

Fig. 4.1 Construction of DOA estimation measurement system.

4.1 배열 안테나 제작 및 측정

DOA 추정 실험을 위해 2.09 GHz에 공진하는 $1/4 \lambda$ 모노폴 안테나를 제작·측정하였다. 그림 4.1은 제작된 모노폴 배열 안테나의

사진을 나타낸다. 배열 안테나는 반파장 등간격 선형 배열을 이용하였다. 그림 4.2는 제작된 안테나 소자(#1 ~ #4)의 반사계수 측정 결과를 나타낸다. 공진주파수 2.09 GHz에서 각각 -16 dB 이하로 측정되었다. 그림 4.3은 제작된 모노폴 안테나를 선형 배열하여 측정된 결과로 합성된 지향성 특성을 나타낸다. 그림 4.4 (a),(b)는 제작된 모노폴 안테나 각각의 소자를 측정된 지향성 패턴과 그 위상을 나타낸다. $1/4\lambda$ 모노폴 안테나의 수평면 전방향성의 지향특성을 보인다. 지향성 패턴에 대한 각 소자의 값들은 최대값을 기준으로 정규화 하였으며, 위상에 대한 각 소자의 값들은 0° 의 값을 기준으로 정규화 하였다. 그림 4.5(a),(b)는 측정된 각 소자의 지향성 특성의 $\pm 90^\circ$ 범위를 나타낸다. 모노폴 안테나 각 소자의 진폭차는 2 dB, 위상차는 10° 정도로 측정되었다.

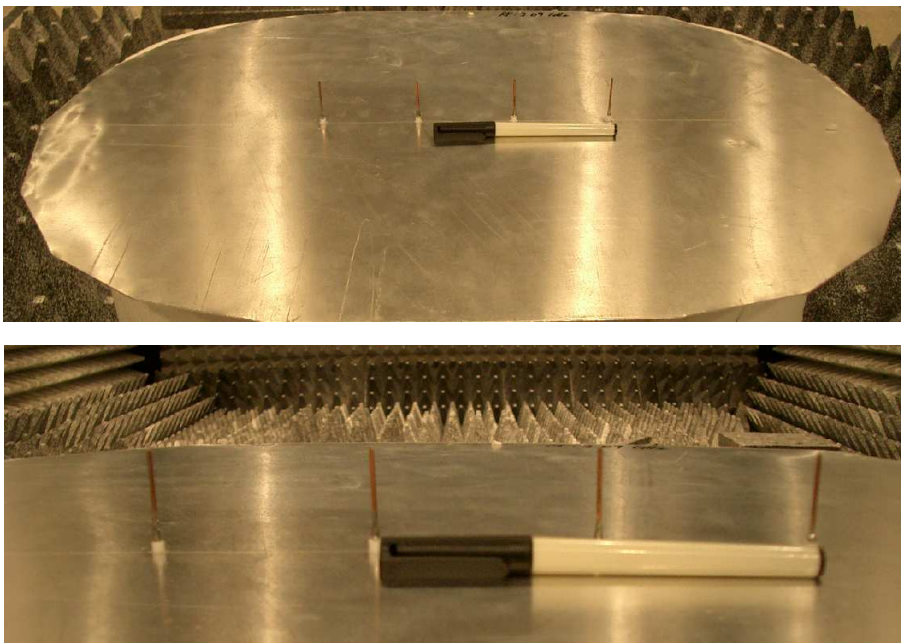


그림 4.1 제작된 4소자 모노폴 배열 안테나

Fig. 4.1 Fabricated 4 elements monopole array antenna.

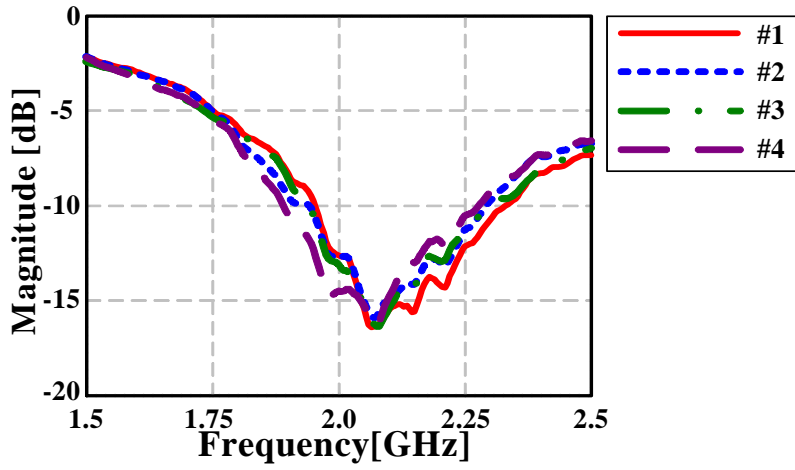


그림 4.2 안테나 반사계수

Fig. 4.2 Antenna reflection coefficient.

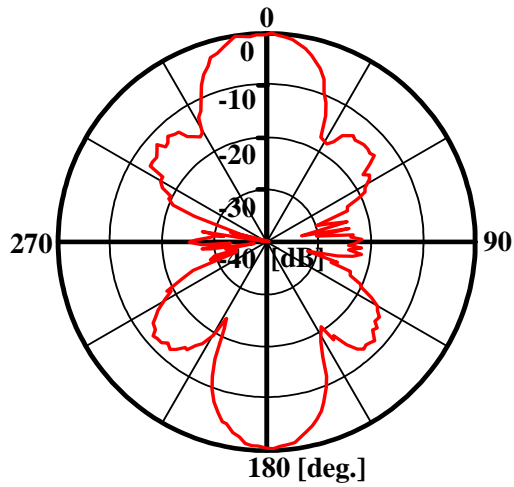
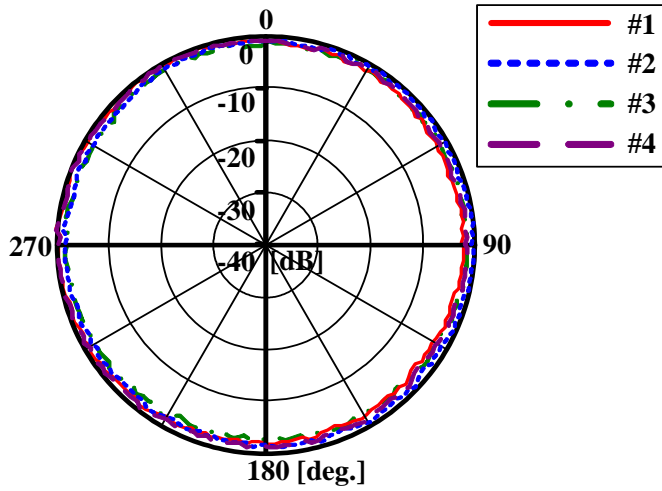


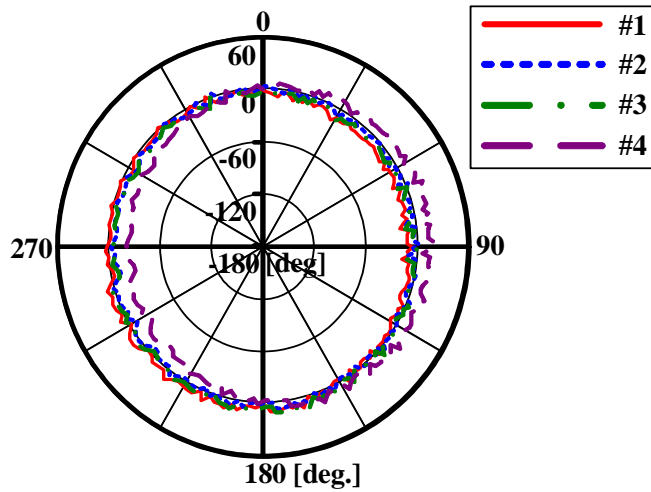
그림 4.3 배열 안테나의 지향성 합성

Fig. 4.3 Radiation pattern composition of array antenna.



(a) 진폭

(a) Amplitude

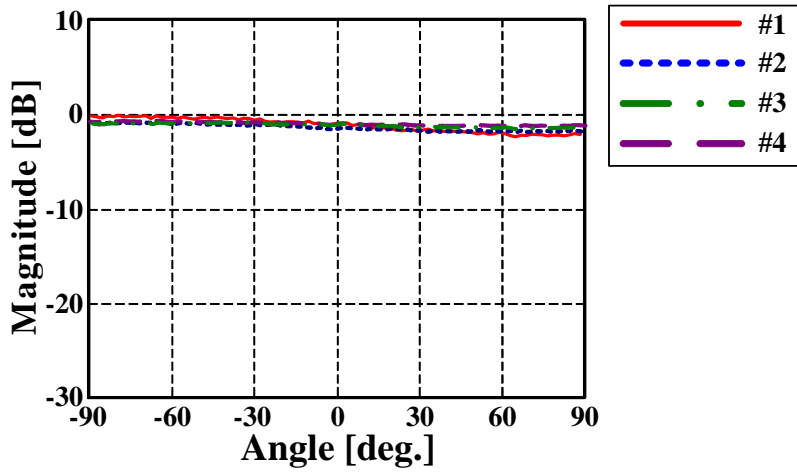


(b) 위상

(b) Phase

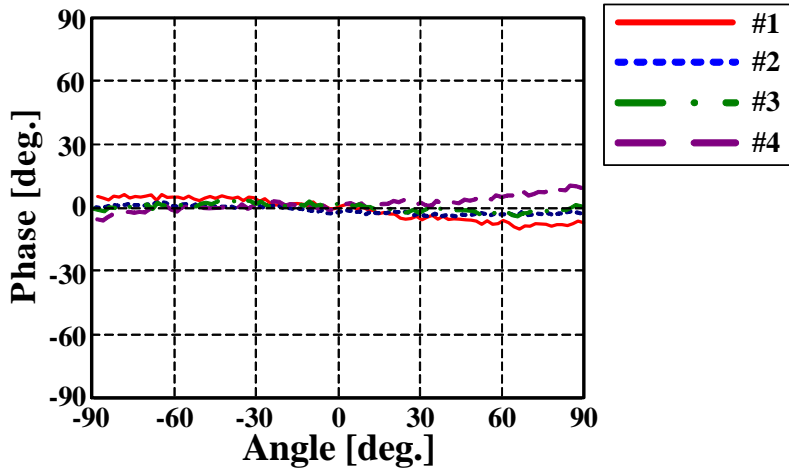
그림 4.4 모노폴 안테나의 진폭과 위상

Fig. 4.4 Amplitude and phase pattern of monopole antenna.



(a) 진폭

(a) Amplitude



(b) 위상

(b) Phase

그림 4.5 모노폴 안테나의 진폭과 위상($\pm 90^\circ$)

Fig. 4.5 Amplitude and phase of monopole antenna($\pm 90^\circ$).

그림 4.6과 4.7은 각각 DBF 수신기의 블록도와 실제 제작된 DBF 수신기를 각각 나타낸다. 4채널 DBF 수신기의 RF 입력신호, LO 입력신호, IF 출력신호는 각각 2.09 GHz, 2.08 GHz, 10 MHz로 설계되었다. 안테나에 의해 수신된 2.09 GHz의 신호는 RF 입력단으로 입력되고, 2.08 GHz의 LO 신호는 5포트 전력분배기에 의해 분배되어 LO 입력단으로 입력되어, LPF에 의해 10 MHz의 IF 신호가 출력된다[18]. 표 4.1은 실제 제작된 4채널 DBF 수신기의 사양을 간략히 나타낸다.

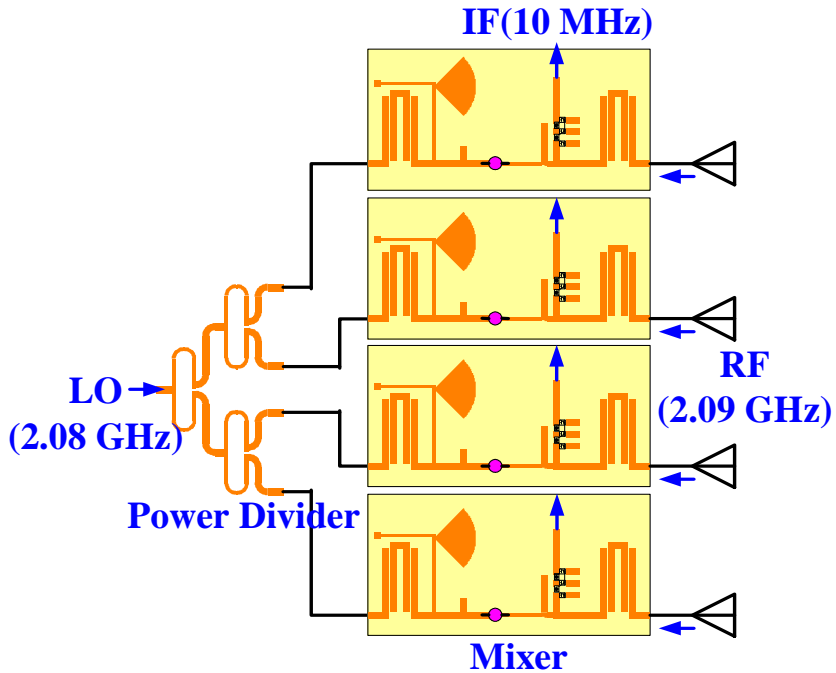


그림 4.6 4채널 DBF 수신기의 블록도

Fig. 4.6 Block diagram of 4-ch DBF receiver.

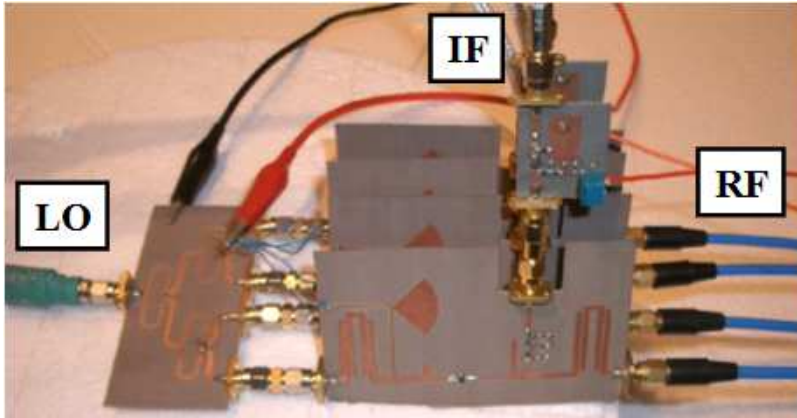


그림 4.7 제작된 4채널 DBF 수신기의 사진

Fig. 4.7 Photograph of fabricated 4-ch DBF receiver.

표 4.1 DBF 수신기의 사양

Table 4.1 Specification of DBF receiver.

Channel No.	RF freq.	IF freq.	Amplitude/Phase control	Input voltage
4	2.09 GHz	10 MHz	enable/unable	-0.4 V

4.2 DOA 추정 모델

전파암실에서 DOA 측정 시스템을 구축하여 DOA 추정 실험 및 검토를 위해서 그림 4.8과 같이 전파암실에 적용될 수 있는 DOA 추정 모델을 고려하였다. 이 때, 송·수신안테나간 거리는 3 m로 배치하였다. 여기서, 3 m는 2.09 GHz에 있어서 20.9λ 정도이므로 far-field를 충분히 만족한다. 식 (4.1)은 안테나의 far-field를 구하는 식이다[19].

$$R \geq \frac{2 \times D^2}{\lambda} \quad (4.1)$$

여기서, R은 송·수신안테나간 far-field를 만족하는 거리이고, D는 수신안테나의 표면적이다.

수신배열 안테나의 중심을 원점으로 x-y 좌표를 정하고, y축에 대해 수신배열 안테나의 각도를 θ_r , x축에 대해 송신안테나의 방향을 θ_t 로 둔다. 이 때, 수신배열 안테나를 기준으로 수신방향 θ_{DOA} 는

$$\theta_{DOA} = \theta_t - \theta_r \quad (4.2)$$

로 나타낼 수 있다. 예를 들면 송신안테나를 x축 상에 배치한 경우 ($\theta_t = 0$)에는 $\theta_{DOA} = -\theta_r$ 이 된다[20].

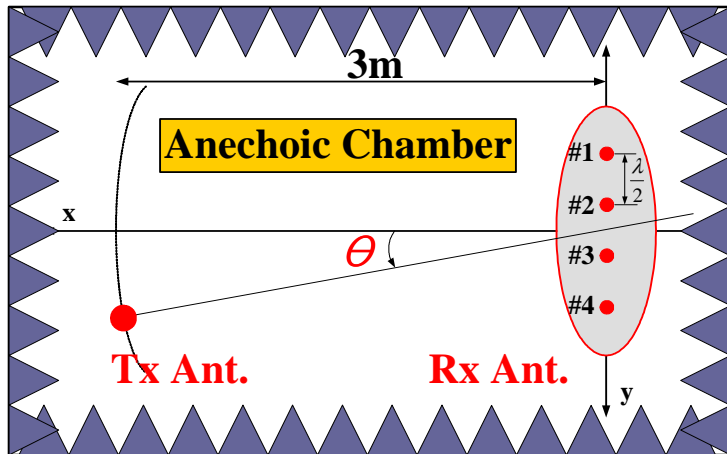


그림 4.8 DOA 추정 모델(신호원 1개)

Fig. 4.8 DOA estimation model(1 source signal).

그림 4.9는 DOA 추정 모델에서 송신신호원이 2개일 때의 DOA 추정 모델을 나타낸다. 수신안테나의 중심을 기준으로 θ_1 과 θ_2 의 각도를 가지도록 두 개의 혼 안테나를 배치하였다.

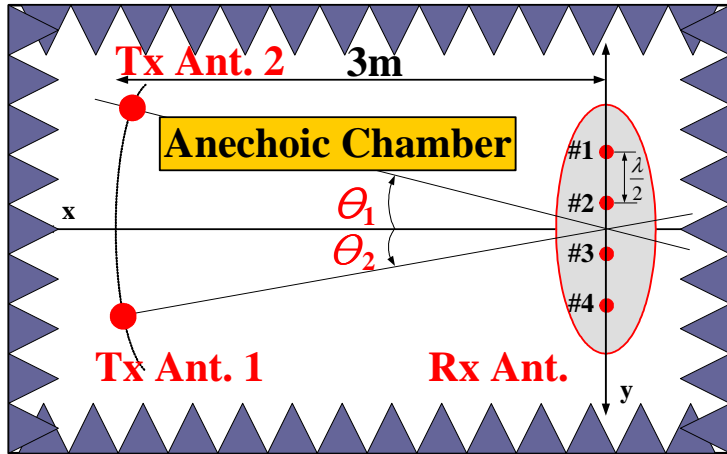


그림 4.9 DOA 추정 모델(신호원 2개)

Fig. 4.9 DOA estimation model(2 source signal).

4.3 측정시스템의 성능평가

4.3.1 DOA 추정 결과

그림 4.10은 전파암실에서 구축된 DOA 추정 측정시스템의 송·수신안테나 배치를 나타낸다. 그림 4.8과 비교해 보면 수신안테나는 x 축과 직교하도록 배치하였으며, 송신안테나의 위치를 $\pm 90^\circ$ 사이에서 3 m 간격으로 배치하여 송신 신호가 하나일 때의 DOA 추정 실험을 하였다.

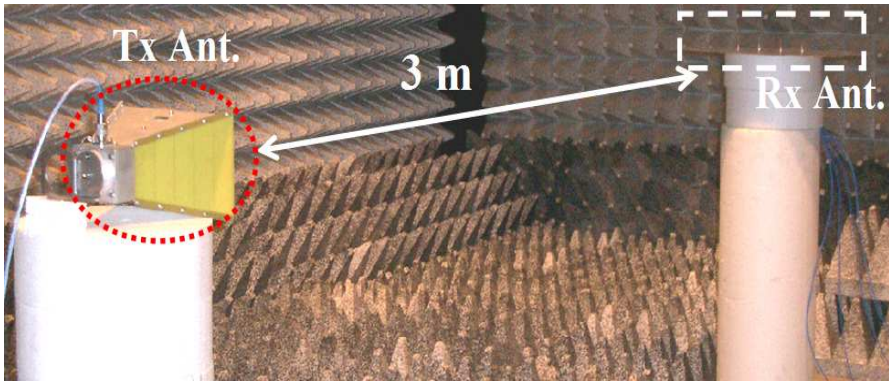
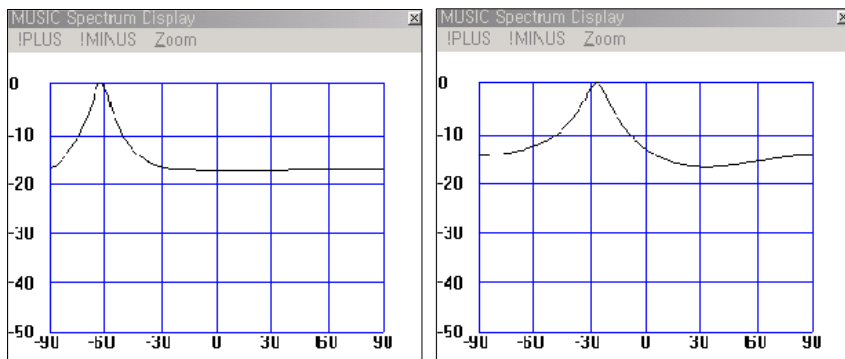


그림 4.10 송·수신안테나의 배치(신호원 1개)

Fig. 4.10 Arrangement of Tx & Rx antenna(1 source signal).

그림 4.11은 4채널 DBF 수신기를 이용하여 DOA 추정 실험한 결과를 나타낸다. DBF 수신기에서 출력되는 10 MHz의 IF 주파수를 A/D 컨트롤 박스에서 40 MHz로 4배 오버샘플링 하여 처리한 결과이다. 그림 4.13(a) ~ (d)는 DOA이 각각 -60° , -30° , 0° , 50° 일 때 측정 결과를 나타낸다. 이 결과로부터 신호원이 하나일 때는 그 방향에 대해 추정이 잘 되는 것을 확인할 수 있다.

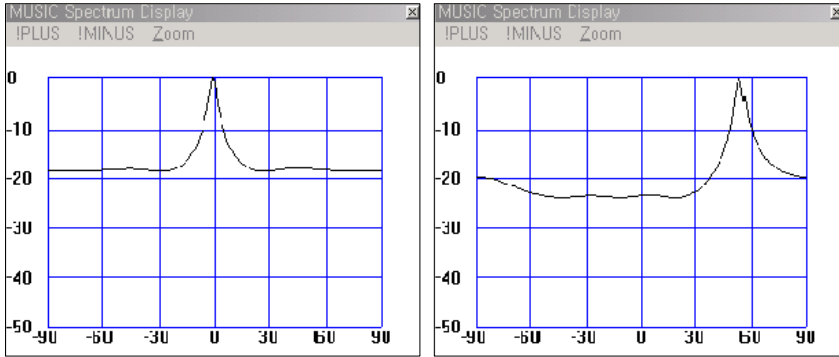


(a) -60° 일 때

(a) DOA is -60°

(b) -30° 일 때

(b) DOA is -30°



(c) 0°일 때

(d) 50°일 때

(c) DOA is 0°

(d) DOA is 50°

그림 4.11 -60°, -30°, 0°, 50°일 때 DOA 추정 결과

Fig. 4.11 DOA estimation results of -60°, -30°, 0° and 50°.

그림 4.12는 송신신호원이 1개일 때, DOA 추정 오차를 나타낸다. 0° 부근에서는 정확히 DOA를 추정해내지만 DOA가 커질수록 추정오차도 증가되는 것을 확인할 수 있다.

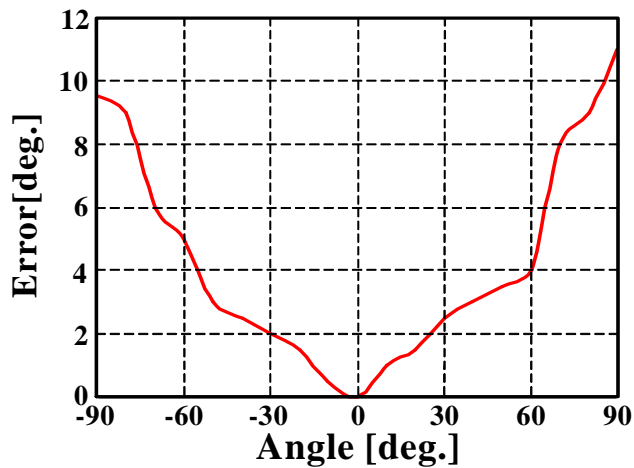


그림 4.12 DOA 추정 오차

Fig. 4.12 DOA estimation error.

그림 4.13은 그림 4.9의 DOA 추정모델로 송신신호원이 2개일 때의 DOA 추정 측정시스템을 나타낸다. 송신부에서 2개의 신호를 송신하기 위해 신호발생기에서 나오는 신호를 파워디바이더를 이용하여 2개의 신호로 분배하였다. 이 때, 사용한 송신안테나는 모두 표준 혼 안테나이며, 동일한 주파수 성분에 대한 DOA 추정 측정실험을 하였다.

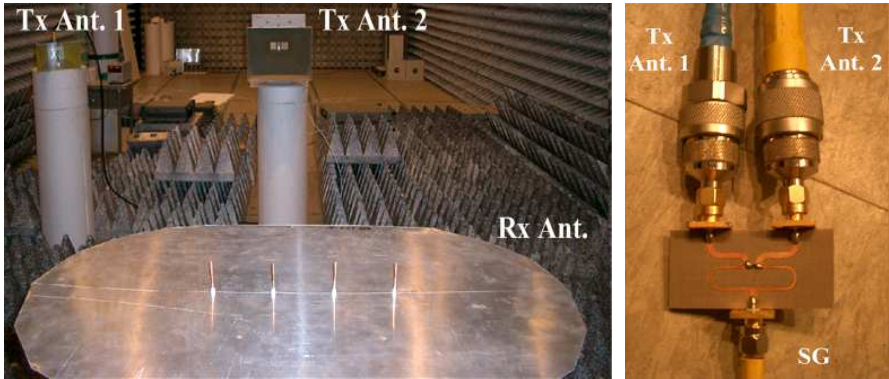


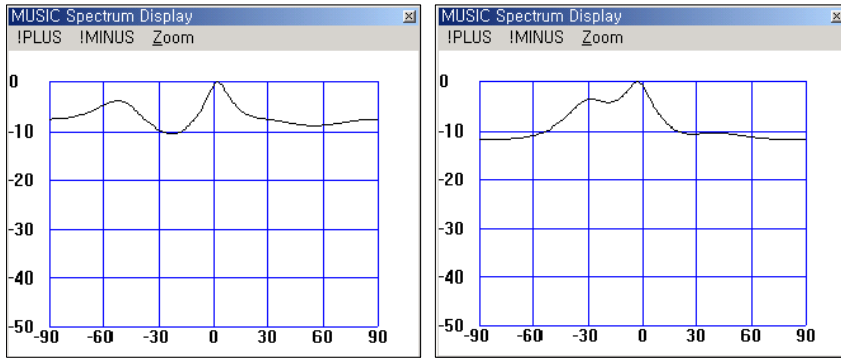
그림 4.13 송·수신안테나의 배치(신호원 2개)

Fig. 4.13 Arrangement of Tx & Rx antenna(2 source signal).

그림 4.14는 송신신호원이 2개일 때의 DOA 추정 결과를 나타낸다. MUSIC 알고리즘 이론상 안테나 소자 수(K) 보다 하나 작은 수까지 도래파(L)를 추정할 수 있다. 하지만 실제 측정시스템을 구축하여 측정한 결과, 신호원이 2개일 때 신호에 대해서 추정은 해내지만 오차가 발생하고 분해능이 저하되는 것을 확인할 수 있다.

MUSIC 알고리즘의 기본적인 전제는 안테나의 독립성이다. 하지만 실제 사용되는 배열 안테나는 안테나 상호간의 간섭이 일어나게 된다. 반파장 간격이 최적의 상호결합도를 가지지만 배열 안테나 제작시 완전한 반파장으로 안테나를 설치하는 것을 매우 어려운 기

술이다. 따라서 이론상으로는 안테나 소자 수보다 하나 작은 신호원
 까지 추정을 할 수 있지만 실제 측정을 해보면 4소자 배열 안테나
 로는 신호원이 하나일 때만 추정해내는 것을 확인하였다.

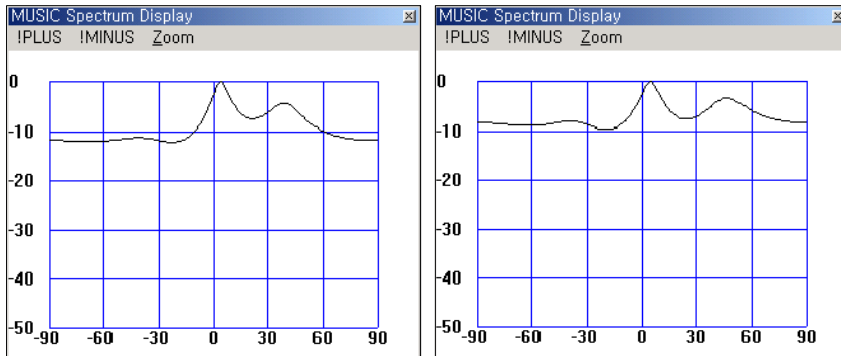


(a) $-50^\circ, 0^\circ$

(b) $-30^\circ, 0^\circ$

(a) $-50^\circ, 0^\circ$

(b) $-30^\circ, 0^\circ$



(c) $0^\circ, 40^\circ$

(d) $0^\circ, 50^\circ$

(c) $0^\circ, 40^\circ$

(d) $0^\circ, 50^\circ$

그림 4.14 2개의 신호원에 대한 DOA 추정 결과

Fig. 4.14 DOA estimation results for 2 signal source.

4.3.2 오차발생 원인 및 고찰

4.3.2.1 배열 소자 위치 차이의 영향

배열 안테나 제작시 발생하는 배열 소자간 간격의 오차로 인해 안테나의 지향성에 영향을 미치고, 이 영향으로 인해 DOA 추정 오차가 발생하게 된다. 표 4.2는 전기적 길이의 반과장과 실제 제작된 배열 안테나의 반과장 길이를 비교한 것을 나타낸다. 2.09 GHz 배열 안테나에서 최대 $0.29 \text{ mm}(2.02 \times 10^{-3} \lambda)$ 의 차가 발생하였다.

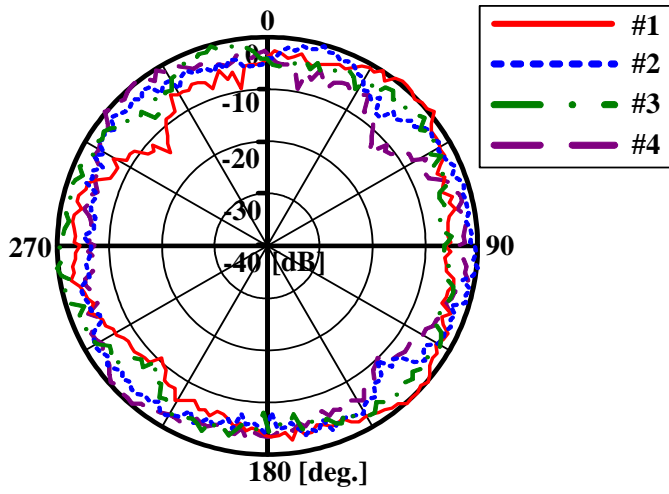
표 4.2 반과장 간격의 계산값과 측정값

Table 4.2 Measurement and calculation of $\lambda/2$ distance.

	Distance of antenna element		
	#1 & #2	#2 & #3 (#1 to #3)	#3 & #4 (#1 to #4)
Cal.	71.77 mm	71.77 mm (143.54 mm)	71.77 mm (215.31 mm)
Mea.	71.48 mm	71.85 mm (143.33 mm)	71.97 mm (215.3 mm)

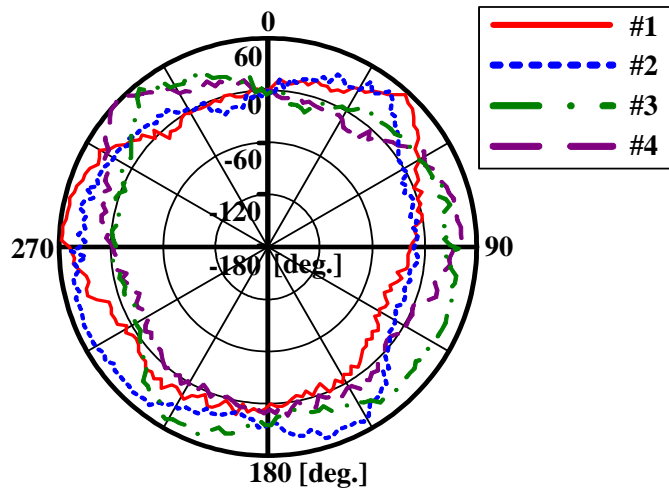
4.3.2.2 배열 소자 지향성 왜곡의 영향

그림 4.15는 제작된 안테나를 선형 배열하여 각 안테나를 각각 급전하여 측정한 결과를 나타낸다. 지향성 패턴에 대한 각 소자의 값들은 최대값을 기준으로 정규화 하였으며, 위상에 대한 각 소자의 값들은 0° 의 값을 기준으로 정규화 하였다.



(a) 진폭

(a) Amplitude

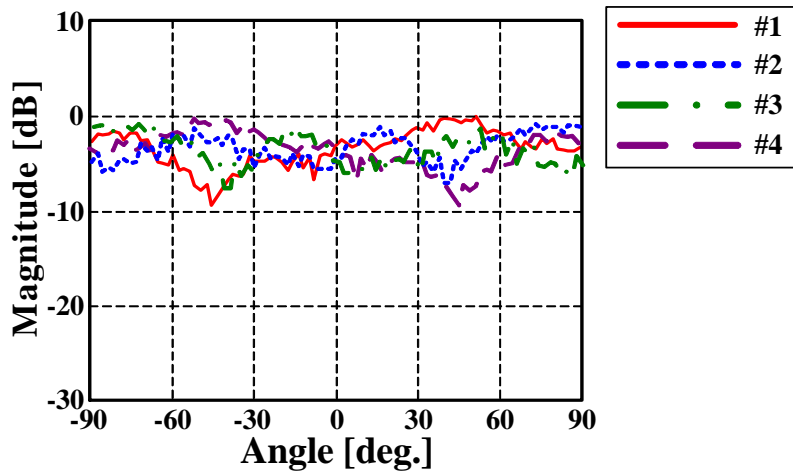


(b) 위상

(b) Phase

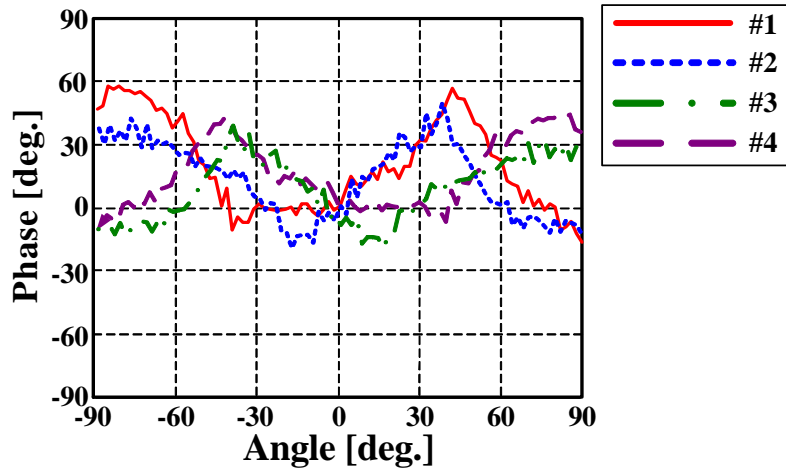
그림 4.6 배열 안테나의 진폭과 위상

Fig. 4.6 Amplitude and phase pattern of array antenna.



(a) 진폭

(a) Amplitude



(b) 위상

(b) Phase

그림 4.7 배열 안테나의 진폭과 위상($\pm 90^\circ$)

Fig. 4.7 Amplitude and phase of array antenna($\pm 90^\circ$).

그림 4.15의 지향성 측정 결과를 보면 안테나 소자 #1과 #4의 패턴이 약 45° 부분에서 심한 왜곡이 발생하였다. 이는 안테나 소자의 방사패턴을 측정할 때, 반파장 간격으로 배치되어 있는 다른 안테나 소자의 영향에 의한 것이다. 배열 안테나는 진폭에서 10 dB, 위상에서 62° 정도의 변동이 발생하였다. 그림 4.16은 그림 4.15의 결과에 대한 $\pm 90^\circ$ 범위만 나타낸 것이다. 이러한 특성들이 도래파의 진폭, 위상에 영향을 끼쳐 DOA 추정 오차가 발생하게 되는 것이다.

제 5 장 결 론

본 논문에서는 차세대 이동통신 기지국에 적용될 수 있는 적응 배열 안테나의 DOA 추정 알고리즘을 구현하고, 전파암실에서 DOA 추정 측정시스템을 구축하여 측정·평가하였다.

적응 배열 안테나 시스템은 4소자 배열 안테나, Low IF 방식의 DBF 수신기, A/D 컨트롤 박스, 제어 및 모니터링 할 수 있는 컴퓨터로 구성하였다. 제작된 안테나 각 소자의 반사계수는 2.09 GHz에서 모두 -16 dB 이하의 특성을 보였다. DBF 수신기는 2.09 GHz의 신호가 입력되고, 2.08 GHz의 LO에 의해 10 MHz의 Low IF 신호로 다운컨버전되어, 이 신호가 A/D 컨트롤 박스로 입력된다. A/D 컨트롤 박스는 입·출력 데이터를 제어하는 I/O 보드, 수신된 신호를 디지털 신호로 변환하여 DDC 및 MUSIC 알고리즘을 수행하는 A/D 보드, FPGA를 구동시키는 CPU 보드로 구성되어 있다. 입력된 신호는 DDC에 의해 Zero IF 신호로 변환되고, MUSIC 알고리즘을 수행하여 신호원이 정확히 추정하는 것을 확인하였다. 이 때 컴퓨터에서 제어 및 모니터링 할 수 있도록 GUI 방식을 이용한 visual 프로그램을 제작하였다. 또한 MATLAB을 이용한 시뮬레이션 결과에서 MUSIC 알고리즘이 입력신호의 snapshot 수와 안테나 소자 수에 따라 그 분해능이 의존하는 것을 확인하였다.

전파암실에서 DOA 추정 실험 결과, 신호원이 하나일 때는 그 방향에 대해 추정이 잘 되는 것을 확인하였다. 향후 DOA 추정시 발생하는 오차 보정 방법에 대한 연구와 다중파에 대한 연구를 계속적으로 하고자 한다.

참고 문헌

- [1] Y. Karasawa, "The Software Antenna: A New Concept of Kaleidoscopic Antenna in Multimedia Radio and Mobile Computing Era," IEICE Trans., Comm., Vol. E80-B, No. 8, pp.1214-1217, Aug. 1997.
- [2] H. Steyskal, "Digital Beamforming Antennas, An Introduction," Microwave Journal, Vol. 30, No. 1, pp. 107-124, Jan. 1987.
- [3] B. Fawcett and R. Iwanczuk, "Techniques and Tools for FPGA-based DSP design," Xilinx Inc.
- [4] Mark Cummings and Shinichiro Haruyama, "FPGA in the Software Radio," IEEE Communication Magazine, Vol. 37, No.2, pp. 108-112, Feb. 1999.
- [5] <http://www.tta.or.kr/weekly>
- [6] <http://www.rfdh.com>
- [7] <http://www.rftestcraft.com>
- [8] Minseok Kim, "A Study of Implementation of Digital Signal Processing for Adaptive Array Antenna," Thesis, Yokohama National University, Japan, pp. 18-21, 2002.
- [9] M. Hasegawa, T. Fukagawa, M. Mimura and M. Makimoto, "Homodyne Receiver Technology for Small and Low Power Consumption Mobile Communications Equipment," Proceedings 1995 URSI International Symposium on Signals, Systems, and Electronics, pp. 259-262, 1995.
- [10] <http://ducksan.com.ne.kr>
- [11] Minseok Kim, Koichi Ichige and Hirouki Arai "FPGA-Based DSP Implementation of Simple MRC Digital Beamforming

- Antenna,” Technical Report of IEICE, pp. 23-28, June, 2002.
- [12] M. Kim, H. Arai and M. Fukuta “Development of a Digital Prototype Board for Adaptive Array Antenna Receiver,” IEICE Society Conference, B-1-151, 2001.
- [13] AN-120, “Using LVDS in APEX20KE devices,” Altera Application Notes, pp. 60-69, AN-120-1.3.
- [14] AN-115, “Using the ClockLock, ClockBoost PLL Reatures in APEX Devices,” Altera Application Notes, pp. 1-11, AN-115- 2.3.
- [15] Joseph Liberti and Thoedore Rappaport, *SMART ANTENNA FOR WIRELESS COMMUNICATION : IS-95 and Third Generation CDMA Application*, 1st Edition, Prentice Hall PTR, pp. 325-361, 1999.
- [16] Nobuyoshi Kikuma, *ADAPTIVE SIGNAL PROCESSING with Array Antenna*, Science and Technology Publishing Company, Inc., pp. 157-209, 1999.
- [17] 민경식, 박철근, 고지원, 임경우, 이경학, 최재훈, “어댑티브 안테나 시스템용 디지털 수신기의 적응신호처리에 관한 연구,” 2002년도 한국전자파학회 종합학술발표회 논문집, Vol. 12, No. 1, pp. 44-48, 2002. 11.
- [18] Jee-Won Ko, Kyeong-Sik and Hiroyuki ARAI, “Design for the Low IF Resistive FET Mixer for the 4-Ch DBF receiver,” JKEES, Vol. 2, No. 2, pp.117-123, Nov. 2002.
- [19] Hiroyuki Arai, *MEASUREMENT OF MOBILE ANTENNA SYSTEMS*, Artech House, pp. 43-54, 2001.
- [20] 井上 祐樹, “DBF アレーアンテナを用いた到来方向推定に関する研究”, Thesis, Yokohama National University, Japan, pp. 15-44, 2002.

발표 논문

- [1] **박철근**, 임경우, 민경식, 조형래, 김동일, “Adaptive Array antenna의 DOA 추정 알고리즘에 관한 연구,” 2002년도 한국전자과학기술 하계학술대회, pp. 27-30, 2002. 7.
- [2] 임경우, **박철근**, 민경식, 조형래, 김동일, “ESPRIT 알고리즘을 이용한 DOA 추정에 관한 연구,” 2002년도 한국전자과학기술 하계학술대회, pp. 31-34, 2002. 7.
- [3] 민 경식, 임경우, 고지원, **박철근**, 최재훈, 이경학, “DOA 추정을 위한 안테나 측정 프로그램의 개발에 관한 연구,” 2002년도 마이크로파 및 전파 학술대회, 제25권, 제2호, pp. 255-258, 2002. 9.
- [4] 민 경식, **박철근**, 고지원, 임경우, 이경학, 최재훈, “어댑티브 어레이 안테나의 DOA추정을 위한 디지털 신호처리에 관한 연구,” 2002년도 마이크로파 및 전파 학술대회, 제25권, 제2호, pp. 309-312, 2002. 9.
- [5] 민경식, **박철근**, 고지원, 임경우, 이경학, 최재훈, “어댑티브 안테나 시스템용 디지털 수신기의 적응신호처리에 관한 연구,” 2002년도 한국전자과학기술 종합학술발표회 논문집, Vol. 12, No. 1, pp. 44-48, 2002. 11.
- [6] 민경식, **박철근**, “FPGA를 이용한 어댑티브 어레이 안테나 시스템의 DOA 성능 평가,” 2003년도 한국전자과학기술 전자과학기술 하계학술대회, pp. 177-180, 2003. 6.
- [7] 민경식, **박철근**, 고지원. “DBF 수신기를 이용한 DOA 측정시스템의 평가,” 2003년도 한국전자과학기술 종합학술발표회 논문집, Vol. 13, No. 1, pp. 219-223, 2003. 11.

감사의 글

오늘의 제가 있기까지 큰 관심과 세심한 배려로 제자에게 각별한 사제지간의 정을 일깨워주시고 이끌어주신 민 경식 교수님께 감사드립니다. 또한, 좋은 논문이 되도록 많은 조언을 해주신 김 기만 교수님, 조 형래 교수님께 감사드리며, 김 동일 교수님, 정 지원 교수님, 강 인호 교수님, 윤 영 교수님께 감사드립니다.

부족한 저를 많이 돌봐주신 병화 선배, 문섭 선배, 현정이 누나에게 깊이 감사드리며, 학부 2학년 때부터 연구실 생활을 함께 하며 항상 지켜봐 주고 버팀목이 되어 준 정호형, 영복형, 경은형, 동우형, 상기형에게 진심으로 감사드립니다. 부족한 저를 주위의 많은 분들이 지켜봐 주신 덕분에 이렇게 대학원 석사과정을 졸업하게 되었습니다. 그리고 대학원 2년 동안 동고동락한 지원형, 진생형, 경우, 승민, 상학형, 종현형, 영환, 동진이에게 감사와 고마움을 전합니다. 또한 먼 일본에서 많은 가르침을 주신 민석 선배에게 감사드립니다.

그리고 항상 언제나 묵묵히 믿고 지켜봐 주시며, 아낌없는 사랑을 주신 아버지, 어머니의 은혜에 진심으로 깊은 감사를 드립니다. 그리고 하나밖에 없는 동생을 항상 걱정하며 격려해 준 누나에게 고마움을 전합니다. 특히, 대학원 생활에 많은 힘이 되어준 근육이, 차식이, 태환이, 현민이, 정호, 성윤이, 현정이 그리고 지선이에게 고마운 마음을 전합니다. 대학교 1학년 때부터 많은 도움을 받은 BF 멤버 상준이, 효경이, 영주에게도 고마움을 전합니다.

이제 저는 다시 새로운 출발을 하려고 합니다. 저를 믿고 지켜봐 준 모든 분들께 부끄럽지 않는 사람이 되기 위해 항상 밝고 건강하게 열심히 살겠습니다.

박 철근 올림